



(12) 发明专利申请

(10) 申请公布号 CN 102468235 A

(43) 申请公布日 2012. 05. 23

(21) 申请号 201110324338. 9

(22) 申请日 2011. 10. 19

(30) 优先权数据

12/917, 902 2010. 11. 02 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 许俊豪 张志豪

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 高雪琴

(51) Int. Cl.

H01L 21/8234(2006. 01)

H01L 21/336(2006. 01)

H01L 27/088(2006. 01)

H01L 29/78(2006. 01)

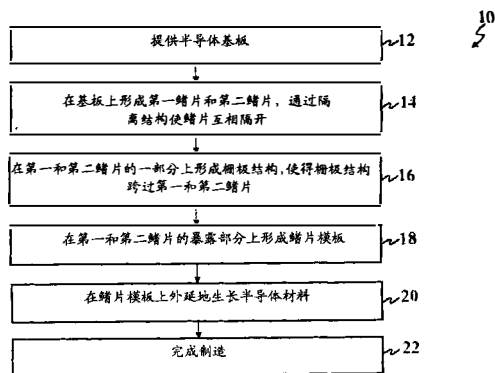
权利要求书 2 页 说明书 15 页 附图 17 页

(54) 发明名称

鳍片场效应晶体管 (FinFET) 器件及其制造方法

(57) 摘要

公开了一种 FinFET 器件以及制造 FinFET 器件的方法。示例性方法包括提供半导体基板;在半导体基板上形成第一鳍片结构和第二鳍片结构;在第一鳍片结构和第二鳍片结构的一部分上形成栅极结构,使得栅极结构跨过第一鳍片结构和第二鳍片结构;在第一鳍片结构和第二鳍片结构的暴露部分上外延地生长第一半导体材料,使得第一鳍片结构和第二鳍片结构的暴露部分合并在一起;和在第一半导体材料上外延地生长第二半导体材料。



CN 102468235 A

1. 一种方法,包括:
提供半导体基板;
在所述半导体基板上形成多个鳍片,通过隔离结构使所述鳍片互相隔离;
在每个鳍片的一部分上形成栅极结构,使得所述栅极结构跨过多个鳍片;
在所述鳍片的暴露部分上形成鳍片模板;以及
在所述鳍片模板上外延(epi)生长半导体材料。
2. 根据权利要求1所述的方法,其中,形成所述鳍片模板包括在每个所述鳍片的暴露部分上外延生长其它半导体材料,使得鳍片合并在一起。
3. 根据权利要求2所述的方法,还包括在形成所述鳍片模板之前回蚀刻所述隔离结构。
4. 根据权利要求3所述的方法,还包括:
在所述栅极结构的侧壁上形成间隔件;以及
其中回蚀刻所述隔离结构包括使用选择性蚀刻所述隔离结构的蚀刻工艺。
5. 根据权利要求2所述的方法,其中:
在所述鳍片的暴露部分上外延生长所述半导体材料包括外延生长硅;以及
在所述鳍片模板上外延生长所述半导体材料包括外延生长硅锗。
6. 根据权利要求1所述的方法,还包括在所述鳍片模板上外延生长所述半导体材料之前回蚀刻所述鳍片模板。
7. 根据权利要求6所述的方法,其中:
所述栅极结构分离每个所述鳍片的源极区域和漏极区域,每个鳍片的所述源极区域和所述漏极区域限定位于其间的沟道;以及
回蚀刻所述鳍片模板包括暴露每个鳍片的沟道的一部分。
8. 根据权利要求1所述的方法,其中形成所述多个鳍片包括形成具有第一材料部分和第二材料部分的鳍片,每个所述鳍片包括被所述栅极结构分离的源极区域和漏极区域,每个鳍片的所述源极区域和所述漏极区域限定其间的沟道。
9. 一种方法,包括:
提供半导体基板;
形成位于所述半导体基板上的第一鳍片结构和第二鳍片结构;
形成位于所述第一鳍片结构和所述第二鳍片结构的一部分上的栅极结构,使得所述栅极结构跨过所述第一鳍片结构和所述第二鳍片结构;
在所述第一鳍片结构和所述第二鳍片结构的暴露部分上外延生长第一半导体材料,使得所述第一鳍片结构和所述第二鳍片结构的暴露部分合并在一起;以及
在所述第一半导体材料上外延生长第二半导体材料。
10. 一种集成电路器件,包括:
半导体基板;
置于所述半导体基板上的第一鳍片和第二鳍片;
置于所述第一鳍片和所述第二鳍片之间的隔离结构,使得所述第一鳍片和所述第二鳍片互相隔离;
置于所述第一鳍片和所述第二鳍片的一部分上的栅极结构,所述栅极结构跨过所述第

一鳍片和所述第二鳍片,从而分离所述第一鳍片和所述第二鳍片的源极区域和漏极区域;
置于所述第一鳍片和所述第二鳍片的另一部分上的第一外延半导体层;以及
置于所述第一外延半导体层上的第二外延半导体层,其中所述第一鳍片和所述第二鳍片的所述源极区域和所述漏极区域包括所述第一外延半导体层和所述第二外延半导体层的一部分。

鳍片场效应晶体管 (FinFET) 器件及其制造方法

[0001] 相关申请的交叉参考

[0002] 本公开关于于 2010 年 10 月 18 日提交的名称为鳍片场效应晶体管 (FinFET) 器件及其制造方法 (代理人卷号 2010-0693/24061.1546) 的共同转让的美国专利申请,其全部内容通过引用结合到本文中作为参考。

技术领域

[0003] 公开了一种 FinFET 器件以及制造 FinFET 器件的方法,更具体地,本发明涉及一种鳍片场效应晶体管 (FinFET) 器件及其制造方法。

背景技术

[0004] 在追求高器件密度、高性能和更低成本的过程中半导体产业发展到了纳米技术工艺节点,来自制造和设计方面的挑战已经带来了三维设计如鳍片场效应晶体管 (FinFETs) 的发展。典型 FinFET 的制造带有从基板延伸的薄“鳍片”(或鳍片结构),例如蚀刻到基板的硅层中的薄“鳍片”。FinFET 的沟道形成在垂直的鳍片中。将栅极提供在鳍片上(或缠绕)。沟道的两边都具有栅极是有利的,这使得栅极从沟道的两边控制沟道。FinFET 器件也包括受到应力的源极/漏极部件从而提高了载流子迁移率和改进了器件性能。拉紧的源极/漏极部件一般在 p 沟道器件中使用外延 (epi) 硅锗 (SiGe) 和在 n 沟道器件中使用外延硅 (Si)。FinFET 器件提供很多优点,包括降低的短沟道效应和增加的电流流动。尽管现有的 FinFET 器件和制造 FinFET 器件的方法对于它们的预期目的已经大体充分,但是由于器件继续比例缩小,现有的 FinFET 器件和制造 FinFET 器件的方法已经不能在所有方面都令人完全满意。

发明内容

[0005] 针对现有技术中的问题,本发明提供了一种方法。包括:提供半导体基板;在所述半导体基板上形成多个鳍片,通过隔离结构使所述鳍片互相隔离;在每个鳍片的一部分上形成栅极结构,使得所述栅极结构跨过多个鳍片;在所述鳍片的暴露部分上形成鳍片模板;以及在所述鳍片模板上外延 (epi) 生长半导体材料。

[0006] 根据本发明所述的方法,其中形成所述鳍片模板包括在每个所述鳍片的暴露部分上外延生长其它半导体材料,使得鳍片合并在一起。

[0007] 根据本发明所述的方法,还包括在形成所述鳍片模板之前回蚀刻所述隔离结构。

[0008] 根据本发明所述的方法,还包括:在所述栅极结构的侧壁上形成间隔件;以及其中回蚀刻所述隔离结构包括使用选择性蚀刻所述隔离结构的蚀刻工艺。

[0009] 根据本发明所述的方法,其中:在所述鳍片的暴露部分上外延生长所述半导体材料包括外延地生长硅;以及在所述鳍片模板上外延生长所述半导体材料包括外延生长硅锗。

[0010] 根据本发明所述的方法,还包括在所述鳍片模板上外延生长所述半导体材料之前

回蚀刻所述鳍片模板。

[0011] 根据本发明所述的方法,其中:所述栅极结构分离每个所述鳍片的源极区域和漏极区域,每个鳍片的所述源极区域和所述漏极区域限定位于其间的沟道;以及回蚀刻所述鳍片包括暴露每个鳍片的沟道的一部分。

[0012] 根据本发明所述的方法,其中形成所述多个鳍片包括形成具有第一材料部分和第二材料部分的鳍片,每个所述鳍片包括被所述栅极结构分离的源极区域和漏极区域,每个鳍片的源极区域和漏极区域限定其间的沟道。

[0013] 根据本发明所述的方法,还包括在形成所述鳍片模板之前,从所述鳍片的源极区域和漏极区域完全移除所述第二材料部分。

[0014] 根据本发明所述的方法,还包括在形成所述鳍片模板之前,从所述鳍片的源极区域和漏极区域部分移除所述第二材料部分。

[0015] 根据本发明所述的一种方法,包括:提供半导体基板;形成位于所述半导体基板上的第一鳍片结构和第二鳍片结构;形成位于所述第一鳍片结构和所述第二鳍片结构的一部分上的栅极结构,使得所述栅极结构跨过所述第一鳍片结构和所述第二鳍片结构;在所述第一鳍片结构和所述第二鳍片结构的暴露部分上外延生长第一半导体材料,使得所述第一鳍片结构和所述第二鳍片结构的暴露部分合并在一起;以及在所述第一半导体材料上外延生长第二半导体材料。

[0016] 根据本发明所述的方法,还包括:形成位于所述第一鳍片结构和所述第二鳍片结构之间的隔离结构,使得所述第一鳍片结构和所述第二鳍片结构互相隔离;以及在外延增长所述第一半导体材料之前回蚀刻所述隔离结构。

[0017] 根据本发明所述的方法,还包括在外延生长所述第二半导体材料之前回蚀刻所述第一半导体材料。

[0018] 根据本发明所述的方法,其中:外延生长所述第一半导体材料包括外延生长硅;以及外延生长所述第二半导体材料包括外延生长硅锗。

[0019] 根据本发明所述的方法,还包括在外延地生长所述第一半导体材料之前移除一部分所述第一鳍片结构和所述第二鳍片结构。

[0020] 根据本发明所述的方法,其中:所述第一鳍片和所述第二鳍片包括第一材料部分和第二材料部分,每个所述第一鳍片和所述第二鳍片都具有被所述栅极结构分离的源极区域和漏极区域,每个鳍片的所述源极区域和所述漏极区域限定位于其间的沟道;以及移除所述一部分所述第一鳍片和所述第二鳍片包括从所述第一鳍片和所述第二鳍片的源极和漏极区域完全移除所述第二材料部分。

[0021] 根据本发明所述的方法,其中:所述第一鳍片和所述第二鳍片包括第一材料部分和第二材料部分,每个所述第一鳍片和所述第二鳍片都具有被所述栅极结构分离的源极区域和漏极区域,每个鳍片的所述源极区域和所述漏极区域限定位于其间的沟道;以及移除所述一部分所述第一鳍片和所述第二鳍片包括从所述第一鳍片和所述第二鳍片的源极区域和漏极区域部分地移除所述第二材料部分。

[0022] 根据本发明所述的一种集成电路器件,包括:半导体基板;置于所述半导体基板上的第一鳍片和第二鳍片;置于所述第一鳍片和所述第二鳍片之间的隔离结构,使得所述第一鳍片和所述第二鳍片互相隔离;置于所述第一鳍片和所述第二鳍片的一部分上的栅极

结构,所述栅极结构跨过所述第一鳍片和所述第二鳍片,从而分离所述第一鳍片和所述第二鳍片的源极区域和漏极区域;置于所述第一鳍片和所述第二鳍片的另一部分上的第一外延半导体层;以及置于所述第一外延半导体层上的第二外延半导体层,其中所述第一鳍片和所述第二鳍片的所述源极和漏极区域包括所述第一外延半导体层和所述第二外延半导体层的一部分。

[0023] 根据本发明所述的集成电路器件,其中每个所述第一鳍片和所述第二鳍片的所述源极区域和漏极区域限位于其间的沟道,所述沟道与所述第一外延半导体层和所述第二外延半导体层接触。

[0024] 根据本发明所述的集成电路器件,其中:所述第一和第二鳍片包括硅;所述第一外延半导体层包括硅;以及所述第二外延半导体层包括硅锗。

附图说明

[0025] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的尺寸可以被任意增加或减少。

[0026] 图 1 是根据本公开的各个方面,示出制造鳍片场效应晶体管 (FinFET) 器件的方法的流程图。

[0027] 图 2- 图 6 是根据图 1 的方法,示出在各个制造阶段的 FinFET 器件的透视图。

[0028] 图 7 是根据本公开的各个方面,示出制造 FinFET 器件的另一个方法的流程图。

[0029] 图 8A、图 9A、图 10A 和图 11A 是根据图 7 的方法,示出在各个制造阶段的 FinFET 器件的透视图。

[0030] 图 8B、图 9B、图 10B 和图 11B 分别为图 8A、图 9A、图 10A 和图 11A 中示出的 FinFET 器件的示意性横截面视图。

[0031] 图 8C、图 9C、图 10C 和图 11C 分别为图 8A、9A、10A 和 11A 中示出的 FinFET 器件的示意性横截面视图。

[0032] 图 12 是根据本公开的各个方面,示出制造 FinFET 器件的又一个方法的流程图。

[0033] 图 13A、图 14A、图 15A 和图 16A 为根据图 12 的方法在各个制造阶段的 FinFET 器件的透视图。

[0034] 图 13B、图 14B、图 15B 和图 16B 分别为图 13A、图 14A、图 15A 和图 16A 中示出的 FinFET 器件的示意性横截面视图。

[0035] 图 13C、图 14C、图 15C 和图 16C 分别为图 13A、图 14A、图 15A 和图 16A 中示出的 FinFET 器件的示意性横截面视图。

具体实施方式

[0036] 为了实施本发明的不同部件,以下公开提供了许多不同的实施例或示例。以下描述元件和布置的特定示例以简化本公开。当然这些仅仅是示例且并不打算限定。例如,以下描述中第一部件形成在第二部件上可包括其中第一部件和第二部件以直接接触形成的实施例,并且也可包括其中额外的部件形成在第一部件和第二部件之间的实施例,使得第一和第二部件不直接接触。另外,本公开可能在各个实施例中重复参考数字和 / 或字母。这种

重复只是为了简明的目的且其本身并不指定各个实施例和 / 或所讨论的结构之间的关系。

[0037] 图 1 为根据本公开的各个实施例制造集成电路器件的方法 10 的流程图。在所示的实施例中,方法 10 制造了包括鳍片场效应晶体管 (FinFET) 器件的集成电路器件。方法 10 由其中提供了半导体基板的方框 12 开始。在方框 14 中,在半导体基板上形成第一鳍片和第二鳍片。将隔离结构形成以隔离第一和第二鳍片。在方框 16 中,在第一和第二鳍片的一部分上形成栅极结构。栅极结构跨过第一和第二鳍片。在方框 18 中,将鳍片模板形成在第一和第二鳍片的暴露部分上。在方框 20 中,半导体材料在鳍片模板上外延生长。方法 10 继续到其中集成电路器件制造完成的方框 22。可在方法 10 之前、之间和之后添加步骤,而且可以为方法的其它实施例替换或删除一些所述步骤。以下讨论说明了可以根据图 1 的方法 10 制造的集成电路器件的各种实施例。

[0038] 图 2- 图 6 提供了根据图 1 的方法 10 制造的各个阶段中 FinFET 器件 100 的各种透视图 (局部或全部)。术语 FinFET 器件是指任何基于鳍式晶体管,如鳍式多栅极晶体管。FinFET 器件 100 可被包括在微处理器、存储单元和 / 或集成电路器件中。为了清楚简化了图 2- 图 6 以更好地理解本公开的发明理念。FinFET 器件 100 中可添加额外的部件,而且在其它 FinFET 器件 100 的实施例中可替换或删除以下描述一些部件。

[0039] 参考图 2, FinFET 器件 100 包括基板 (晶圆) 110。在所述实施例中,基板 110 为体硅基板。可选地或额外地,基板 110 包括元素半导体如晶体结构中的硅或锗;化合物半导体如碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或铟化铟或其组合物。可替换地,基板 110 为硅上绝缘体 (SOI) 基板。可使用注氧隔离 (SIMOX)、晶圆键合和 / 或其它合适的方法制造 SOI 基板。基板 110 可能包括各种掺杂区域和其它合适的部件。

[0040] FinFET 器件 100 包括从基板 110 延伸出来的鳍片结构 115A 和 115B。在所描述的实施例中,鳍片结构 115A 和 115B 包括鳍片 120。鳍片 120 包括硅 (Si),因此也将鳍片 120 称为 Si 鳍片。鳍片结构 115A 和 115B 也包括其它材料部分。鳍片 120 包括源极区域、漏极区域和介于源极和漏极区域之间的沟道。通过实施光刻和蚀刻工艺形成鳍片 120。例如从基板 110 开始,光刻和蚀刻工艺在基板 110 中形成沟道,从而形成从基板 110 延伸出来的鳍片 120。光刻工艺可能包括光阻涂布 (如旋转涂布)、软烘、掩模对齐、暴露、曝后烤、光阻显影、冲洗、干燥 (如硬烘)、其它合适的工艺或其组合。例如,可通过在基板 110 上覆盖形成光刻胶层 (光阻),暴露光阻给图案,进行曝后烤工艺以及将光阻显影以形成包括光阻的掩模元件来形成鳍片部分 120。然后可使用掩模元件蚀刻鳍片 120 到硅基板 110 中。蚀刻工艺可为干法蚀刻工艺、湿法蚀刻工艺、其它合适的蚀刻工艺、或其组合。例如,可使用反应离子刻蚀 (RIE) 将鳍片 120 蚀刻到基板 110 中。可选地,可实施光刻工艺或用其它方法代替光刻工艺,如无掩模光刻、电子束写入法、离子束写入法、和 / 或纳米压印技术。可通过双图案微影 (DPL) 工艺形成鳍片 120。DPL 是将图案分割成两个交错的图案在基板上构造图案的方法。DPL 允许提高的部件 (如鳍片) 密度。可使用各种 DPL 方法包括双暴露 (如使用两个掩模组)、毗邻部件形成间隔件以及移除部件以提供间隔件图案、抗冻、和 / 或其它合适的工艺。应该注意到在所描述的实施例中术语“鳍片结构”指 FinFET 器件 100 的单个鳍片。然而,术语“鳍片结构”也可指所有鳍片,因此鳍片结构也可指鳍片结构 115A 和 115B 全体。进一步,虽然所述实施例示出了两个鳍片,但是 FinFET 器件 100 也可包括更少或更多的鳍片,这取决于 FinFET 器件 100 的设计需求。

[0041] 包围鳍片结构 115A 和 115B (在所述实施例中为鳍片 120) 的隔离部件 130 如浅沟槽隔离 (STI) 结构使鳍片 120 互相隔离且使鳍片 120 与其它未说明的集成电路器件隔离。通过使用绝缘材料如氧化硅、氮化硅、氮氧化硅、其它合适的材料部分或其组合物填充围绕鳍片 120 的沟槽形成隔离部件 130。填充的沟槽可能具有多层结构,例如使用氮化硅填充沟槽的热氧化衬垫层。在所述实施例中,隔离部件 130 包括氧化物材料。

[0042] FinFET 器件 100 包括栅极结构 150。栅极结构 150 跨过鳍片 120,而且在所述实施例中,将栅极结构 150 形成在鳍片 120 的中间部分。栅极结构 150 可能包括栅极介电层和栅极电极。栅极介电层包括介电材料如氧化硅、高 -k 介电材料、其它合适的介电材料或其组合物。高 -k 介电材料的示例包括 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、氧化锆、氧化铝、二氧化铪 - 氧化铝 ($\text{HfO}_2\text{-Al}_2\text{O}_3$) 合金、其它合适的高 -k 介电材料或其组合物。栅极电极包括多晶硅和 / 或包含 Al、Cu、Ti、Ta、W、Mo、TaN、Ni Si、CoSi、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN 的金属,其它导电材料,或其组合物。可在栅极第一或栅极最后工艺中形成栅极结构 150 如栅极电极。栅极结构 150 可包括很多其它层如覆盖层、界面层、扩散层、阻挡层、硬掩模层、或其组合。

[0043] 通过合适的工艺如沉积、光刻图案化和蚀刻工艺形成栅极结构 150。沉积工艺包括化学气相沉积 (CVD)、物理气相沉积 (PVD)、原子层沉积 (ALD)、高密度等离子体 CVD (HDCVD)、金属有机 CVD (MOCVD)、远程等离子体 CVD (RPCVD)、等离子体增强 CVD (PECVD)、低压 CVD (LPCVD)、原子层 CVD (ALCVD)、大气压 CVD (APCVD)、电镀法、其它合适的方法、或其组合。光刻图案化工艺包括光阻涂布 (如旋转涂布)、软烘、掩模对齐、暴露、曝后烘、光阻显影、清洗、干燥 (如硬烘干)、其它合适的工艺、或其组合。可选地,可通过其它的方法如无掩模光刻、电子束写入或离子束写入实施或代替光刻暴露工艺。在又一个可选的实施例中,光刻图案化工艺可实施纳米压印技术。蚀刻工艺包括干法蚀刻、湿法蚀刻和 / 或其它蚀刻方法。

[0044] 将间隔件 152 置于栅极结构 150 的侧壁上如沿着栅极电极。间隔件 152 包括介电材料如氧化硅、氮化硅、氮氧化硅、其它合适的材料或其组合。间隔件可包括多层结构如包含氮化硅层和氧化硅层的多层结构。通过合适的工艺将间隔件形成为合适的厚度。例如,在示出的实施例中,可通过沉积氮化硅层形成间隔件 152,然后干法蚀刻氮化硅层从而形成图 2 中示出的间隔件 152。在形成间隔件 152 之前或之后,可进行注入、扩散、和 / 或退火工艺从而在鳍片结构 115A 和 115B 的源极和漏极区域中形成轻掺杂源极和漏极 (LDD) 部件。

[0045] 参考图 3,实施某种工艺以在隔离部件 130 上形成凹形。例如,实施蚀刻工艺以在隔离部件 130 上形成凹形。蚀刻工艺为干法蚀刻工艺、湿法蚀刻工艺、其它蚀刻工艺或其组合。在所述实施例中,蚀刻工艺选择性地蚀刻隔离部件 130 和实施避免蚀刻氮化硅间隔件 152 的加工参数。例如,在所述实施例中,蚀刻工艺使用合适浓度 (例如 100 : 1) 的氢氟酸 (HF) 蚀刻溶液。在实施例中, HF 溶液将隔离部件 130 形成为约 100 埃的凹形。可选地,可使用其它蚀刻溶液有效地将隔离部件 130 形成凹形。

[0046] 参考图 4,鳍片模板 135 形成在鳍片 120 的暴露部分上。例如,通过合并 FinFET 器件 100 的鳍片 120 形成鳍片模板 135。在所述实施例中,通过在鳍片结构 115A 和 115B 的源极和漏极区域中的鳍片 120 的暴露部分上外延 (外延) 生长半导体材料从而将鳍片 120 合并在一起。通过外延工艺外延地生长半导体材料直到鳍片结构 115A 和 115B 的鳍片 120

合并在一起从而形成鳍片模板 135。外延工艺可使用 CVD 沉积技术（如气相外延 (VPE) 和 / 或超高真空 CVD (UHV-CVD)）、分子束外延、和 / 或其它合适的工艺。外延工艺可使用气体和 / 或液体前体。在所述实施例中，鳍片模板 135 可为通过硅外延沉积工艺形成的硅。可将鳍片模板 135 称为类体硅模板。可选地，鳍片模板 135 可为通过硅锗外延沉积工艺形成的硅锗 (SiGe)。在沉积（生长）过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片模板 135 的沉积增长工艺中可掺杂鳍片模板 135。例如，可将磷掺杂到外延硅鳍片模板 135 中（以形成 Si:P 外延层）。掺杂的外延层可能具有梯度掺杂分布。可实施化学机械抛光 (CMP) 工艺以平坦化鳍片模板 135。虽然分别描述了鳍片 120 和鳍片模板 135，应该理解“鳍片模板”可以只指新增长的外延半导体材料（描述为鳍片模板 135）或与原始鳍片组合的新增长的外延半导体材料（描述为鳍片 120）。

[0047] 参考图 5，实施某种工艺以在鳍片模板 135 上形成凹形。例如，在鳍片模板 135 上实施蚀刻工艺以回蚀刻鳍片模板 135。蚀刻工艺为干法蚀刻工艺、湿法蚀刻工艺、其它蚀刻工艺或其组合。在示例中，蚀刻工艺使用 HBr、Cl₂ 和 O₂ 的混合物。可选地，可使用其它蚀刻工艺混合物有效地将鳍片模板 135 形成凹形。蚀刻工艺的射频 (RF) 偏置电源可能为约 30 瓦 (W) 到约 400 瓦 (W)。将鳍片模板 135 有效地回蚀刻从而暴露出如图 5 所示的鳍片结构 115A 和 115B 的沟道。这确保了随后形成的凸起的源极和漏极部件（半导体材料 160）可有效地引入应力到鳍片结构 115A 和 115B 的沟道中。

[0048] 参考图 6，在鳍片模板 135 上外延增长半导体材料 160。在示出的实施例中，在鳍片结构 115A 和 115B 的源极和漏极区域中的暴露的鳍片模板 135 上外延增长半导体材料。外延增长的半导体材料 160 为鳍片结构 115A 和 115B 产生沟道应力。外延工艺可使用 CVD 沉积技术（如气相外延 VPE）和 / 或超高真空 CVD (UHV-CVD)、分子束外延、和 / 或其它合适的工艺。外延工艺可使用气体和 / 或液体前体。在示出的实施例中，半导体材料 160 通过硅锗外延沉积工艺形成的硅锗 (SiGe)。可选地，半导体材料 160 可为通过硅外延沉积工艺形成的硅。在沉积（生长）过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到半导体材料 160 的生长工艺中可掺杂半导体材料 160。可实施 CMP 工艺以平坦化半导体材料 160。可将半导体材料 160 称为鳍片结构 115A 和 115B 的源极和漏极区域的凸起的源极和漏极部件。应该注意到，也可将鳍片结构 115A 和 115B 的源极和漏极区域中的鳍片模板 135 认为是凸起的源极和漏极部件的一部分。在形成半导体材料 160 之前或之后，可实施注入、扩散、和 / 或退火工艺从而在鳍片结构 115A 和 115B 的源极和漏极区域中形成重掺杂源极和漏极 (HDD) 部件。

[0049] 传统的 FinFET 器件在未合并的鳍片上形成凸起的源极和漏极部件（例如半导体材料 160），如图 2 所示的鳍片 120。由于技术节点继续比例缩小，未合并的鳍片如鳍片 120 的宽度继续减少，例如减少到约 15nm 和更低。观察到由于技术节点降低，在未合并的鳍片的暴露表面上生长的凸起源极和漏极部件（如沿着未合并的鳍片的宽度）提供不充分的应力。例如，未合并的鳍片上形成的凸起的源极和漏极部件提供的应力倾向于沿着未合并鳍片的宽度方向松弛。这些发生是因为相邻未合并鳍片之间的间隔件（换句话说，自由空间）。由于应力（压力）在鳍片宽度方向松弛，所以缺陷和错位可能会发生在凸起的源极和漏极部件中，负面地影响器件性能。相反，为了解决传统 FinFET 器件内在的应力松弛问题，公开的方法 10 将鳍片 120 合并在一起从而形成 FinFET 器件 100 的鳍片模板 135。方法 10

提供了一种可以容易被实施到集成电路加工中且为不断提高的 FinFET 器件性能提供最大的凸起源极和漏极部件的自对齐的源极 / 漏极模板增长方案。特别地是, 鳍片模板 135 为在鳍片结构 115A 和 115B 的源极和漏极区域中形成凸起的源极 / 漏极部件提供平面状源极和漏极区域。这种方式提供了沿着鳍片宽度方向的压力松弛和获得了平面状沟道应力。因此公开的 FinFET 器件 100 能提供最大的应力给鳍片结构 115A 和 115B 的沟道而带来有限的 (或有时没有) 缺陷和 / 或错位。

[0050] FinFET 器件 100 可包括通过随后的工艺形成的额外部件。例如, 硅化物部件可能形成在鳍片结构 115A 和 115B 的源极和漏极区域中。可通过硅化工艺如自对齐硅化物 (对准硅化物) 工艺形成硅化物部件。将各种接触 / 通孔 / 线和多层互连部件 (如金属层和层间介质) 形成在基板 110 上, 将这些部件配置成连接 FinFET 器件 100 的各个部件或结构。额外的部件可能提供电连接给含有栅极结构 150 的器件 100。例如, 多层互连包括垂直互连, 如传统的通孔或接触, 和水平互连如金属线。各种互连部件可能使用各种导电材料包括铜、钨和 / 或硅化物。在一个实施例中, 使用镶嵌工艺和 / 或双镶嵌工艺形成与铜相关的多层互连结构。

[0051] 图 7 为根据本公开的各个方面制造集成电路器件的方法 30 的流程图。在所述实施例中, 方法 30 制造包括鳍片场效应晶体管 (FinFET) 器件的集成电路器件。方法 30 开始于其中提供半导体基板的方框 32。在方框 34 中, 在半导体基板上形成第一鳍片结构和第二鳍片结构。更具体地说, 第一和第二鳍片结构的第一材料部分形成在半导体基板上, 并且第一和第二鳍片结构的第二材料部分形成在第一材料部分上。在方框 36 中, 栅极结构形成在第一和第二鳍片结构的一部分上。栅极结构跨过第一和第二鳍片结构, 分割第一和第二鳍片结构的源极区域和漏极区域。沟道被限定在第一和第二鳍片结构的源极和漏极区域之间。在方框 38, 从第一和第二鳍片结构的源极和漏极区域上完全移除第二材料部分。在方框 40, 第一和第二鳍片结构的源极和漏极区域的第一材料部分结合在一起从而形成鳍片模板。在方框 42, 在第一和第二鳍片结构的源极和漏极区域中的鳍片模板上形成第三材料部分。方法 30 继续到其中集成电路器件制造完成的方框 44。可在方法 30 之前、之间和之后提供额外的步骤, 而且在方法的其它实施例中可以替换或删除一些上述步骤。

[0052] 图 8A- 图 8C、图 9A- 图 9C、图 10A- 图 10C 和图 11A- 图 11C 提供根据图 7 的方法 30 制造各个阶段的 FinFET 器件 200 的各种视图 (局部或全部)。术语 FinFET 器件是指任何基于鳍片的晶体管如基于鳍片的、多栅极晶体管。FinFET 器件 200 可被包含在微处理器、存储器单元、和 / 或其它集成电路器件中。在所述实施例中, FinFET 器件 200 为 p 沟道金属氧化物半导体 (PMOS) FinFET 器件。为了清楚从而更好地理解本公开的发明理念简化了图 8A 图 -8C、图 9A- 图 9C、图 10A- 图 10C 和图 11A- 图 11C。可以在 FinFET 器件 200 中添加额外的部件, 而且在 FinFET 器件 200 的其它实施例中可以替换或删除一些下述部件。

[0053] 图 8A 为 FinFET 器件 200 的透视图, 图 8B 为沿着图 8A 中的线 8B-8B 所截取的 FinFET 器件 200 的示意性横截面视图, 图 8C 为沿着图 8A 中的线 8C-8C 所截取的 FinFET 器件 200 的示意性横截面视图。FinFET 器件 200 包括基板 (晶圆) 210。在所述实施例中, 基板 210 为体硅基板。可选地或另外地, 基板 210 包括元素半导体, 如晶体结构中的硅或锗; 化合物半导体, 如碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或铟化铟; 或其组合物。可选地, 基板 210 为硅上绝缘体 (SOI) 基板。可使用注氧隔离 (SIMOX)、晶圆键合和 / 或其它合

适的方法制造 SOI 基板。基板 210 可能包括各种掺杂区域和其它合适的部件。

[0054] FinFET 器件 200 包括从基板 210 延伸出来的鳍片结构 215A 和 215B。在所描述的实施例中,鳍片结构 215A 和 215B 包括鳍片部分 220 和 230。鳍片部分 220 包括硅 (Si),且鳍片部分 230 包括硅锗 (SiGe)。可用 $\text{Si}_{1-x}\text{Ge}_x$ 代表鳍片部分 230 的 SiGe 浓度,其中 x 代表 Ge 成分的原子百分数。在所述实施例中, x 小于或等于 1 且大于或等于 0。图 8C 为沿着鳍片结构 215A 的沟道截取的 FinFET 器件 200 的示意性横截面视图,其中示出了鳍片结构 215A 的源极区域 S 和漏极区域 D。沟道区域 C 被确定在源极和漏极区域之间。鳍片结构 215B 类似地包括源极、漏极和沟道区域。应该注意到所述实施例中的术语“鳍片结构”是指 FinFET 器件 200 的单个鳍片。然而,术语“鳍片结构”也可指全体鳍片,因此,鳍片结构也可总体指鳍片结构 215A 和 215B。进一步,尽管所述实施例示出了两个鳍片,FinFET 器件 200 可包括更少或更多鳍片,取决于 FinFET 器件 200 的设计需求。

[0055] 通过合适的工艺形成包括鳍片部分 220 和 230 的鳍片结构 215A 和 215B。在一个实施例中,通过实施形成鳍片部分 220 的光刻和蚀刻工艺以及实施形成鳍片部分 230 的外延增长工艺形成鳍片结构 215A 和 215B。例如,从基板 210 开始,光刻和蚀刻工艺在基板 210 中形成沟槽,从而形成从基板 210 延伸出来的鳍片结构 215A 和 215B 的鳍片部分 220 (称为 Si 鳍片部分)。光刻工艺可能包括光阻涂布 (如旋转涂布)、软烘、掩模对齐、暴露、曝后烤、光阻显影、冲洗、干燥 (如硬烘)、其它合适的工艺或其组合。例如,可通过在基板 210 上覆盖形成光刻胶层 (光阻),暴露光阻给图案,进行曝后烤工艺以及将光阻显影以形成包括光阻的掩模元件来形成鳍片部分 220。然后可使用掩模元件蚀刻鳍片部分 220 到硅基板 210 中。蚀刻工艺可为干法蚀刻工艺、湿法蚀刻工艺、其它合适的蚀刻工艺、或其组合。例如,可使用反应离子刻蚀 (RIE) 将鳍片部分 220 蚀刻到硅基板 210 中。可选地,可实施光刻工艺或用其它方法代替光刻工艺,如无掩模光刻、电子束写入法、离子束写入法、和 / 或纳米压印技术。可通过如上所述的 DPL 工艺形成鳍片部分 220。

[0056] 在将鳍片部分 220 蚀刻到基板 210 中之后,可在基板 210 上包括在鳍片部分 220 上形成绝缘层。绝缘层填充基板 210 中的沟槽。然后移除部分绝缘层以形成绝缘层中暴露鳍片部分 220 的顶表面的开口。可在鳍片部分 220 的暴露表面上外延生长半导体材料从而形成鳍片结构 215A 和 215B 的鳍片部分 230。外延工艺可使用 CVD 沉积技术 (如气相外延 (VPE) 和 / 或超高真空 CVD (UHV-CVD))、分子束外延、和 / 或其它合适的工艺。外延工艺可使用与鳍片部分 220 的组分互相反应 (换句话说,与 Si 鳍片部分 220 互相反应) 的气体 and / 或液体前体。在所述实施例中,鳍片部分 230 包括通过硅锗外延沉积工艺形成的硅锗 (SiGe)。可选地,鳍片部分 230 可包括外延生长的硅。在沉积 (生长) 过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片部分 230 的沉积增长工艺中可掺杂鳍片部分 230。例如,可将磷掺杂到外延硅鳍片部分中 (以形成 Si:P 外延层)。掺杂的外延层可能具有梯度掺杂分布。可实施化学机械抛光 (CMP) 工艺以平坦化鳍片部分 230。然后,将剩余的绝缘层进行回蚀刻工艺或 CMP 工艺,从而形成隔离部件 (如隔离部件 240)。

[0057] 在另一个示例中,通过实施形成鳍片部分 220 的光刻和蚀刻工艺和实施形成鳍片部分 230 的凝聚工艺形成鳍片结构 215A 和 215B。凝聚工艺可实施于 2010 年 2 月 9 日提交的名称为通过凝聚方法形成底部缺口的 SiGeFinFET 的第 12/702,862 号美国专利申请所

述的方法,其全部内容通过引用结合到本文中作为参考。例如,从基板 210 开始,光刻和蚀刻工艺在基板 210 中形成沟槽,从而形成从基板 210 延伸出来的鳍片结构 215A 和 215B 的鳍片部分 220(称为 Si 鳍片部分)。光刻和蚀刻工艺与以上所述类似。然后,可在基板 210 上形成填充沟槽的绝缘层。可在绝缘层上实施回蚀刻工艺从而形成隔离部件(如隔离部件 240)。然后在暴露的鳍片部分 220 上外延生长半导体材料。例如,通过外延工艺在暴露的鳍片部分 220 上生长 SiGe,类似于以上所述的外延工艺。然后,SiGe 凝聚工艺使得来自 SiGe 材料的 Ge 扩散到鳍片部分 220(Si 鳍片)中形成鳍片部分 230。然后在隔离部件上实施回蚀刻工艺或 CMP 工艺。

[0058] 包围鳍片结构 215A 和 215B 的隔离部件 240 如浅沟槽隔离(STI)结构使鳍片结构 215A 和 215B 互相隔离且使鳍片结构 215A 和 215B 与其它未说明的集成电路器件隔离。通过使用绝缘材料如氧化硅、氮化硅、氮氧化硅、其它合适的材料部分或其组合物填充围绕鳍片结构 215A 和 215B 的沟槽形成隔离部件 240。填充的沟槽可能具有多层结构,例如使用氮化硅填充沟槽的热氧化衬垫层。

[0059] FinFET 器件 200 包括栅极结构 250。栅极结构 250 跨过鳍片结构 215A 和 215B,而且在所述实施例中,将栅极结构 250 形成在鳍片结构 215A 和 215B 的中间部分。栅极结构 250 可能包括栅极介电层和栅极电极。栅极介电层包括介电材料如氧化硅、高-k 介电材料、其它合适的介电材料或其组合物。高-k 介电材料的示例包括 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、氧化锆、氧化铝、二氧化铪-氧化铝($\text{HfO}_2\text{-Al}_2\text{O}_3$)合金、其它合适的高-k 介电材料或其组合物。栅极电极包括多晶硅和/或包含 Al、Cu、Ti、Ta、W、Mo、TaN、NiSi、CoSi、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN 的金属,其它导电材料,或其组合物。可在栅极第一或栅极最后工艺中形成栅极结构 250 如栅极电极。栅极结构 250 可包括很多其它层如覆盖层、界面层、扩散层、阻挡层、硬掩模层、或其组合。

[0060] 通过合适的工艺如沉积、光刻图案化和蚀刻工艺形成栅极结构 250。沉积工艺包括 CVD、PVD、ALD、HDCVD、MOCVD、RPCVD、PECVD、LPCVD、ALCVD、APCVD、电镀法、其它合适的方法、或其组合。光刻图案化工艺包括光阻涂布(如旋转涂布)、软烘、掩模对齐、暴露、曝后烘、光阻显影、清洗、干燥(如硬烘干)、其它合适的工艺、或其组合。可选地,可通过其它的方法如无掩模光刻、电子束写入或离子束写入实施或代替光刻暴露工艺。在又一个可选的实施例中,光刻图案化工艺可实施纳米压印技术。蚀刻工艺包括干法蚀刻、湿法蚀刻和/或其它蚀刻方法。

[0061] 将间隔件(未示出)置于栅极结构 250 的侧壁上如沿着栅极电极。所述间隔件类似于以上关于图 2 所描述的间隔件 152。例如,间隔件 152 包括介电材料如氧化硅、氮化硅、氮氧化硅、其它合适的材料或其组合。间隔件可包括多层结构如包含氮化硅层和氧化硅层的多层结构。通过合适的工艺将间隔件形成为合适的厚度。例如,可通过沉积氮化硅和氧化硅层形成间隔件,然后干法蚀刻所述层从而形成间隔件。在形成间隔件之前或之后,可进行注入、扩散、和/或退火工艺从而在鳍片结构 215A 和 215B 的源极和漏极区域中形成 LDD 部件。

[0062] 图 9A 为 FinFET 器件 200 的透视图,图 9B 为沿着图 9A 中的线 9B-9B 所截取的 FinFET 器件 200 的示意性横截面视图,图 9C 为沿着图 9A 中的线 9C-9C 所截取的 FinFET 器件 200 的示意性横截面视图。在图 9A-9C 中,从鳍片结构 215A 和 215B 的源极和漏极区域

完全移除鳍片部分 230。更具体地说,蚀刻工艺从鳍片结构 215A 和 215B 的源极和漏极区域完全移除鳍片部分 230 从而暴露出鳍片部分 220。蚀刻工艺为干法蚀刻工艺、湿法蚀刻工艺、其它蚀刻工艺或其组合。在实施例中,蚀刻工艺使用 HBr、Cl₂ 和 O₂ 的混合物。可选地,可使用其它蚀刻工艺混合物从而有效地移除鳍片部分 230。蚀刻工艺的射频 (RF) 偏置电源可能为约 30 瓦 (W) 到约 400 瓦 (W)。可实施光刻和蚀刻工艺以在 FinFET 器件 200 的各个部件(如,栅极结构 250 和 / 或隔离部件 240) 上提供保护层从而使受保护的部件不受蚀刻工艺的影响。如图 9C 所示,被栅极结构 250 限定的鳍片部分 230 保留在鳍片结构 215A 和 215B 的沟道中。移除的鳍片部分 230 形成鳍片结构 215A 和 215B 的源极和漏极区域中的沟道。沟道侧壁可由鳍片部分 220、隔离部件 240、沟道区域中的剩余鳍片部分 230、和 / 或保护层(如果形成)限定。在所述实施例中,沟槽的深度 (d_1) 从鳍片部分 230 的最初顶表面延伸到鳍片部分 220 的暴露的顶表面。如果提供了保护层,则 d_1 可从保护层的顶表面延伸到鳍片部分 220 的暴露的顶表面。也可使用其它确定沟槽深度的方法。

[0063] 图 10A 为 FinFET 器件 200 的透视图,图 10B 为沿着图 10A 中的线 10B-10B 所截取的 FinFET 器件 200 的示意性横截面视图,图 10C 为沿着图 10A 中的线 10C-10C 所截取的 FinFET 器件 200 的示意性横截面视图。在图 10A- 图 10C 中,鳍片结构 215A 和 215B 的源极和漏极区域中的鳍片部分 220 合并在一起从而形成鳍片模板 280。例如,可通过与以上关于图 5 所述的工艺类似的工艺形成鳍片模板 280。在所述实施例中,在源极和漏极区域的暴露鳍片部分 220 上外延(外延)生长半导体材料直到鳍片结构 215A 和 215B 的鳍片部分 220 合并在一起从而形成鳍片模板 280。外延工艺可使用 CVD 沉积技术(如 VPE 和 / 或 UHV-CVD)、分子束外延、和 / 或其它合适的工艺。外延工艺可使用气体和 / 或液体前体。在所述实施例中,鳍片模板 280 可为通过硅外延沉积工艺形成的硅。可选地,鳍片模板 280 可为通过硅锗外延沉积工艺形成的硅锗 (SiGe)。在沉积(生长)过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片模板 280 的沉积增长工艺中可掺杂鳍片模板 280。例如,可将磷掺杂到外延硅鳍片模板 280 中(以形成 Si:P 外延层)。掺杂的外延层可能具有梯度掺杂分布。可实施化学机械抛光 (CMP) 工艺以平坦化鳍片模板 280。虽然分别描述了鳍片模板 280 和鳍片部分 220,应该理解“鳍片模板”可以只指新增长的外延半导体材料(描述为鳍片模板 280) 或与原始鳍片组合的新增长的外延半导体材料(描述为鳍片 220)。与以上关于图 2- 图 6 描述的鳍片模板 135 类似,鳍片模板 280 可最小化沿着鳍片结构 215A 和 215B 的宽度的应力松弛,最大化鳍片结构 215A 和 215B 沟道上的应力且提高器件性能。

[0064] 图 11A 为 FinFET 器件 200 的透视图,图 11B 为沿着图 11A 中的线 11B-11B 所截取的 FinFET 器件 200 的示意性横截面视图,图 11C 为沿着图 11A 中的线 11C-11C 所截取的 FinFET 器件 200 的示意性横截面视图。在图 11A- 图 11C 中,鳍片部分 285 形成在鳍片模板 280 上,提供带有鳍片部分 285 的鳍片结构 215A 和 215B。例如,将半导体材料外延(外延)生长在鳍片模板 285 上。外延工艺可使用 CVD 沉积技术(如 VPE 和 / 或 UHV-CVD)、分子束外延、和 / 或其它合适的工艺。外延工艺可使用与鳍片模板 280 的组分互相反应(换句话说,与 Si 鳍片模板 280 互相反应)的气体和 / 或液体前体。在所述实施例中,鳍片模板 280 可为通过硅锗外延沉积工艺形成的硅锗 (SiGe)。可用 Si_{1-y}Ge_y 代表鳍片部分 285 的 SiGe 浓度,其中 y 代表 Ge 成分的原子百分数。在所述实施例中,y 小于或等于 1 且大于或

等于 0。在沉积（生长）过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片部分 285 的沉积增长工艺中可掺杂鳍片部分 285。掺杂的外延层可能具有梯度掺杂分布。可实施 CMP 工艺以平坦化鳍片部分 285。进一步，在形成鳍片部分 285 之前或之后，可进行注入、扩散、和 / 或退火工艺从而在鳍片结构 215A 和 215B 的源极和漏极区域中形成 HDD 部件。

[0065] 如图 11A- 图 11C 所示，鳍片结构 215A 和 215B 包括鳍片部分 220、鳍片部分 230、鳍片模板 280 和鳍片部分 285。更具体地说，鳍片结构 215A 和 215B 的源极和漏极区域包括鳍片部分 220、鳍片模板 280 和鳍片部分 285。鳍片结构 215A 和 215B 的沟道包括鳍片部分 220 和鳍片部分 230。鳍片结构 215A 和 215B 的源极和漏极中的鳍片模板 280 和 / 或鳍片部分 285 可选地指 FinFET 器件 200 的受到应力的源极和漏极部件。在所述实施例中，鳍片部分 220 包括 Si、鳍片模板 280 包括 Si、鳍片部分 230 包括 $Si_{1-x}Ge_x$ 、且鳍片部分 285 包括 $Si_{1-y}Ge_y$ 。鳍片部分 285 提供压缩应力给鳍片结构 215A 和 215B 的沟道，从而提高 PMOS FinFET 器件 200 中的电洞迁移率。在所述实施例中，在 PMOS FinFET 器件 200 中 y 与 x 相互独立。因此，鳍片部分 285 可包括任何 Ge 浓度，而且仍然可以获得 PMOS FinFET 器件所需的压缩应力。通过在 Si 鳍片部分（鳍片模板 280）上形成鳍片部分 285，压缩应力的获得与沟道的 SiGe 浓度无关。例如，来自 $Si_{1-y}Ge_y$ 鳍片部分 285 上 Si 鳍片模板 280 的压缩应力使得鳍片部分 285 推 / 压沟道 / 鳍片部分 230，从而提供单轴的压力给 FinFET 器件 200 的沟道。

[0066] FinFET 器件 200 可包括可通过随后的加工形成的额外部件。例如，硅化物部件可能形成在鳍片结构 215A 和 215B 的源极和漏极区域中。可通过硅化工艺如自对齐硅化物（对准硅化物）工艺形成硅化物部件。将各种接触 / 通孔 / 线和多层互连部件（如金属层和层间介质）形成在基板 110 上，将这些部件配置成连接 FinFET 器件 100 的各个部件或结构。额外的部件可能提供电连接给含有栅极结构 250 的器件 200。例如，多层互连包括垂直互连，如传统的通孔或接触，和水平互连如金属线。各种互连部件可能使用各种导电材料包括铜、钨和 / 或硅化物。在一个实施例中，使用镶嵌工艺和 / 或双镶嵌工艺形成与铜相关的多层互连结构。

[0067] 图 12 为根据本公开的各个方面制造集成电路器件的方法 50 的流程图。在所述实施例中，方法 50 制造包括 FinFET 器件的集成电路器件。方法 50 开始于其中提供半导体基板的方框 52。在方框 54 中，在半导体基板上形成第一鳍片结构和第二鳍片结构。更具体地说，第一和第二鳍片结构的第一材料部分形成在半导体基板上，并且第一和第二鳍片结构的第二材料部分形成在第一材料部分上。在方框 56 中，栅极结构形成在第一和第二鳍片结构的一部分上。栅极结构跨过第一和第二鳍片结构，分割第一和第二鳍片结构的源极区域和漏极区域。沟道被限定在第一和第二鳍片结构的源极和漏极区域之间。在方框 58，从第一和第二鳍片结构的源极和漏极区域上部分移除第二材料部分。在方框 60，第一和第二鳍片结构的源极和漏极区域的剩余第二材料部分结合在一起从而形成鳍片模板。在方框 62，在第一和第二鳍片结构的源极和漏极区域中的鳍片模板上形成第三材料部分。方法 50 继续到其中集成电路器件制造完成的方框 64。可在方法 50 之前、之间和之后提供额外的步骤，而且在方法的其它实施例中可以替换或删除一些上述步骤。

[0068] 图 13A- 图 13C、图 14A- 图 14C、图 15A- 图 15C 和图 16A- 图 16C 为提供根据图

12 的方法 50 制造各个阶段的 FinFET 器件 400 的各种视图（局部或全部）。FinFET 器件 400 可被包含在微处理器、存储器单元、和 / 或其它集成电路器件中。在所述实施例中，FinFET 器件 400 为 NMOS FinFET 器件。图 13A- 图 13C、图 14A- 图 14C、图 15A- 图 15C 和图 16A- 图 16C 的 FinFET 器件 400 在很多方面都与图 8A- 图 8C、图 9A- 图 9C、图 10A- 图 10C 和图 11A- 图 11C 的 FinFET 器件 200 相似。因此为了清楚和简明，使用相同的参考数字标识图 8A- 图 8C、图 9A- 图 9C、图 10A- 图 10C、图 11A- 图 11C、图 13A- 图 13C、图 14A- 图 14C、图 15A- 图 15C 和图 16A- 图 16C 中相似的部件。为了清楚从而更好地理解本公开的发明理念简化了图 13A- 图 13C、图 14A- 图 14C、图 15A- 图 15C 和图 16A- 图 16C。可以在 FinFET 器件 400 中添加额外的部件，而且在 FinFET 器件 400 的其它实施例中可以替换或删除一些下述部件。

[0069] 图 13A 为 FinFET 器件 400 的透视图，图 13B 为沿着图 13A 中的线 13B-13B 所截取的 FinFET 器件 400 的示意性横截面视图，图 13C 为沿着图 13A 中的线 13C-13C 所截取的 FinFET 器件 400 的示意性横截面视图。FinFET 器件 400 包括基板 210、含有鳍片部分 220 和 230 的鳍片结构 215A 和 215B、隔离部件 240、以及栅极结构 250。鳍片结构 215A 和 215B 包括源极、漏极和限定在源极和漏极区域之间的沟道。

[0070] 图 14A 为 FinFET 器件 400 的透视图，图 14B 为沿着图 14A 中的线 14B-14B 所截取的 FinFET 器件 400 的示意性横截面视图，图 14C 为沿着图 14A 中的线 14C-14C 所截取的 FinFET 器件 400 的示意性横截面视图。在图 14A-14C 中，从鳍片结构 215A 和 215B 的源极和漏极区域移除鳍片部分 230。与图 9A- 图 9C 中的 FinFET 器件 200 相反，在所述实施例中，蚀刻工艺从鳍片结构 215A 和 215B 的源极和漏极区域部分移除鳍片部分 230。蚀刻工艺为干法蚀刻工艺、湿法蚀刻工艺、其它蚀刻工艺或其组合。在实例中，蚀刻工艺使用 HBr、Cl₂ 和 O₂ 的混合物。可选地，可使用其它蚀刻工艺混合物从而部分地移除鳍片部分 230。蚀刻工艺的射频 (RF) 偏置电源可能为约 30 瓦 (W) 到约 400 瓦 (W)。可实施光刻和蚀刻工艺以在 FinFET 器件 400 的各个部件（如，栅极结构 250 和 / 或隔离部件 240）上提供保护层从而使受保护的部件不受蚀刻工艺的影响。如图 14C 所示，被栅极结构 250 限定的鳍片部分 230 保留在鳍片结构 215A 和 215B 的沟道中，而且一些鳍片部分 230 剩余在源极和漏极区域中。移除的鳍片部分 230 形成鳍片结构 215A 和 215B 的源极和漏极区域中的沟道。沟道侧壁可由剩余的鳍片部分 230（在源极、漏极和沟道区域中）、隔离部件 240、和 / 或保护层（如果形成）限定。在所述实施例中，沟槽的深度 (d_2) 从鳍片部分 230 的最初顶表面延伸到鳍片部分 230 的暴露的顶表面。如果提供了保护层，则 d_2 可从保护层的顶表面延伸到鳍片部分 230 的暴露的顶表面。深度 d_1 是指 FinFET 器件 200 的源极和漏极区域中的沟槽的深度。考虑到 d_1 和 d_2 ，FinFET 器件 200 的沟槽（或凹槽）比 FinFET 器件 400 的深。如将要在以下描述的，可以控制沟槽深度从而为鳍片结构获得各种源极和漏极部件，使得可以为不同的 FinFET 器件获得不同种类的沟道压力。

[0071] 图 15A 为 FinFET 器件 400 的透视图，图 15B 为沿着图 15A 中的线 15B-15B 所截取的 FinFET 器件 400 的示意性横截面视图，图 15C 为沿着图 15A 中的线 15C-15C 所截取的 FinFET 器件 400 的示意性横截面视图。在图 15A- 图 15C 中，鳍片结构 215A 和 215B 的源极和漏极区域中的鳍片部分 230 合并在一起从而形成鳍片模板 290。例如，可通过与以上关于图 10A- 图 10C 所述的工艺类似的工艺形成鳍片模板 290。在所述实施例中，在源极和漏极

区域中剩余的鳍片部分 230 上外延（外延）生长半导体材料。外延生长半导体材料直到鳍片结构 215A 和 215B 的鳍片部分 220 合并在一起从而形成鳍片模板 290。虽然分别描述了鳍片模板 290 和剩余在源极和漏极区域中的鳍片部分 230，但是“鳍片模板”可以只指新增的外延半导体材料（描述为鳍片模板 290）或与原始鳍片组合的新增长的外延半导体材料（描述为剩余在源极和漏极区域中的鳍片部分 230）。外延工艺可使用 CVD 沉积技术（如 VPE 和 / 或 UHV-CVD）、分子束外延、和 / 或其它合适的工艺。外延工艺可使用气体和 / 或液体前体。在所述实施例中，鳍片模板 290 包括通过硅锗外延沉积工艺形成的硅锗（SiGe）。可选地，鳍片模板 290 可包括外延生长的硅。在沉积（生长）过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片模板 290 的沉积增长工艺中可掺杂鳍片模板 290。掺杂的外延层可能具有梯度掺杂分布。可实施 CMP 工艺以平坦化鳍片模板 290。虽然分别描述了鳍片模板 280 和鳍片部分 220，与以上关于图 2- 图 6 描述的鳍片模板 135 类似，鳍片模板 290 可最小化沿着鳍片结构 215A 和 215B 的宽度的应力松弛，最大化鳍片结构 215A 和 215B 沟道上的应力且提高器件性能。

[0072] 图 16A 为 FinFET 器件 400 的透视图，图 16B 为沿着图 16A 中的线 16B-16B 所截取的 FinFET 器件 400 的示意性横截面视图，图 16C 为沿着图 16A 中的线 16C-16C 所截取的 FinFET 器件 400 的示意性横截面视图。在图 16A- 图 16C 中，鳍片部分 295 形成在鳍片模板 290 上，提供带有鳍片部分 295 的鳍片结构 215A 和 215B。例如，将半导体材料外延（外延）生长在鳍片模板 290 上。外延工艺可使用 CVD 沉积技术（如 VPE 和 / 或 UHV-CVD）、分子束外延、和 / 或其它合适的工艺。外延工艺可使用气体和 / 或液体前体。在所述实施例中，鳍片部分 295 包括外延生长的 SiGe。可用 $Si_{1-z}Ge_z$ 代表鳍片部分 295 的 SiGe 浓度，其中 z 代表 Ge 成分的原子百分数。在所述实施例中， z 小于或等于 1 且大于或等于 0。可选地，鳍片部分 295 可包括外延生长的 Si。在沉积（生长）过程中通过添加杂质到外延工艺的原始材料中或随后通过离子注入工艺添加杂质到鳍片部分 295 的沉积增长工艺中可掺杂鳍片部分 295。掺杂的外延层可能具有梯度掺杂分布。可实施 CMP 工艺以平坦化鳍片部分 295。进一步，在形成鳍片部分 295 之前或之后，可进行注入、扩散、和 / 或退火工艺从而在鳍片结构 215A 和 215B 的源极和漏极区域中形成 HDD 部件。

[0073] 如图 16A-16C 所示，鳍片结构 215A 和 215B 包括鳍片部分 220、鳍片部分 230、鳍片模板 290、和鳍片部分 295。更具体地说，鳍片结构 215A 和 215B 的源极和漏极区域包括鳍片部分 220、230、290 和 295。鳍片结构 215A 和 215B 的沟道包括鳍片部分 220 和 230。源极和漏极区域中的鳍片部分 230、290 和 / 或 295 可选地指 FinFET 器件 400 的受到应力的源极和漏极部件。在所述实施例中，鳍片部分 220 包括 Si，鳍片部分 230 和 290 包括 $Si_{1-x}Ge_x$ ，以及鳍片部分 295 包括 $Si_{1-z}Ge_z$ ，其中 z 小于 x 。鳍片部分 230、290 和 295 提供拉伸应力给鳍片结构 215A 和 215B 的沟道，从而提供 NMOSFinFET 器件 400 的沟道中的电子迁移率。

[0074] FinFET 器件 400 可包括通过随后的工艺形成的额外部件。例如，硅化物部件可能形成在鳍片结构 215A 和 215B 的源极和漏极区域中，尤其是形成在鳍片部分 295 上。可通过硅化工艺如自对齐硅化物（对准硅化物）工艺形成硅化物部件。将各种接触 / 通孔 / 线和多层互连部件（如金属层和层间介质）形成在基板 210 上，将这些部件配置成连接 FinFET 器件 400 的各个部件或结构。额外的部件可能提供电连接给含有栅极结构 250 的器件 400。例如，多层互连包括垂直互连，如传统的通孔或接触，和水平互连如金属线。各种互连部件

可能使用各种导电材料包括铜、钨和 / 或硅化物。在一个实施例中,使用镶嵌工艺和 / 或双镶嵌工艺形成与铜相关的多层互连结构。

[0075] 因此,本公开提供了可对其沟道显示出最大应力的集成电路器件,以及制造带有最大应力的集成电路器件的方法。通过将鳍片模板合并到集成电路器件中可获得最大应力。应该理解不同的实施例可能具有不同的优点,而且没有哪个优点是一定被任何实施例需要的。也应该注意到可使用上述方法 10、30、50 在单个的集成电路器件中制造 FinFET 器件 100、PMOSFinFET 器件 200 和 / 或 NMOS FinFET 器件 400。参考 FinFET 器件 200 和 400,通过控制外延源极和漏极部件的源极和漏极沟槽深度(例如 d_1 和 d_2),可以为 PMOS 和 NMOS FinFET 器件获得和优化应力。例如,如上所述,从 FinFET 器件 200 中的鳍片结构 215A 和 215B 的源极和漏极区域完全移除鳍片部分 230,而从 FinFET 器件 400 中的鳍片结构 215A 和 215B 的源极和漏极区域部分移除鳍片部分 230。这为形成鳍片模板提供了不同的起始基板,使得可以获得不同类型的应力。因此,可以调整沟槽深度以独立地优化集成电路器件中每个 FinFET 器件的性能。进一步,PMOS 和 NMOSFinFET 器件中的鳍片模板可以最小化沿着鳍片结构宽度的应力松弛。

[0076] 本公开提供了很多不同的实施例。例如,本公开提供了制造集成电路器件的方法。在实施例中,方法包括提供半导体基板;在半导体基板上形成多个鳍片,通过隔离结构使鳍片互相隔离;在每个鳍片的一部分上形成栅极结构,使得栅极结构跨过多个鳍片;在鳍片的暴露部分上形成鳍片模板;和在鳍片模板上外延(外延)生长半导体材料。形成鳍片模板可包括在每个鳍片的暴露部分上外延生长其它半导体材料,使得鳍片合并在一起。方法还可包括在形成鳍片模板之前回蚀刻隔离结构。方法还包括在栅极结构的侧壁上形成间隔件。隔离结构的回蚀刻可能使用选择性蚀刻隔离结构的蚀刻工艺。在实例中,在鳍片的暴露部分上外延生长半导体材料包括外延生长硅,而且在鳍片模板上外延生长半导体材料包括外延生长硅锗。

[0077] 方法还包括在鳍片模板上外延生长半导体材料之前回蚀刻鳍片模板。在实例中,栅极结构分离每个鳍片的源极区域和漏极区域,其中沟道被限定在每个鳍片的源极和漏极之间。回蚀刻鳍片模板可能包括暴露每个鳍片的沟道的一部分。在实例中,形成多个鳍片包括形成具有第一材料部分和第二材料部分的鳍片,每个鳍片包括被栅极结构分离的源极区域和漏极区域,其中每个鳍片的源极和漏极区域限定处于其中间的沟道。方法可能包括在形成鳍片模板之前从鳍片的源极和漏极区域完全移除第二材料部分和 / 或在形成鳍片模板之前从鳍片的漏极和源极区域部分移除第二材料部分。

[0078] 在另一个实施例中,方法包括提供半导体基板;在半导体基板上形成第一鳍片结构和第二鳍片结构;在第一鳍片结构和第二鳍片结构的一部分上形成栅极结构,使得栅极结构跨过第一鳍片结构和第二鳍片结构;在第一鳍片结构和第二鳍片结构的暴露部分上外延生长第一半导体材料,使得第一鳍片结构和第二鳍片结构的暴露部分合并在一起;和在第一半导体材料上外延生长第二半导体材料。方法还包括在第一鳍片结构和第二鳍片结构之间形成隔离结构,使得第一鳍片结构和第二鳍片结构互相隔离,和在外延生长第一半导体材料之前回蚀刻隔离结构。方法还包括在外延生长第二半导体材料之前回蚀刻第一半导体材料。在实例中,外延生长第一半导体包括外延生长硅,以及外延生长第二半导体材料包括外延生长硅锗。方法可能包括在外延生长第一半导体材料之前移除第一鳍片结构和第二

鳍片结构的一部分。在实例中,第一鳍片和第二鳍片包括第一材料部分和第二材料部分,第一鳍片和第二鳍片的每一个都具有被栅极结构分离的源极区域和漏极区域,而且每个鳍片的源极和漏极区域限定其之间沟道。在这个实例中,移除第一鳍片和第二鳍片的部分可能包括从第一鳍片和第二鳍片的源极和漏极区域完全移除第二材料部分和/或从第一鳍片和第二鳍片的源极和漏极区域部分移除第二材料部分。

[0079] 通过本文中所述的方法形成集成电路器件。在实施例中,集成电路器件包括半导体基板;置于半导体基板上的第一鳍片和第二鳍片;置于第一鳍片和第二鳍片之间的隔离结构,使得第一鳍片和第二鳍片互相隔离;置于一部分第一鳍片和第二鳍片上的栅极结构,栅极结构跨过第一鳍片和第二鳍片,从而分离第一鳍片和第二鳍片的源极和漏极区域;置于第一鳍片和第二鳍片的另一部分上的第一外延半导体层;和置于第一外延半导体层上的第二外延半导体层,其中第一鳍片和第二鳍片的源极和漏极区域包括一部分第一外延半导体层和第二外延半导体层。每个第一鳍片和第二鳍片的源极和漏极区域限定其之间的沟道。沟道可与第一外延半导体层和第二外延半导体层接触。在实例中,第一鳍片和第二鳍片包括硅,第一外延半导体层包括硅,且第二外延半导体层包括硅锗。

[0080] 上面论述了若干实施例的部件,使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的目的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。

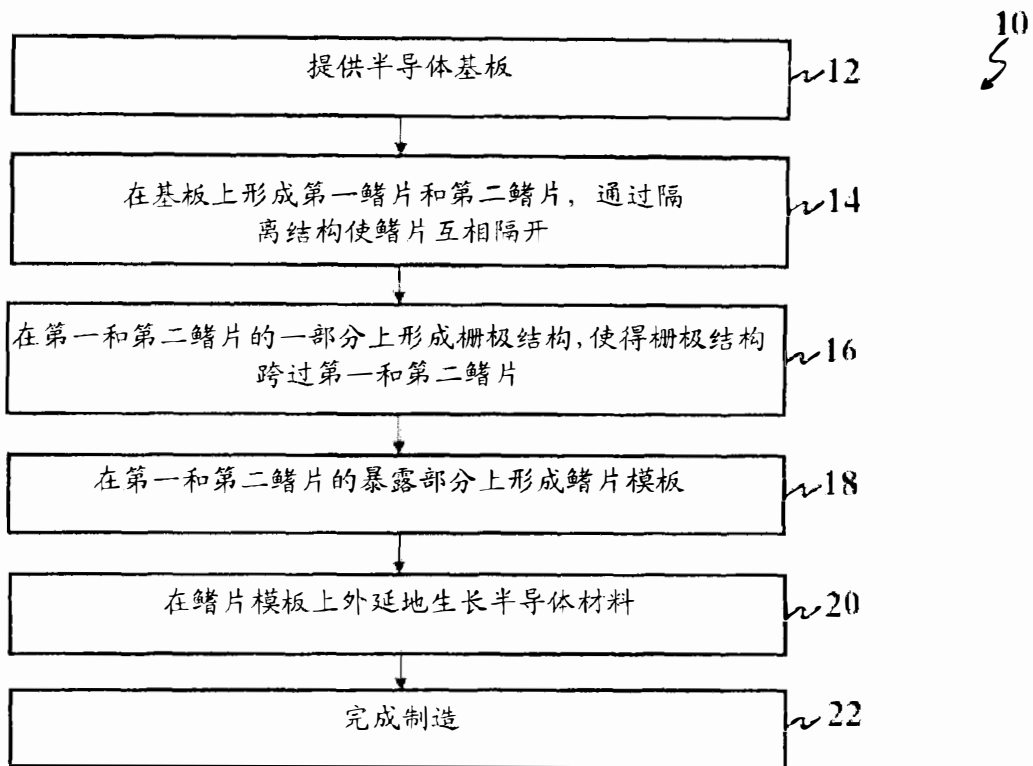


图 1

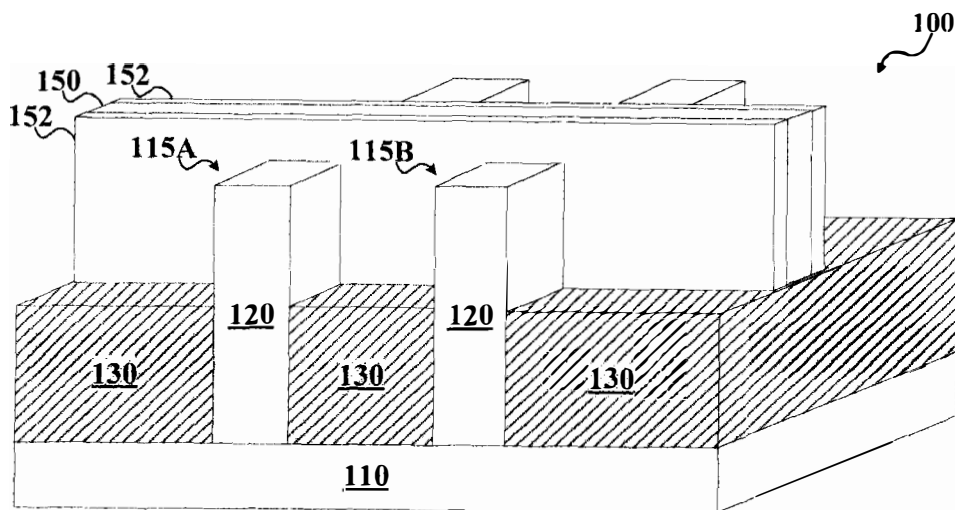


图 2

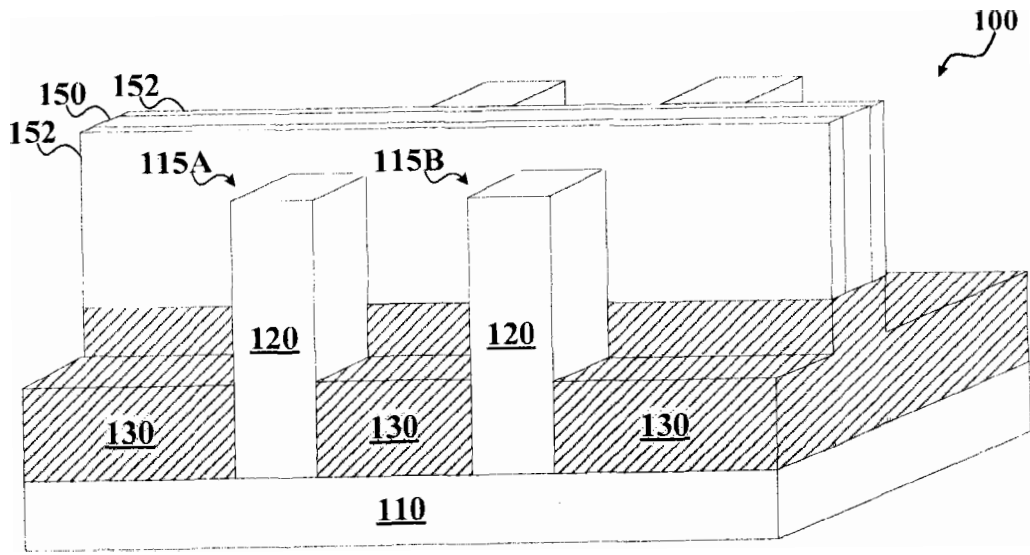


图 3

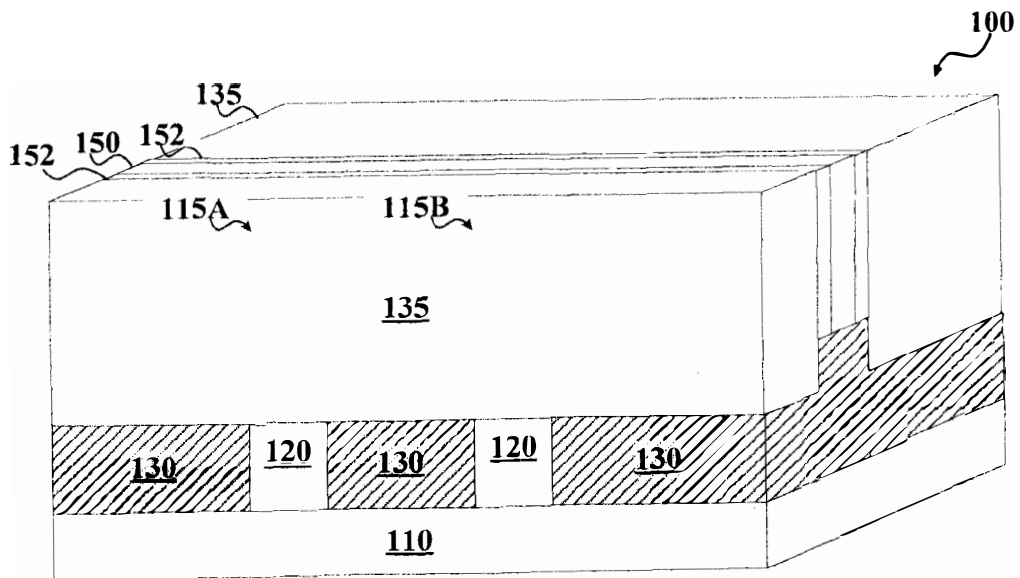


图 4

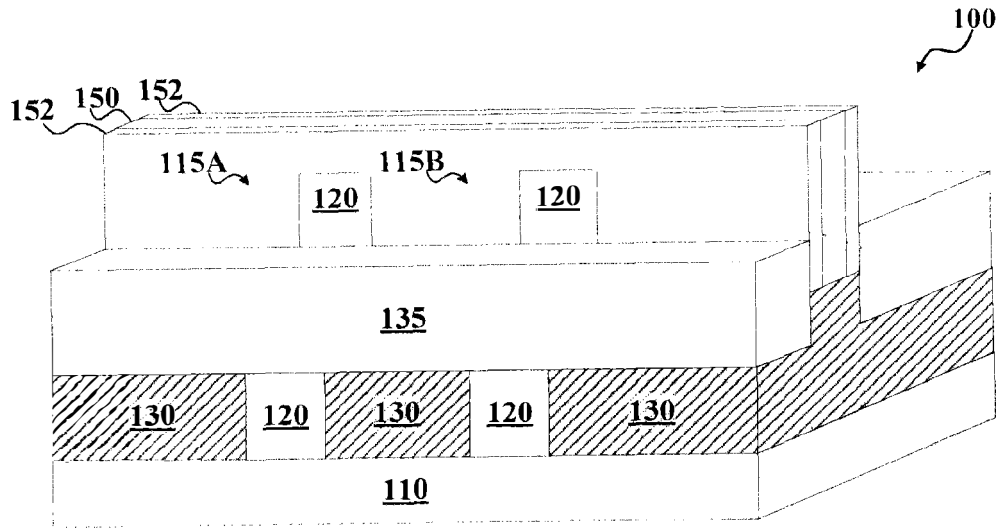


图 5

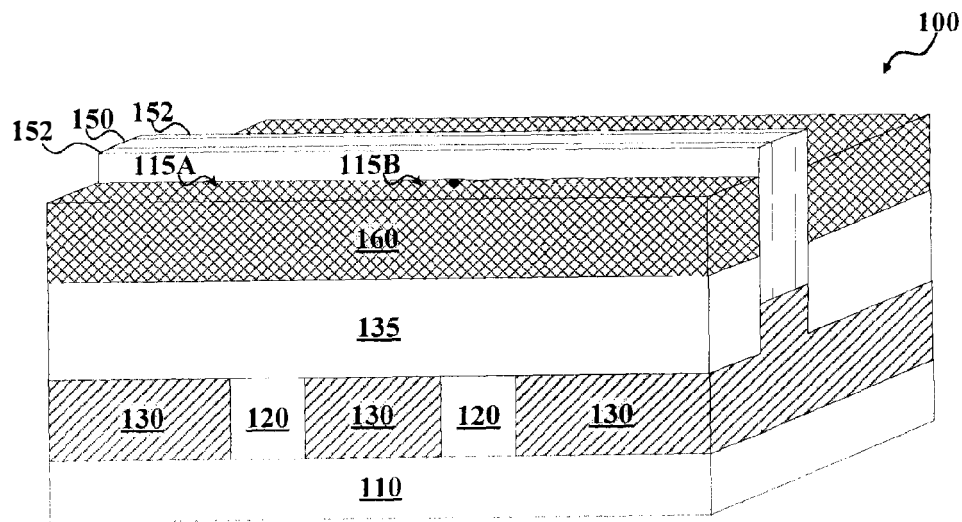


图 6

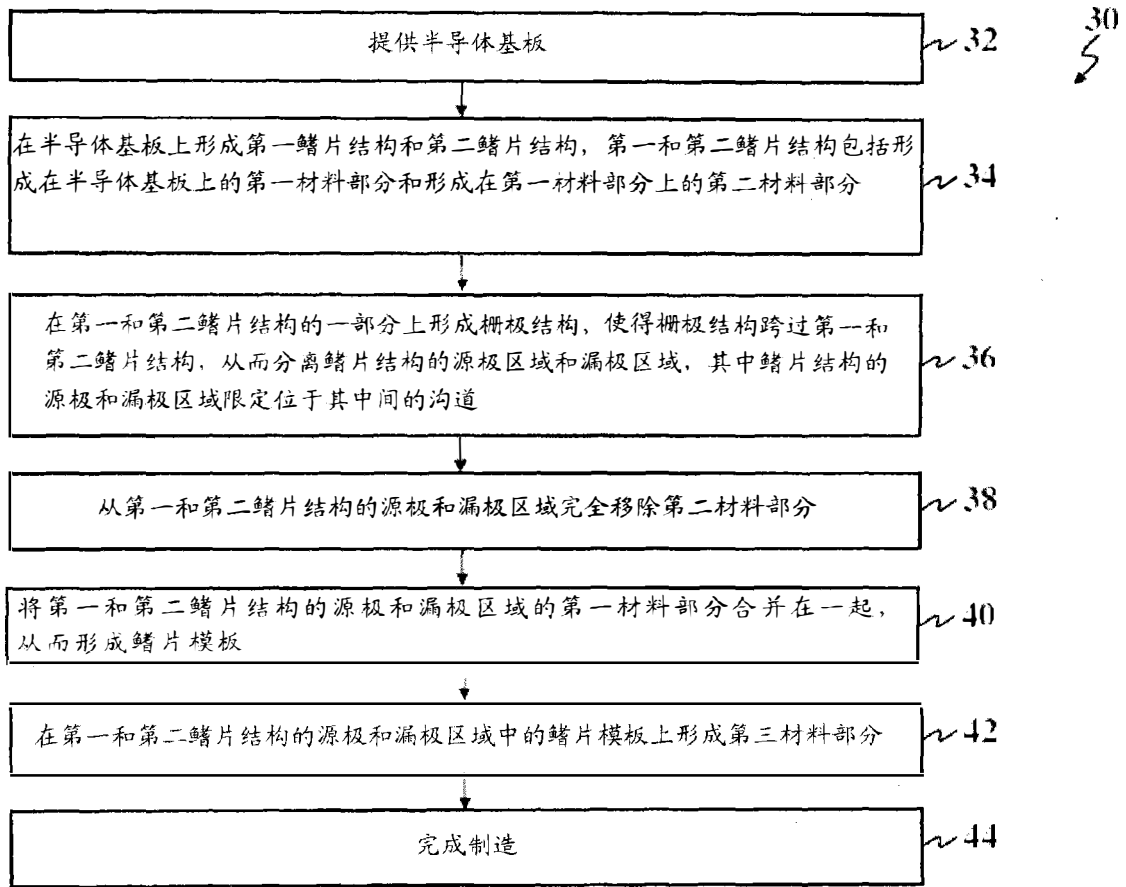


图 7

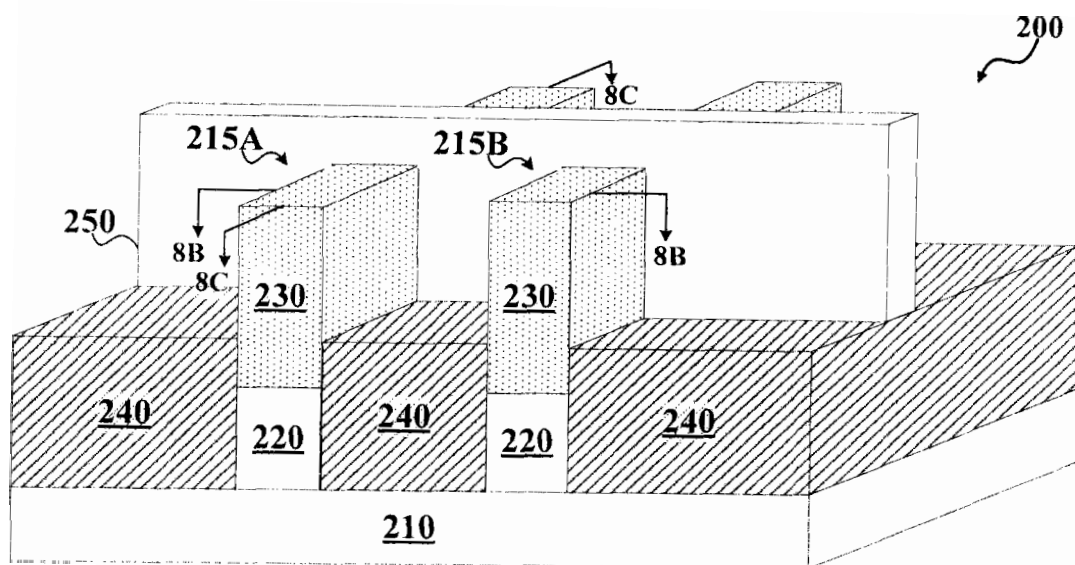


图 8A

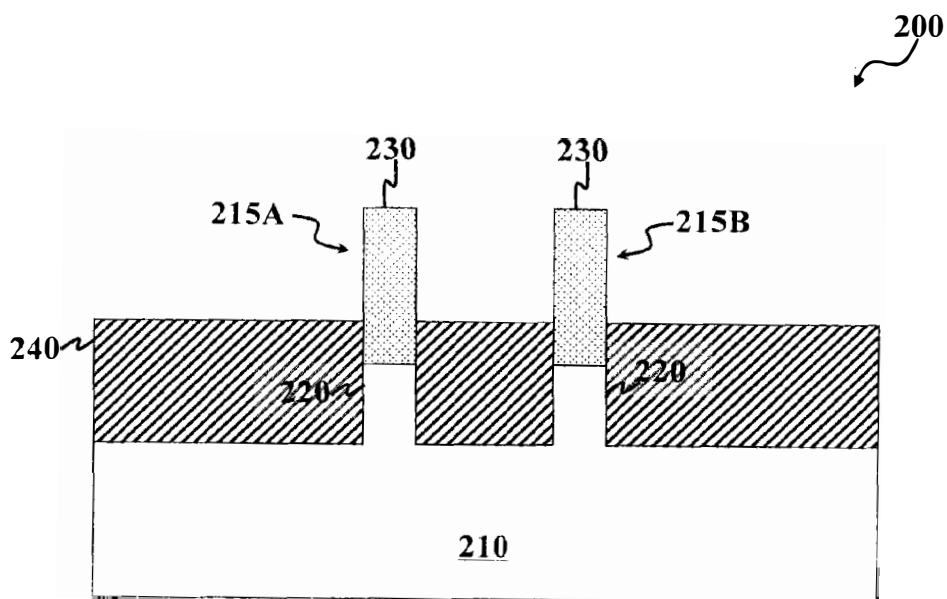


图 8B

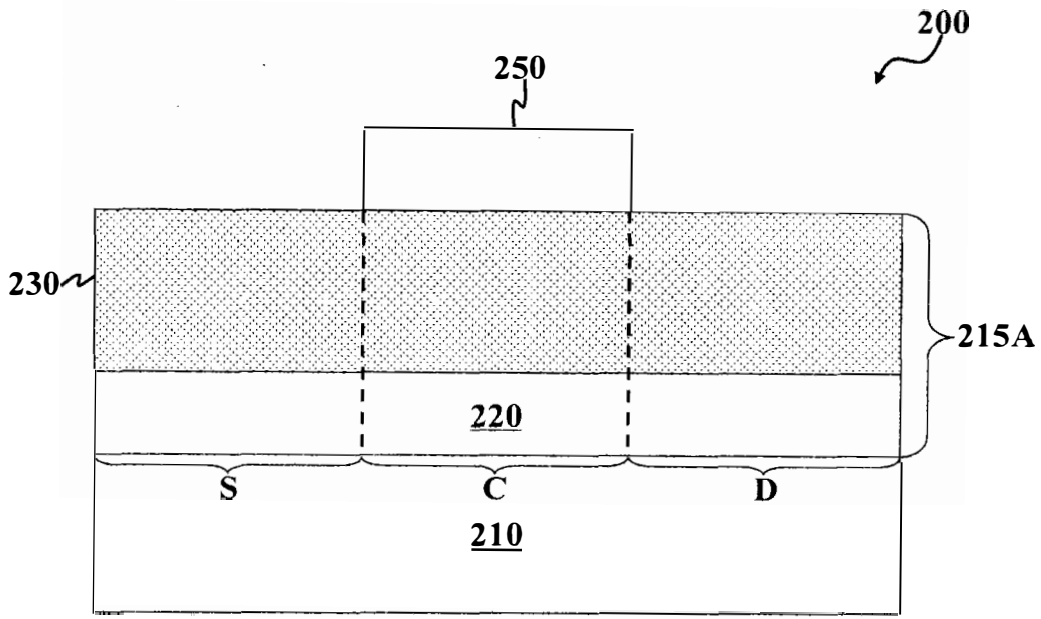


图 8C

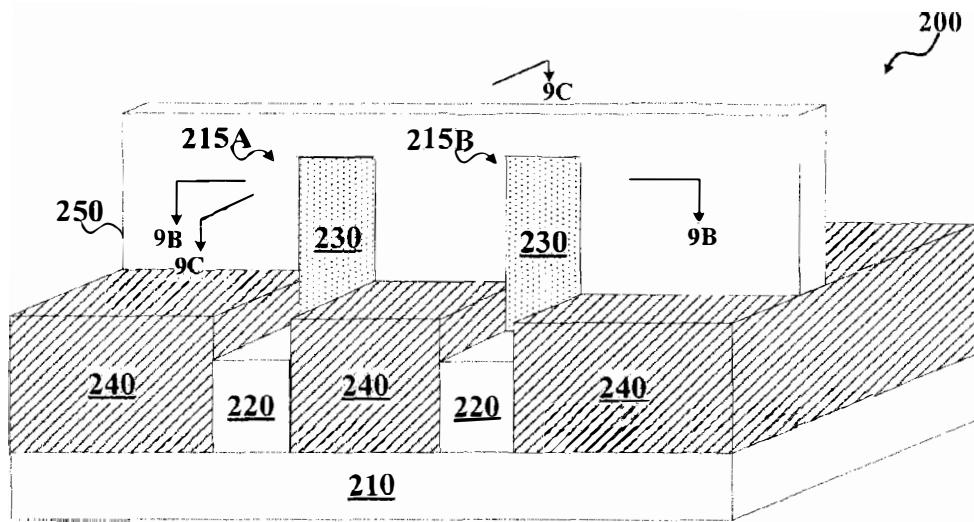


图 9A

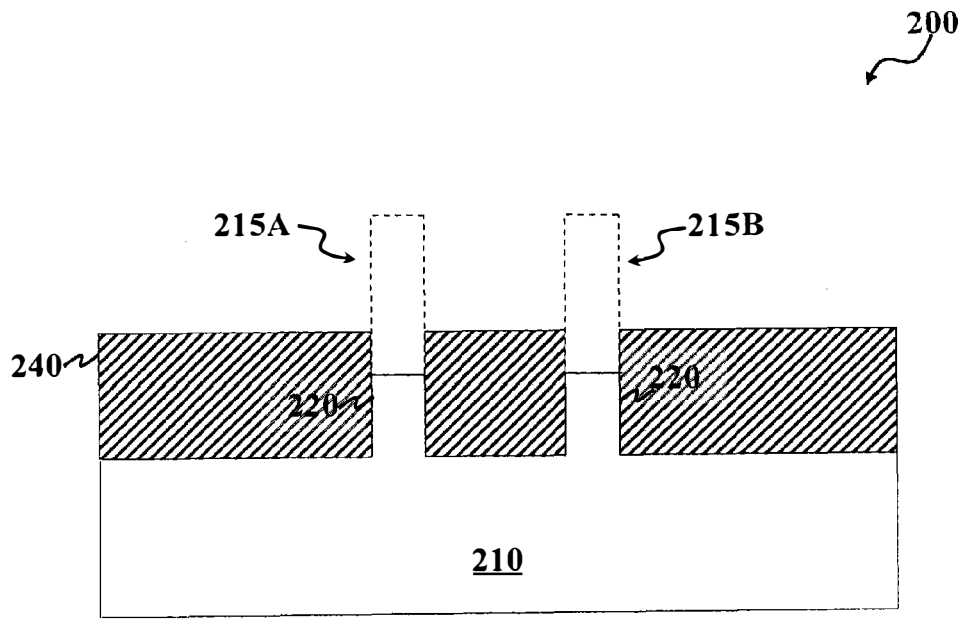


图 9B

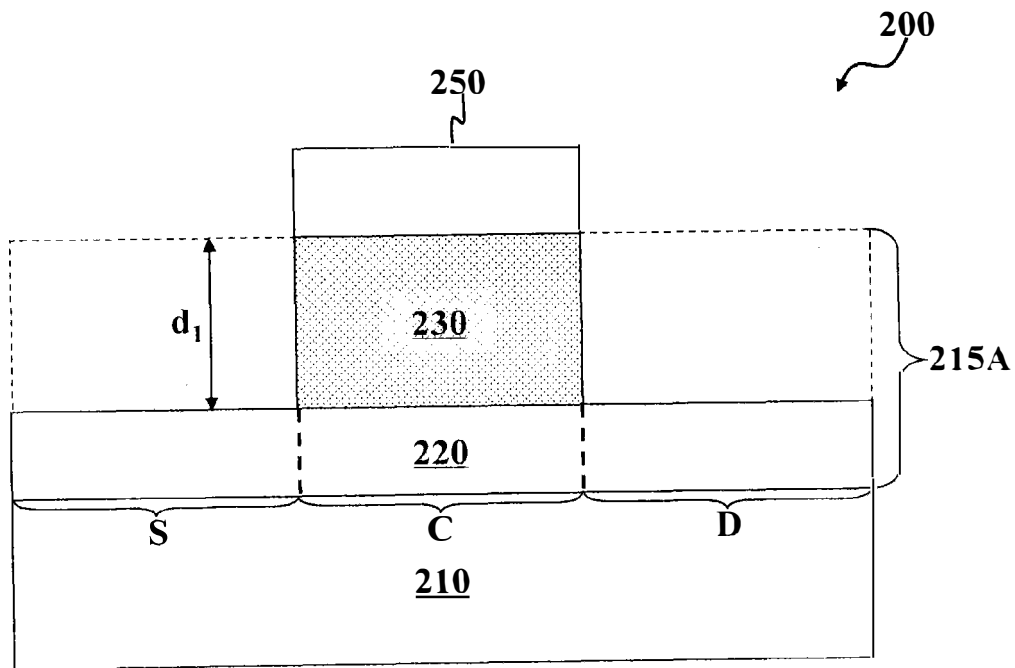


图 9C

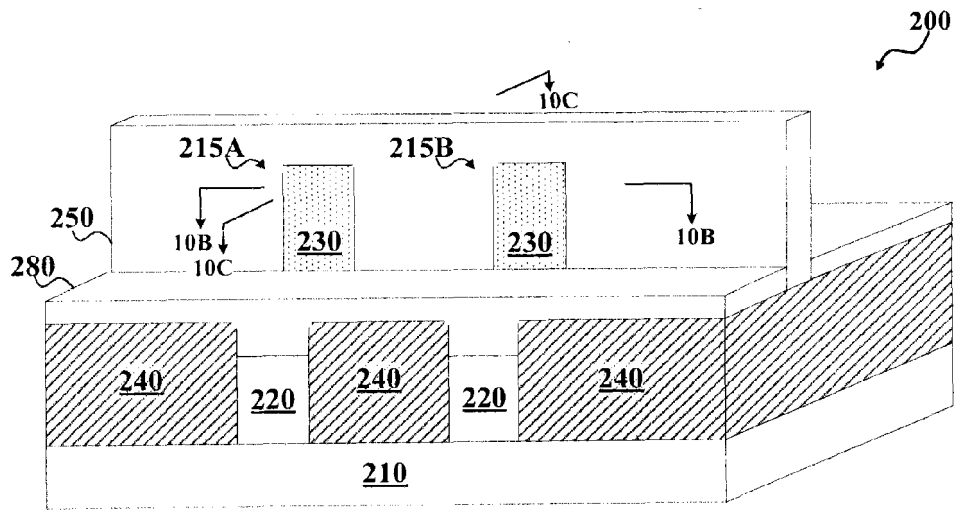


图 10A

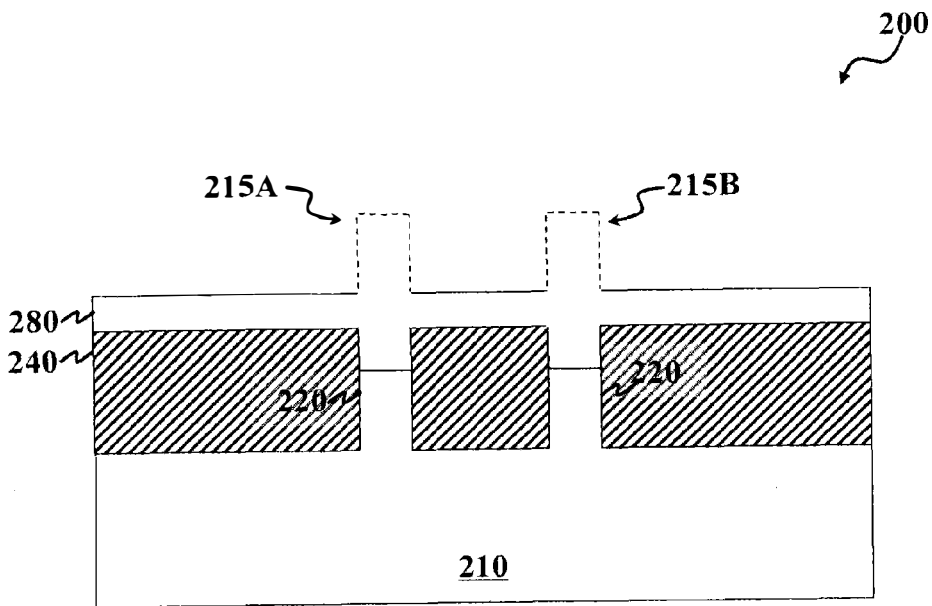


图 10B

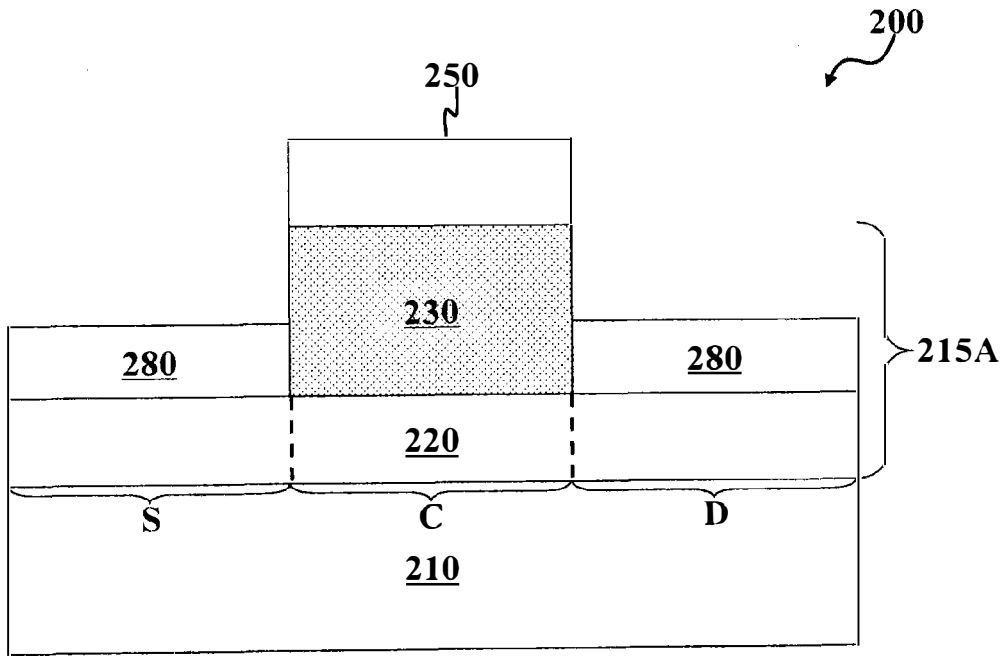


图 10C

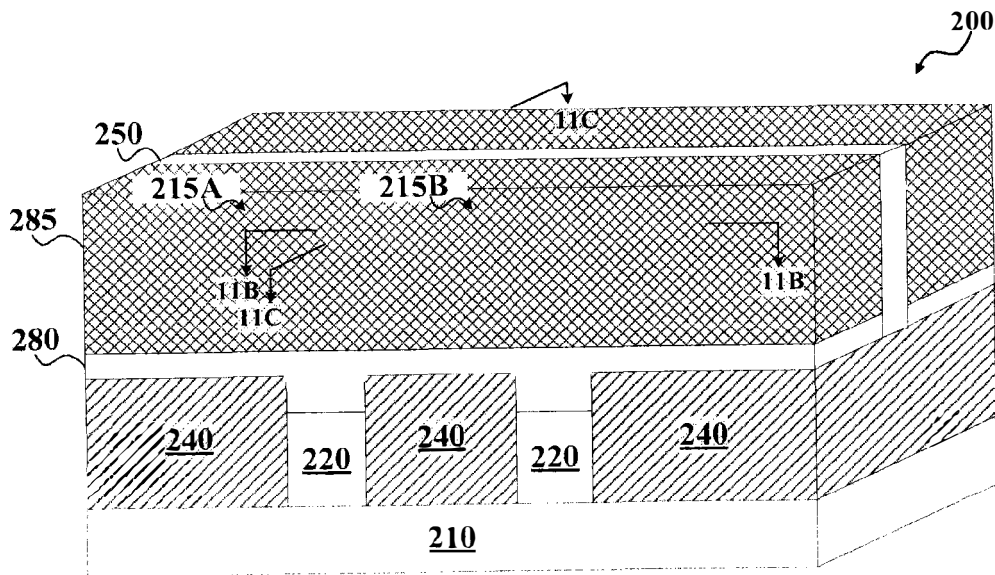


图 11A

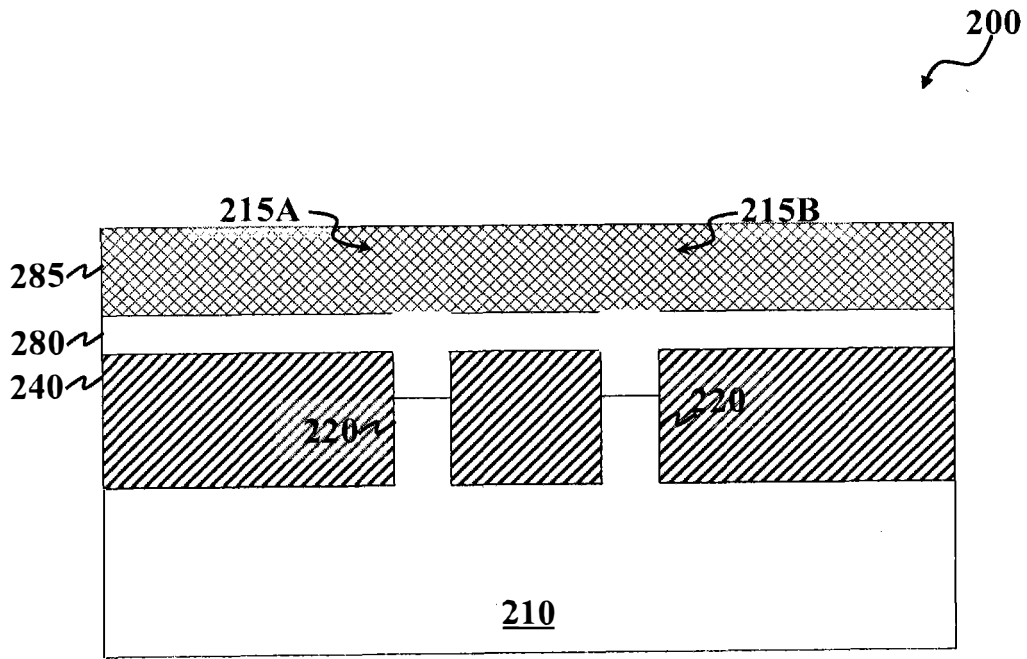


图 11B

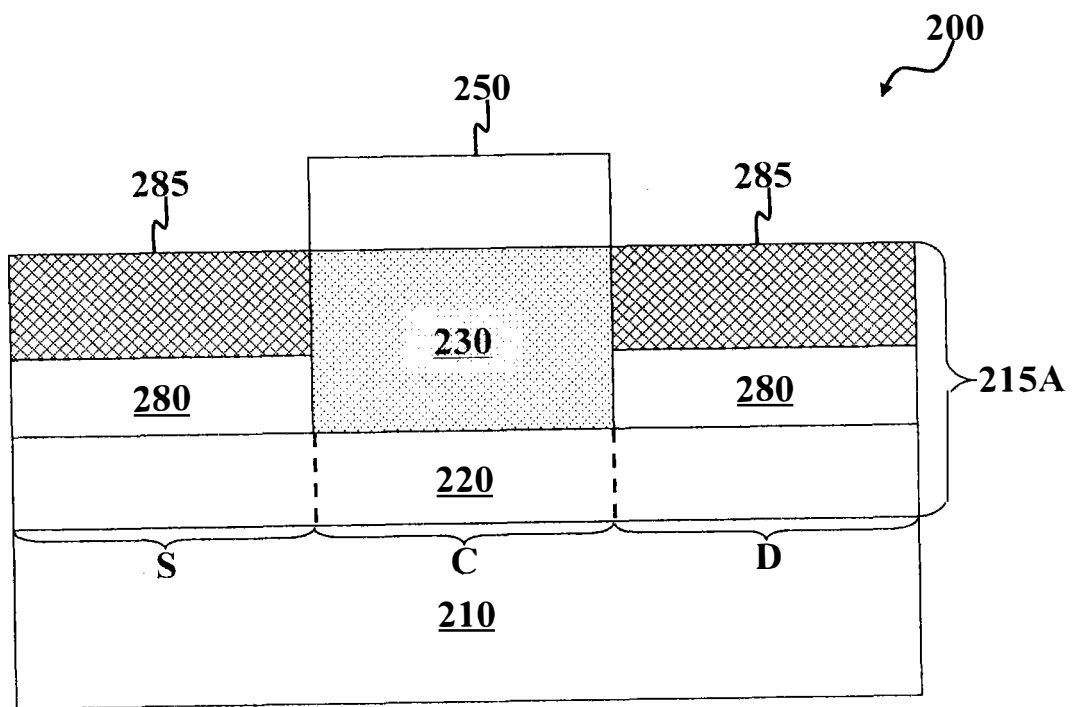


图 11C

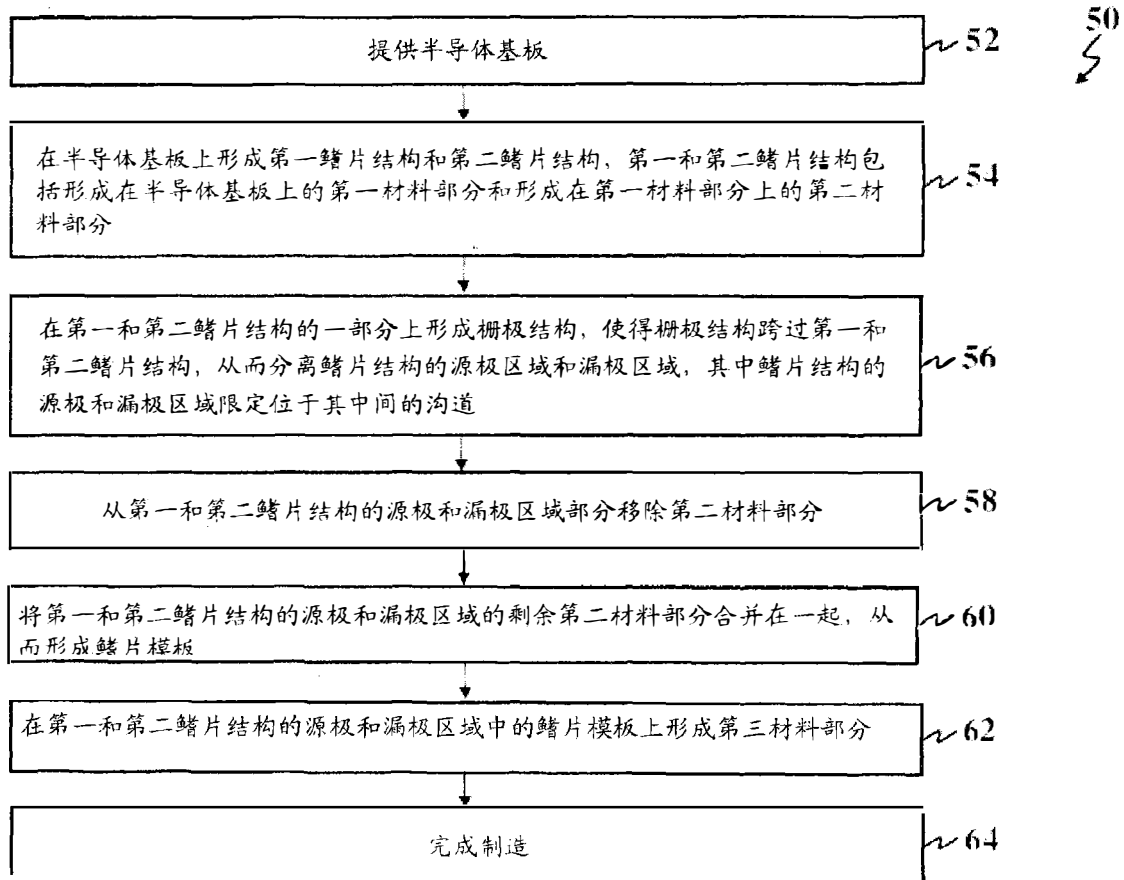


图 12

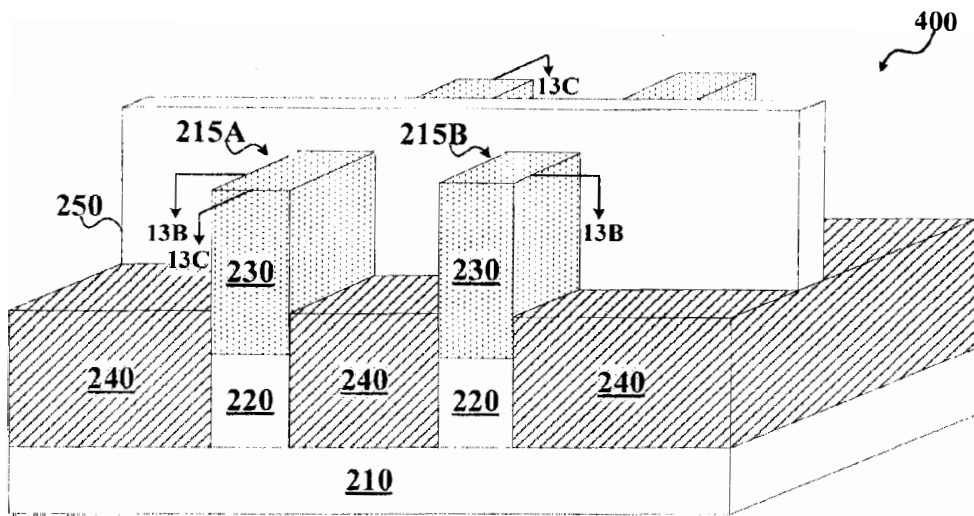


图 13A

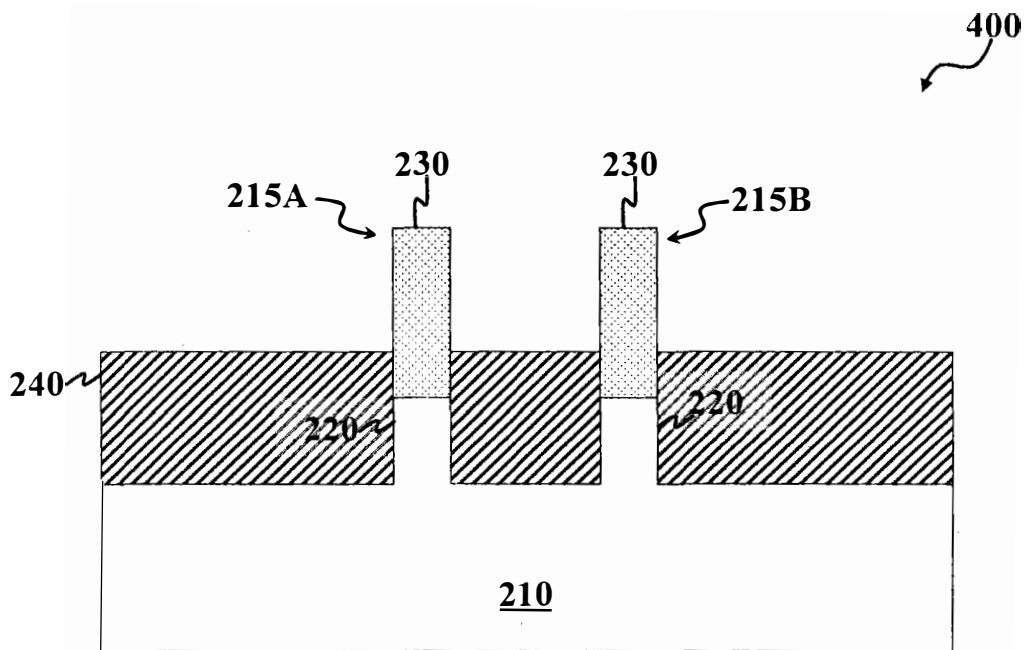


图 13B

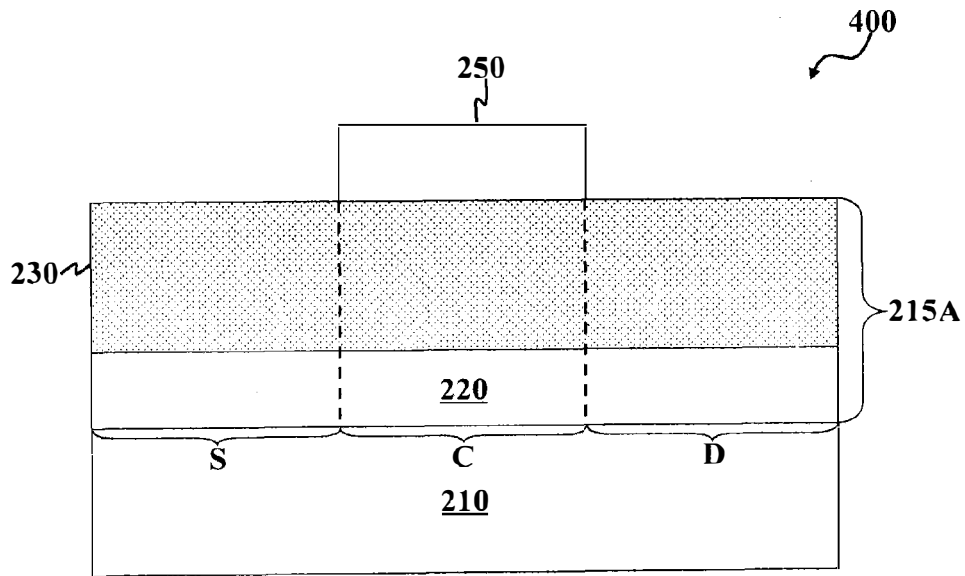


图 13C

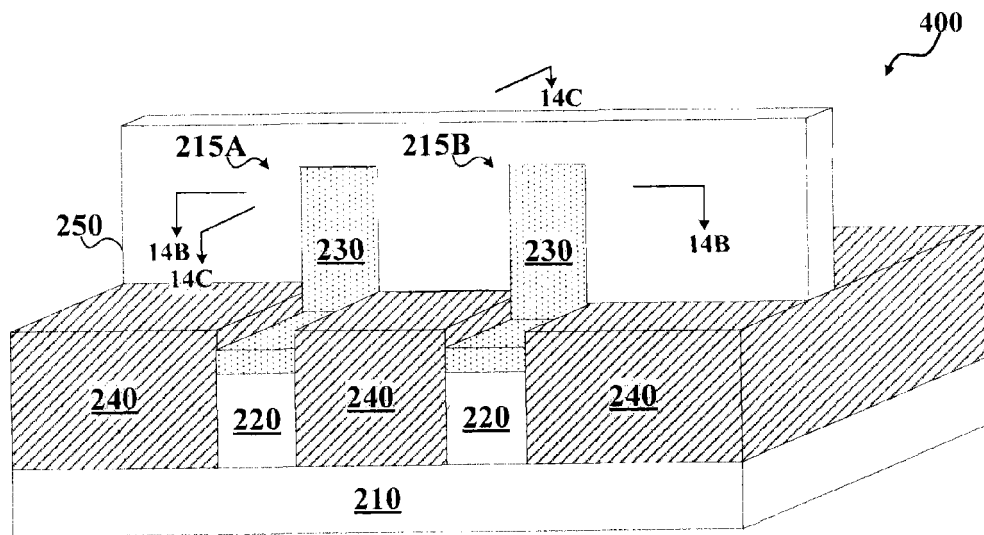


图 14A

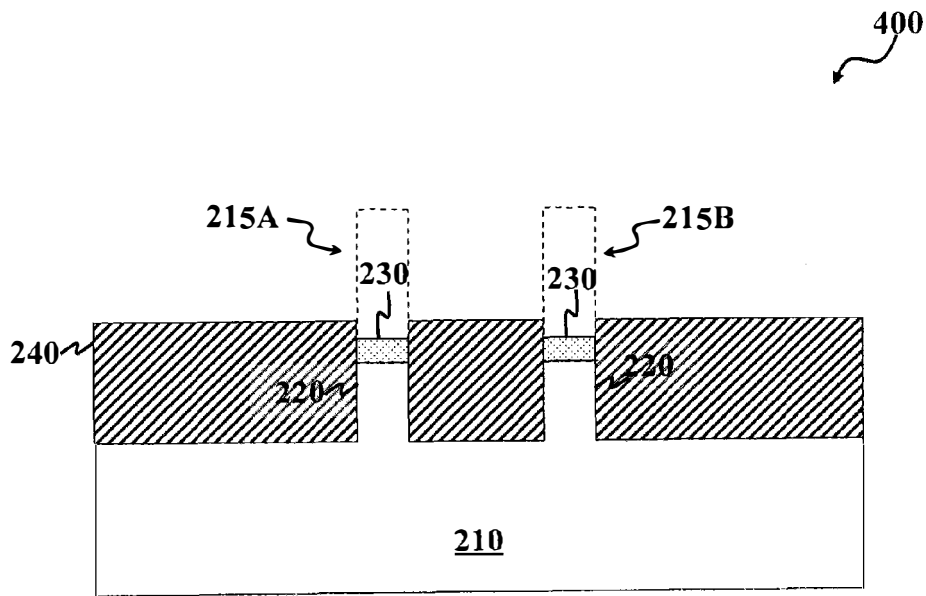


图 14B

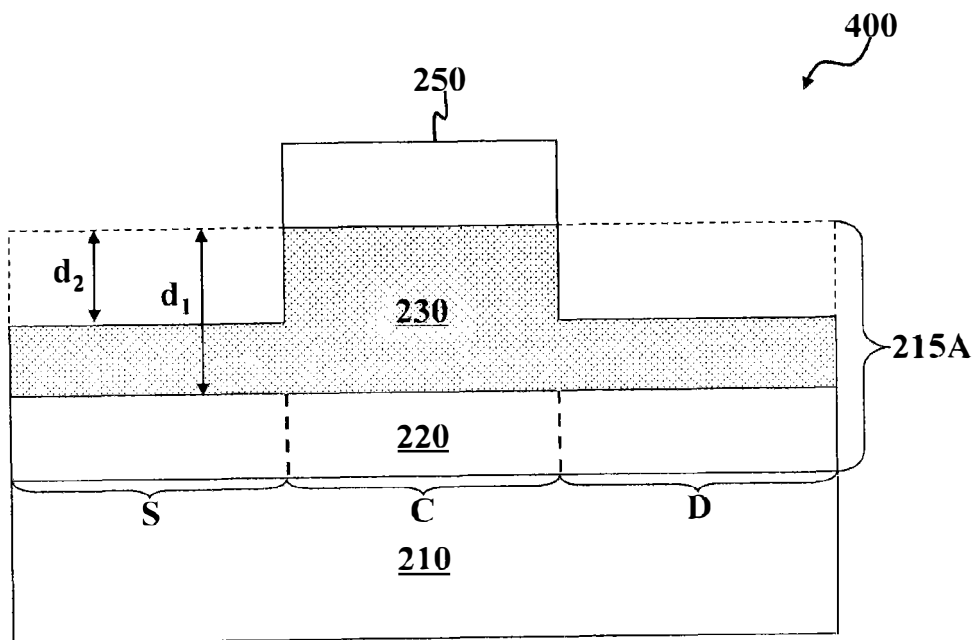


图 14C

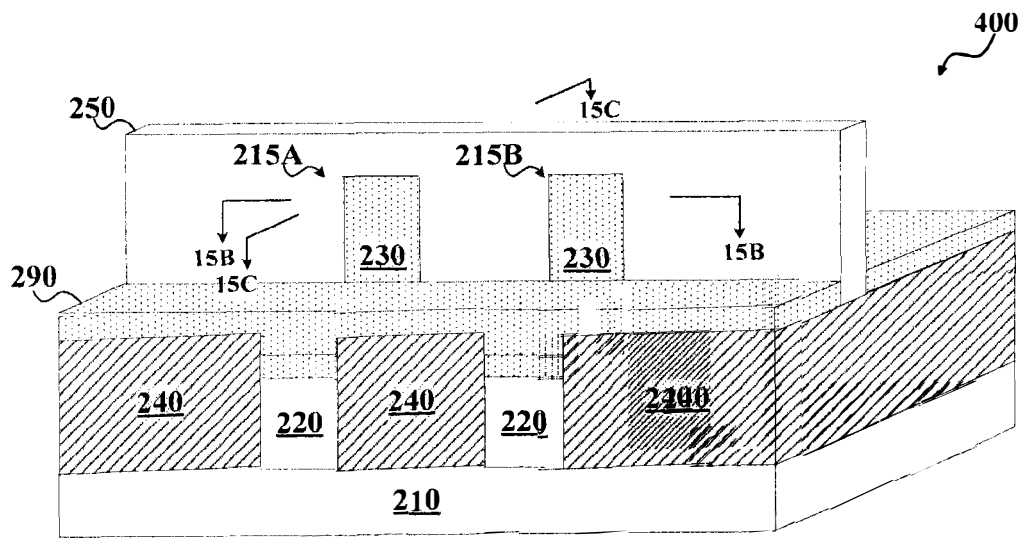


图 15A

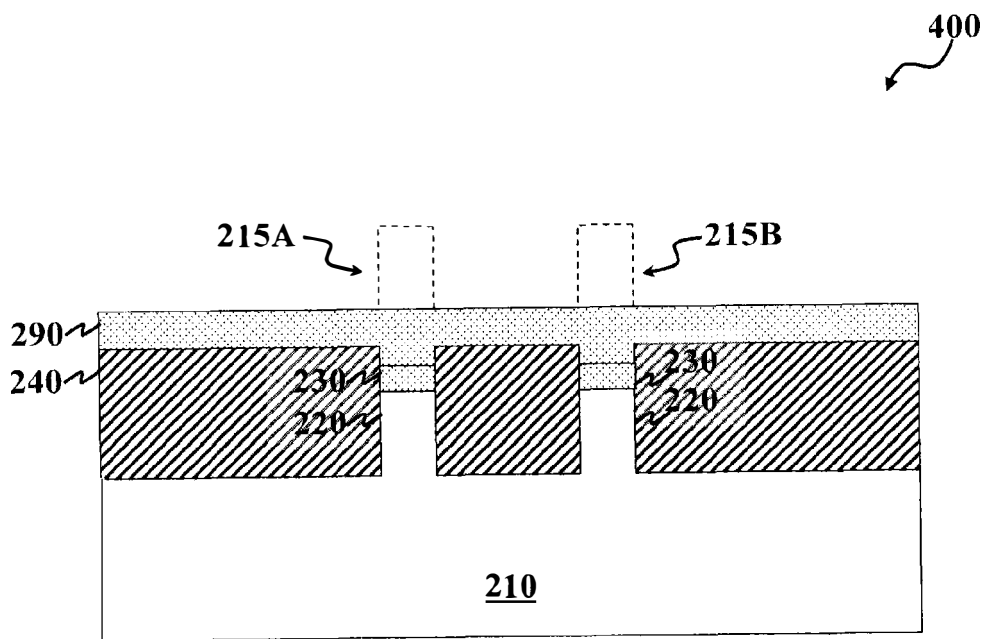


图 15B

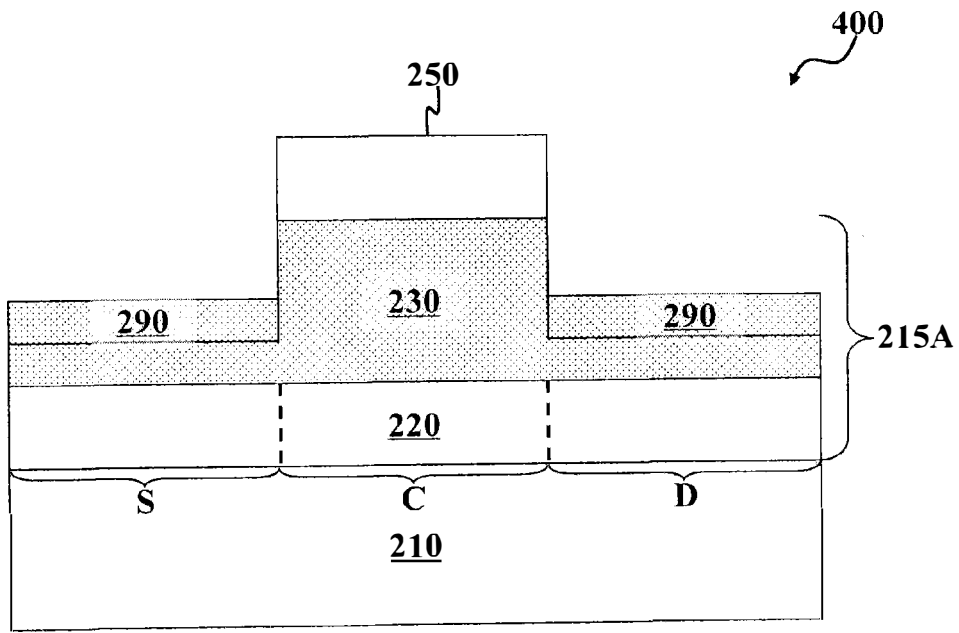


图 15C

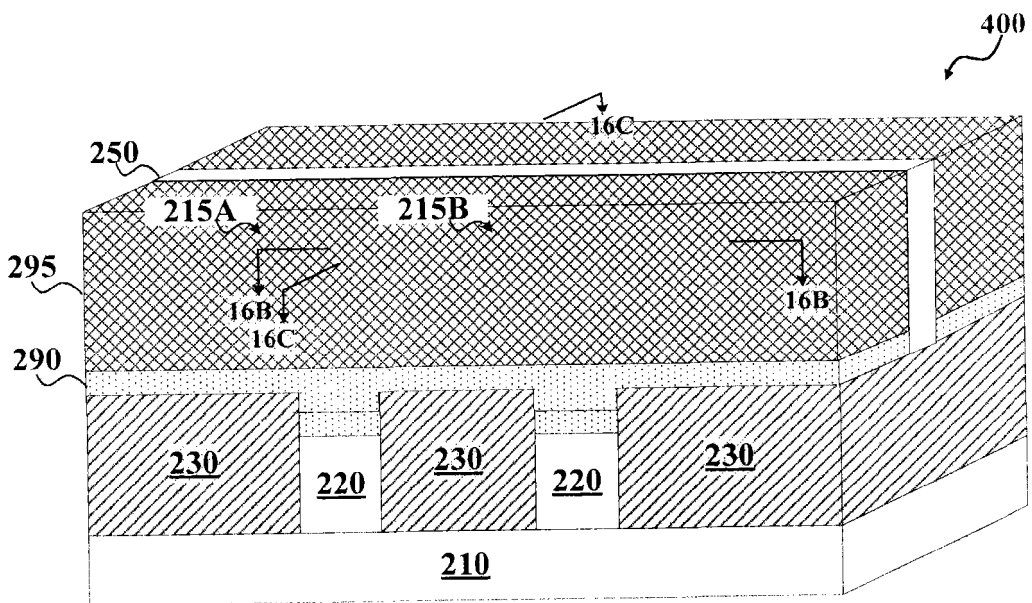


图 16A

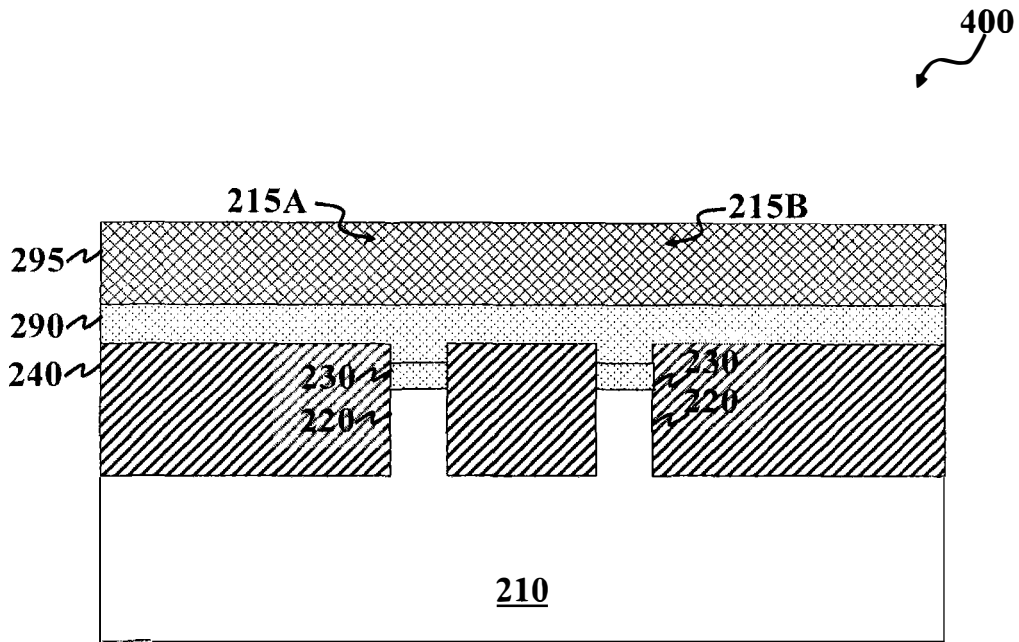


图 16B

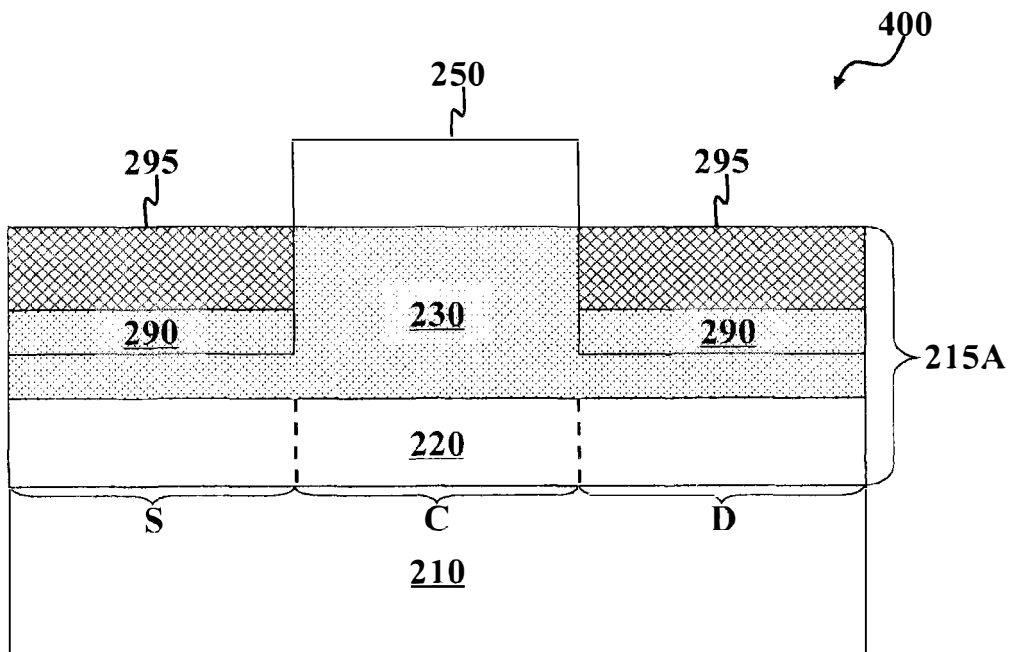


图 16C