



(12) 发明专利申请

(10) 申请公布号 CN 104241360 A

(43) 申请公布日 2014. 12. 24

(21) 申请号 201310252818. 8

(22) 申请日 2013. 06. 24

(71) 申请人 联华电子股份有限公司
地址 中国台湾新竹科学工业园区

(72) 发明人 洪裕祥 傅思逸 张仲甫 陈正国
林建廷

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 陈小雯

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

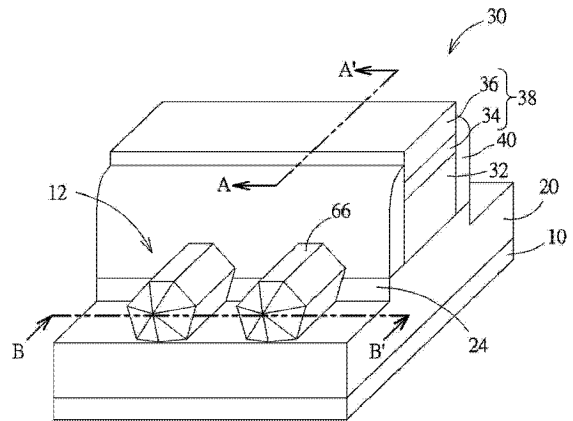
权利要求书2页 说明书7页 附图7页

(54) 发明名称

半导体装置及其制作方法

(57) 摘要

本发明公开一种半导体装置及其制作方法。半导体装置包括鳍状突起结构、绝缘结构、栅极结构、以及外延结构。鳍状突起结构延伸出基板的表面且具有一顶面以及二侧面。绝缘结构环绕鳍状突起结构。栅极结构包覆部分鳍状突起结构的顶面以及二侧面, 以及覆盖部分绝缘结构。其中位于栅极结构下方的绝缘结构具有一第一顶面, 位于栅极结构两侧的绝缘结构具有一第二顶面, 且第一顶面与高于第二顶面。外延结构设置于栅极结构的一侧且直接接触鳍状突起结构。



1. 一种半导体装置,包括:
 - 鳍状突起结构,延伸出于一基板的一表面,其中该鳍状突起结构具有一顶面以及二侧面;
 - 绝缘结构,环绕该鳍状突起结构;
 - 栅极结构,包覆部分该鳍状突起结构的该顶面以及这些侧面,以及覆盖部分该绝缘结构,其中位于该栅极结构下方的该绝缘结构具有一第一顶面,位于该栅极结构两侧的该绝缘结构具有一第二顶面,且该第一顶面与高于该第二顶面;以及
 - 外延结构,设置于该栅极结构的一侧,且直接接触该鳍状突起结构。
2. 如权利要求 1 所述的半导体装置,其中该第一顶面与该第二顶面间的差值介于 100 埃至 250 埃之间。
3. 如权利要求 1 所述的半导体装置,其中该栅极结构为一金属栅极结构。
4. 如权利要求 1 所述的半导体装置,其中位于该栅极结构下方的该绝缘结构具有一侧壁,且该外延结构直接接触该侧壁。
5. 如权利要求 1 所述的半导体装置,另包括一凹槽,形成于该鳍状突起结构的一端,其中该外延结构会填满该凹槽。
6. 如权利要求 5 所述的半导体装置,其中该外延结构的底面浅于该绝缘结构的底面。
7. 如权利要求 6 所述的半导体装置,其中该外延结构的底面与该绝缘结构的底面间的差值介于 100 埃至 250 埃之间。
8. 如权利要求 1 所述的半导体装置,其中该外延结构包括硅锗、硅磷或硅磷碳。
9. 如权利要求 1 所述的半导体装置,另包括一间隙壁,设置于该栅极结构的一侧壁上。
10. 如权利要求 1 所述的半导体装置,另包括:
 - 另一外延结构,设置于该栅极结构的另一侧,且直接接触该鳍状突起结构;
 - 通道区域,邻近于该鳍状突起结构的该顶面以及这些侧面,且位于该外延结构以及该另一外延结构间。
11. 一种半导体装置的制作方法,包括:
 - 形成一鳍状突起结构,延伸出于一基板的一表面,其中该鳍状突起结构具有一顶面以及二侧面;
 - 形成一绝缘结构,环绕该鳍状突起结构;
 - 形成一栅极结构,包覆部分该突起结构的该顶面以及这些侧面,以及覆盖部分该绝缘结构;
 - 蚀刻暴露出于该栅极结构的该绝缘结构,使得该绝缘结构的顶面至一第一深度;
 - 于该栅极结构一侧的该鳍状突起结构内形成一凹槽;以及
 - 形成一外延结构,以填满该凹槽,其中该外延结构的底面具有一第二深度,且该第二深度深于该第一深度。
12. 如权利要求 11 所述的半导体装置的制作方法,该绝缘结构为一浅沟槽绝缘结构(shallow trench isolation, STI)。
13. 如权利要求 11 所述的半导体装置的制作方法,其中蚀刻该绝缘结构的步骤包括湿蚀刻或干蚀刻。
14. 如权利要求 11 所述的半导体装置的制作方法,其中该栅极结构为一虚置栅极结构

(dummy gate structure)。

15. 如权利要求 11 所述的半导体装置的制作方法,其中形成该凹槽的步骤包括湿蚀刻或干蚀刻。

16. 如权利要求 11 所述的半导体装置的制作方法,该外延结构包括硅锗、硅磷或硅磷碳。

17. 如权利要求 11 所述的半导体装置的制作方法,在蚀刻该绝缘结构前,另包括形成一间隙壁,设置于该栅极结构的侧壁上。

18. 如权利要求 17 所述的半导体装置的制作方法,其中形成该间隙壁的步骤包括:全面沉积一材料层,以顺向性地覆盖该栅极结构以及该鳍状突起结构;以及蚀刻该材料层,直至暴露出该绝缘结构。

19. 如权利要求 11 所述的半导体装置的制作方法,另包含:

沉积一层间介电层,以围绕该栅极结构;

移除该栅极结构,以留下一沟槽;

形成一栅极介电层,以覆顺向性地覆盖该沟槽的侧壁及底部;以及

形成一导电层,以填满该沟槽。

半导体装置及其制作方法

技术领域

[0001] 本发明涉及一种半导体装置,特别是涉及一种具有外延结构的半导体装置及其制作方法。

背景技术

[0002] 随着半导体产业的发展,半导体元件的切换速度 (switching speed) 及其操作电压的表现均具有显著的进展。因此,业界对于金属氧化物半导体场效应晶体管元件 (Metal-Oxide-Semiconductor Field Effect Transistor, MOS FET)、双载流子晶体管及其他晶体管元件的效能要求也日益严苛。对于目前的 MOS 晶体管而言,提升载流子迁移率以增加 MOS 晶体管的速度已成为目前半导体技术领域中的主要课题。

[0003] 为了达到上述目的,目前业界已发展出所谓的「应变硅 (strained-silicon) 技术」,其原理主要是使栅极通道部分的硅晶格产生应变,使载流子在通过此应变的栅极通道时的迁移率增加,进而达到使 MOS 晶体管运作更快的目的。在目前已知的技术中,已有使用应变硅 (strained silicon) 作为基底的 MOS 晶体管,其利用硅锗 (SiGe) 或硅碳 (SiC) 的晶格常数与单晶硅 (single crystal Si) 不同的特性,使硅锗外延层或硅碳外延层产生结构上应变而形成应变硅。由于硅锗外延层或硅碳外延层的晶格常数 (lattice constant) 比硅大或小,这使得硅的带结构 (band structure) 发生改变,而造成载流子移动性增加,因此可增加 MOS 晶体管的速度。

[0004] 然而,随着半导体装置尺度不断减缩,外延层的深宽比也不断增加,致使外延层的内部往往会形成不必要的缺陷,例如空穴缺陷 (void defects),进而影响其应力的数值。因此,如何防止外延层内部产生不必要的缺陷即成为一重要课题。

发明内容

[0005] 有鉴于此,本发明的一目的在于提供一种具有外延层的半导体装置,以提升施加至通道区域的应力数值。

[0006] 根据本发明的一较佳实施例,提供一种半导体装置。半导体装置包括鳍状突起结构、绝缘结构、栅极结构、以及外延结构。鳍状突起结构延伸出基板的表面且具有一顶面以及二侧面。绝缘结构环绕鳍状突起结构。栅极结构包覆部分鳍状突起结构的顶面以及二侧面,以及覆盖部分绝缘结构。其中位于栅极结构下方的绝缘结构具有一第一顶面,位于栅极结构两侧的绝缘结构具有一第二顶面,且第一顶面与高于第二顶面。外延结构设置于栅极结构的一侧且直接接触鳍状突起结构。

[0007] 根据本发明另一较佳实施例,提供一种半导体装置的制作方法,至少包括下列步骤。首先,形成一鳍状突起结构,延伸出于一基板的表面,其中鳍状突起结构具有一顶面以及二侧面。接着,形成一绝缘结构,以环绕鳍状突起结构。再形成栅极结构,包覆部分突起结构的顶面以及二侧面,以及覆盖部分绝缘结构。蚀刻暴露出于栅极结构的绝缘结构,使得绝缘结构的顶面至一第一深度。继以于栅极结构一侧的鳍状突起结构内形成一凹槽。最后

形成一外延结构,以填满凹槽,其中外延结构的底面具有一第二深度,且第二深度深于第一深度。

[0008] 本发明的特点在于提供一种具有外延结构(或称外延层)的半导体装置及其制作方法,由于在形成凹槽之前及/或之后会选择性地蚀刻栅极结构两侧的绝缘结构,降低了凹槽两侧绝缘结构的高度,致使外延结构在外延成长过程中会较容易填入凹槽内,且不会有提早封口而形成空穴缺陷的情形。

附图说明

[0009] 图 1 至图 11 绘示了本发明的一较佳实施例的半导体装置的制作方法示意图,其中:

[0010] 图 1 绘示了半导体装置于初始阶段的透视图;

[0011] 图 2 绘示了形成栅极结构后半导体装置的透视图;

[0012] 图 3 绘示了形成间隙壁后半导体装置的透视图;

[0013] 图 4 是沿着图 3 剖线 A-A' 所绘示的剖面示意图;

[0014] 图 5 绘示了蚀刻绝缘结构后半导体装置的透视图;

[0015] 图 6 绘示了蚀刻鳍状突起结构后半导体装置的透视图;

[0016] 图 7 是沿着图 6 剖线 A-A' 所绘示的剖面示意图;

[0017] 图 8 是沿着图 6 剖线 B-B' 所绘示的剖面示意图;

[0018] 图 9 绘示了形成外延结构后半导体装置的透视图;

[0019] 图 10 是沿着图 9 剖线 A-A' 所绘示的剖面示意图;以及

[0020] 图 11 是沿着图 9 剖线 B-B' 所绘示的剖面示意图。

[0021] 符号说明

[0022]

10	基底	10a	表面
12	鳍状突起结构	14	顶面
16	侧面	20	绝缘结构
22	顶面	22a	第一顶面
22b	第二顶面	24	侧壁
26	底面	30	栅极结构
32	牺牲电极层	34	底层
36	顶层	38	盖层
40	间隙壁	42	第一蚀刻制作工艺
46	第二蚀刻制作工艺	60	凹槽
66	外延结构	68	底面
70	侧壁	D1	第一深度
D2	第二深度	H1	第一高度
H2	高度差	X	第一方向
Y	第二方向	Z	第三方向

具体实施方式

[0023] 于下文中,加以陈述本发明的半导体装置及其制作方法的具体实施方式,以使本技术领域中具有通常技术者可据以实施本发明。这些具体实施方式可参考相对应的附图,使这些附图构成实施方式的一部分。虽然本发明的实施例公开如下,然而其并非用以限定本发明,任何熟习此技艺者,在不脱离本发明的精神和范畴内,当可作些许的更动与润饰。

[0024] 图 1 至图 11 绘示了本发明的一较佳实施例的半导体装置的制作方法示意图。请参照图 1,图 1 绘示了半导体装置于初始阶段的透视图。如图 1 所示,首先提供一基底 10,其可例如是一硅基底、一含硅基底、一三五族半导体覆硅基底(例如 GaAs-on-silicon)或一石墨烯覆硅基底(graphene-on-silicon)等半导体基底。较佳来说,基底 10 不包括硅覆绝缘(silicon-on-insulator, SOI)基底。仍如图 1 所示,基底 10 上设置有多个鳍状突起结构 12。详细而言,制备上述鳍状突起结构 12 的方法可包括下列步骤,但不以此为限。首先,提供一块状底材(未绘示),在其上形成硬掩模层(未绘示),并将其图案化以定义出其下的块状底材中欲对应形成的鳍状突起结构 12 的位置。接着,进行一蚀刻制作工艺,于块状底材中形成鳍状突起结构 12。如此,便完成鳍状突起结构 12 的制作程序。在此情况下,鳍状突起结构 12 可视为延伸出自基底 10 的一表面 10a,且彼此间具有相同的成份组成,例如单晶硅。另一方面,当基底并非选自上述块状底材,而是选自于三五族半导体覆硅基底时,则鳍状突起结构的主要组成会相异于下方底材。

[0025] 在本实施例中,形成鳍状突起结构 12 后可选择性地移除硬掩模层(未绘示),致使鳍状突起结构 12 与后续形成的介电层之间可具有三直接接触面(包含二接触侧面及

一接触顶面)。因此,具有此三直接接处面的场效晶体管也被称作是三栅极场效晶体管(tri-gate MOSFET)。相较于平面场效晶体管,三栅极场效晶体管可通过将上述三直接接触面作为载流子流通的通道,而在同样的栅极长度下具有较宽的载流子通道宽度,致使在相同的驱动电压下可获得加倍的漏极驱动电流。除此之外,本实施例也可保留硬掩模层(未绘示),而于后续制作工艺中形成另一具有鳍状结构的多栅极场效晶体管(multi-gate MOSFET)一鳍式场效晶体管(fin field effect transistor, Fin FET)。鳍式场效晶体管中,由于保留了硬掩模层(未绘示),鳍状突起结构 12 与后续将形成的介电层之间仅有两接触侧面。

[0026] 请参照图 2,图 2 绘示了形成栅极结构后半导体装置的透视图。绝缘结构 20 会被形成于各鳍状突起结构 12 之间的基底 10 上,以电性绝缘后续形成的各晶体管,而形成如图 2 所示的绝缘结构 20。此时,各鳍状突起结构 12 的下部会被埋设于绝缘结构 20 中,致使位于绝缘结构 20 外的各鳍状突起结构 12 会具有一第一高度 H1。绝缘结构 20 例如为一浅沟槽绝缘(shallow trench isolation, STI)结构,其例如以一浅沟槽绝缘制作工艺形成,其详细形成方法为本领域技术人员所熟知,故不再赘述,但本发明不以此为限。

[0027] 接续,仍如图 2 所示,由下而上依序形成一栅极介电层(未绘示)、一牺牲电极层(未绘示)以及一盖层(未绘示)覆盖基底 10 以及鳍状突起结构 12。随之,将盖层(未绘示)、牺牲电极层(未绘示)以及栅极介电层(未绘示)图案化,以形成一栅极介电层(未绘示)、一牺牲电极层 32 以及一盖层 38 于基底 10 以及鳍状突起结构 12 上。栅极介电层、牺牲电极层 32 以及盖层 38 可构成一栅极结构 30,以横跨鳍状突起结构 12 并覆盖各鳍状突起结构 12 间的绝缘结构 20。根据本实施例,栅极结构 30 会横跨二鳍状突起结构 12 而形成如图 2 所示的结构。具体来说,栅极结构 30 会覆盖各鳍状突起结构 12 的部分顶面 14 以及两侧面 16,并覆盖住部分绝缘结构 20 的顶面 22。此外,栅极结构 30 较佳是沿着一第一方向 X 延伸,而鳍状突起结构 12 较佳是沿着一第二方向 Y 延伸并沿着一第三方向 Z 突出基板 10。第一方向 X、第二方向 Y 与第三方向 Z 互相正交,但不限于此。

[0028] 为了便于清楚公开本发明,在图 2-图 11 中仅绘示单一栅极结构 30,然而其个数也可根据不同产品需求而有所增加。举例来说,基板上可设有一个以上且互相平行的栅极结构,使得同一条鳍状突起结构可被一个以上的栅极结构所覆盖。此外,同一条栅极结构 30 较佳是用以作为同一导电型晶体管的栅极,例如作为 PMOS 晶体管的栅极或 NMOS 晶体管的栅极。

[0029] 本实施例是以一后置高介电常数后栅极(Gate-Last for High-K Last)制作工艺为例,故栅极结构 30 也可被视为是一虚置栅极结构(dummy gate structure)。换言之,栅极介电层将于后续制作工艺中被替换成高介电常数栅极介电层,而牺牲电极层 32 将会被替换成导电金属层。在此实施态样下,栅极介电层可仅为一般方便于后续制作工艺中移除的牺牲材料,例如为一氧化层。牺牲电极层 32 的组成可以是多晶半导体材料,例如多晶硅,但不以此为限。盖层可包括由氮化层或氧化层等所组成的单层或多层结构,作为一图案化的硬掩模。在本实施例中,盖层 38 为一双层结构,其由下而上可包含一底层 34 以及一顶层 36,且底层 34 例如为一氮化层,而顶层 36 可例如为一氧化层,不以此为限。

[0030] 上述是介绍后置高介电常数后栅极制作工艺的实施态样,然而本实施例不限于此,其也可采用一前置高介电常数后栅极(Gate-Last for High-K First)制作工

艺。在此态样下,栅极介电层可为一高介电常数栅极介电层,其可选自氧化铪 (hafnium oxide, HfO_2)、硅酸铪氧化合物 (hafnium silicate, HfSiO_4)、硅酸铪氮氧化合物 (hafnium silicon oxynitride, HfSiON)、氧化铝 (aluminum oxide, Al_2O_3)、氧化镧 (lanthanum oxide, La_2O_3)、氧化钽 (tantalum oxide, Ta_2O_5)、氧化钇 (yttrium oxide, Y_2O_3)、氧化锆 (zirconium oxide, ZrO_2)、钛酸锶 (strontium titanate, SrTiO_3)、硅酸锆氧化合物 (zirconium silicate, ZrSiO_4)、锆酸铪 (hafnium zirconate, HfZrO_4)、锶铋钽氧化物 (strontium bismuth tantalate, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SBT)、锆钛酸铅 (lead zirconate titanate, $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, PZT) 与钛酸钡锶 (barium strontium titanate, $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, BST) 所组成的群组,但本发明不以此为限。另外,可形成一阻障层(未绘示)于栅极介电层上,用以移除牺牲电极层时当作蚀刻停止层来保护栅极介电层,并可防止后续位于其上的金属成分向下扩散污染栅极介电层。上述阻障层(未绘示)可例如为氮化钽 (tantalum nitride, TaN)、氮化钛 (titanium nitride, TiN) 等的单层结构或复合层结构。

[0031] 请参照图 3 及图 4,其中图 4 是沿着图 3 剖线 A-A' 所绘示的剖面示意图。在形成上述的栅极结构后,继以如图 3 和图 4 所示,可形成一间隙壁 40 于栅极结构 30 的一侧壁上,以定义后续所形成的外延结构的位置。本实施例的间隙壁 40 较佳是形成于栅极结构 30 的各侧,且其底部会覆盖绝缘结构 20 的部分顶面 22。详细而言,形成间隙壁 40 的方法可例如为:先顺向性地沉积一材料层(未绘示)于栅极结构 30 以及基底 10 上,再进行一蚀刻制作工艺以形成间隙壁 40。上述间隙壁 40 的结构可包括单层结构或多层结构,例如由氮化硅、氮氧化硅等所组成的单层结构,或者由氧化硅 / 氮化硅等所组成的双层结构,但不以此为限。本实施例所指的间隙壁 40 为用以定义及形成外延结构的间隙壁,因此在形成间隙壁 40 之前或之后,可能会再另外形成其他较薄的间隙壁以形成轻掺杂源 / 漏极区(未绘示)或另外形成其他较厚的间隙壁以形成源 / 漏极区(未绘示)等。为能简化及清楚揭示本发明,图 3- 图 11 仅绘示用以形成外延结构的间隙壁 40。

[0032] 请参照图 5,图 5 绘示了蚀刻绝缘结构后半导体装置的透视图。在形成上述间隙壁 40 后,可进一步蚀刻未被栅极结构 30 以及间隙壁 40 覆盖的绝缘结构 20,使部分绝缘结构 20 的顶面 22 下降一预定深度(或称一第一深度 D1),而形成如图 5 所示的结构。详细来说,可以利用一第一蚀刻制作工艺 42,例如湿式蚀刻或干式蚀刻制作工艺,选择性地移除绝缘结构 20,而不移除栅极结构 30 及鳍状突起结构 12。通过这样的方式,除了可暴露出位于栅极结构 30 及间隙壁 40 正下方绝缘结构 20 的部分侧壁 24,也会被暴露出原本埋设于绝缘结构 20 内并与绝缘结构 20 直接接触的部分鳍状突起结构 12。此时,位于栅极结构 30 以及间隙壁 40 正下方的绝缘结构 20 便具有一较高的第一顶面 22a,而未被栅极结构 30 覆盖住的绝缘结构 20 则具有一较低的第二顶面 22b,且其间会具有一高度差 H2。举例来说,此高度差可介于 100 埃至 250 埃之间,较佳为 150 埃,但不限于此。

[0033] 请参照图 6 至图 8,图 6 绘示了蚀刻鳍状突起结构后半导体装置的透视图,图 7 是沿着图 6 剖线 A-A' 所绘示的剖面示意图,图 8 是沿着图 6 剖线 B-B' 所绘示的剖面示意图。如图 6 至图 8 所示,可以在栅极结构 30 以及间隙壁 40 的覆盖下进行一第二蚀刻制作工艺 46,以蚀刻鳍状突起结构 12,并于栅极结构 30 至少一侧的鳍状突起结构 12 内形成一凹槽 60。进一步来说,本实施例栅极结构 30 两侧的鳍状突起结构 12 内各会形成一凹槽 60,且凹槽 60 的底面 68 底面 68 较佳不会深于绝缘结构 20 的底面 26。具体来说,如图 7

和图 8 所示,凹槽底面 68 与原始鳍状突起结构 12 的顶面 14 会具有一差值,此差值等于第一高度 H1 加上第二深度 D2;而位于栅极结构 30 两侧的绝缘结构 20 的顶面 22 相较于施行第二蚀刻制作工艺 46 前会减少一数值,此数值即等于第一深度 D1。进一步来说,第二深度 D2 会大于(或称深于)第一深度 D1。

[0034] 更进一步而言,上述蚀刻可包含至少一干蚀刻步骤或/以及至少一湿蚀刻步骤,例如先以一干蚀刻步骤蚀刻基底 10 至一预定深度,然后以一湿蚀刻步骤侧向蚀刻以形成所需的凹槽 60 的轮廓,但不以此为限。在本实施例中,凹槽 60 的一剖面具有一上凹的剖面结构,但不以此为限,凹槽 60 可视实际需要具有不同的剖面结构。此外,本实施例可选择性地进行一湿式清洗制作工艺(未绘示),清洗蚀刻后的凹槽 60 表面。湿式清洗制作工艺可例如为含稀释氢氟酸(dilute hydrofluoric acid, DHF)的制作工艺,但本发明不以此为限。

[0035] 在此需注意的是,上述蚀刻未被栅极结构 30 以及间隙壁 40 覆盖的绝缘结构 20 的制作工艺时点以及蚀刻鳍状突起结构 12 的制作工艺时点可以相互对调。具体而言,本实施例也可以先蚀刻暴露出于栅极结构 30 以及间隙壁 40 的鳍状突起结构 12,再蚀刻未被栅极结构 30 以及间隙壁 40 覆盖的绝缘结构 20。换言之,由于本发明一特征在于通过蚀刻绝缘结构 20 的方式,降低凹槽 60 底面 68 与栅极结构 30 两侧的绝缘结构 20 顶面 22 的差距,因此无论其蚀刻先后顺序为何,均可达到本明所需的目的。

[0036] 请参照图 9 至图 11,其中图 9 绘示了形成外延结构后半导体装置的透视图,图 10 是沿着图 9 剖线 A-A' 所绘示的剖面示意图,图 11 是沿着图 9 剖线 B-B' 所绘示的剖面示意图。如图 9 至图 11 所示,进行一外延成长制作工艺,例如一分子束外延制作工艺(molecular beam epitaxy, MBE)、一共流外延成长制作工艺(co-flow epitaxial growth process)、一循环选择性外延成长制作工艺(cyclic selective epitaxial growth process)或其他类似的外延制作工艺,于相应的凹槽 60 内形成一外延结构 66。具体来说,各外延结构 66 可以完整覆盖对应凹槽 60 的底面 68 以及侧壁 70。进一步来说,外延结构 66 的成份可搭配不同导电型的半导体装置而有所差异,致使其可以施加适当至应力至邻近于鳍状突起结构 12 顶面 14 以及两侧面 16 的通道区域。举例来说,对于一 P 型半导体装置而言,外延结构 66 较佳为具有或不具有掺质的硅锗层,以提供一压缩应力至通道区域。且外延结构 66 也可以具有一由内至外或/且由下至上具有多层浓度不同的包覆结构。举例来说,外延结构由下至上可包括外延硅、锗浓度相对低的至少一外延硅锗层、锗浓度相对高的至少一外延硅锗层以及一外延硅层等等。另一方面,对于一 N 型半导体装置而言,外延结构 66 较佳为硅磷成份(SiP)、硅碳成分(SiC)、磷掺杂硅碳成分等等,以提供一伸张应力至通道区域。

[0037] 进一步来说,无论外延结构 66 的成份为何,由于凹槽 60 底面 68 与栅极结构 30 两侧的绝缘结构 20 顶面 22b 的差距可以通过上述蚀刻制作工艺而降低,因此在外延过程中,外延结构 66 便不易受到绝缘结构 22b 的阻挡而提早封口并产生空穴缺陷。换言之,本发明一特征在于通过蚀刻栅极结构 30 两侧的绝缘结构 20,使得外延结构 66 可维持所需的高度(或称为深度)且不会产生空穴缺陷。因此,外延结构便可提供载流子通道所需的应力,进而有效提升载流子迁移率。

[0038] 在形成上述外延结构之后,可选择性地再进行后续的半导体制作工艺,例如高介电常数后置的金属栅极取代制作工艺,以将多晶硅构成的栅极结构 12 置换成金属栅极结构。其制作工艺可包括:(1)沉积一层间介电层,以围绕栅极结构;(2)移除栅极结构,以留

下一沟槽；(3) 形成一栅极介电层，以覆顺向性地覆盖沟槽的侧壁及底部；以及(4) 形成一导电层，以填满该沟槽。之后，进行接触插塞制作工艺，以形成电连接外延结构的接触插塞。由于上述制作工艺步骤为熟习本领域技艺者所知，故于此也不再赘述。

[0039] 根据上述，完成本发明的一较佳实施例的半导体装置及其制作方法。下文将进一步介绍上述实施例的一变化型实施例，且为简化说明，以下说明主要针对不同之处进行详述，而不再对相同之处作重复赘述。此外，各实施例中相同的元件以相同的标号进行标示，以利于各实施例间互相对照。

[0040] 首先请参照图 3 和图 5。根据本变化型实施例，在形成间隙壁之后 40，也可以进行一第一蚀刻制作工艺 42，以暴露出位于栅极结构 30 及间隙壁 40 正下方绝缘结构 20 的部分侧壁 24，并暴露出原本埋设于绝缘结构 20 内并与绝缘结构 20 直接接触的部分鳍状突起结构 12。之后，相异于上述的实施例，本变化型实施例不进行第二蚀刻制作工艺，因此鳍状突起结构 12 内不会形成有凹槽。最后，类似如图 9 所示，可进行一外延成长制作工艺，以形成一外延结构 66 于鳍状突起结构 12 的表面上。后续的制作工艺类似如前文所述的实施例，在此便不加赘述。由于本变化型实施例会先移除部分的绝缘结构 20，所以可使得外延结构 66 有效地施加应力于相对应的通道区域。

[0041] 在此需注意的是，为了简洁起见，上文各实施例主要以非平面场效晶体管作为本发明实施的标的。然而，本发明的精神也可以被应用于平面场效晶体管。具体来说，可利用栅极结构覆盖一平面主动区域以及部分绝缘结构，并先后蚀刻位于栅极结构两侧的主动区域和绝缘结构，最后再进行外延成长制作工艺。同样地，通过蚀刻栅极结构两侧绝缘结构的方式，使得后续外延结构可得到所需的高度（或称为深度）且不会产生空穴缺陷。因此，外延结构便可提供平面载流子通道所需的应力，进而有效提升载流子迁移率。

[0042] 综合上述，本发明提供一种半导体装置结构及其制作方法。通过蚀刻栅极结构两侧的绝缘结构的方式，且选择性地搭配形成凹槽，便可以降低凹槽底面与栅极结构两侧的绝缘结构顶面的差距。在后续外延过程中，外延结构便不易受到绝缘结构的阻挡而提早封口产生空穴缺陷，因此可提供载流子通道所需的应力，进而有效提升载流子迁移率。

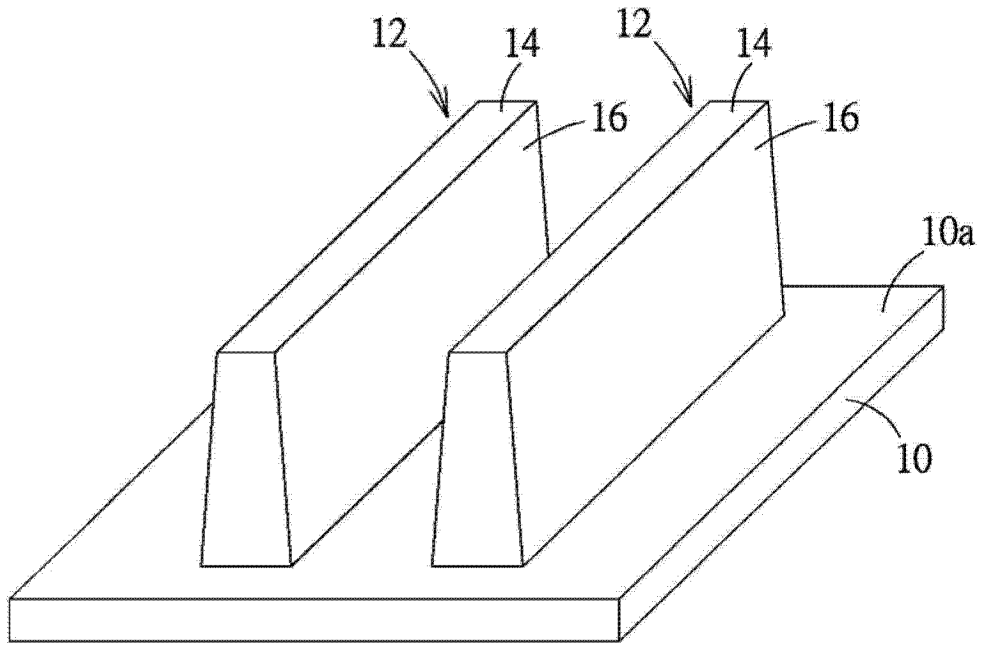


图 1

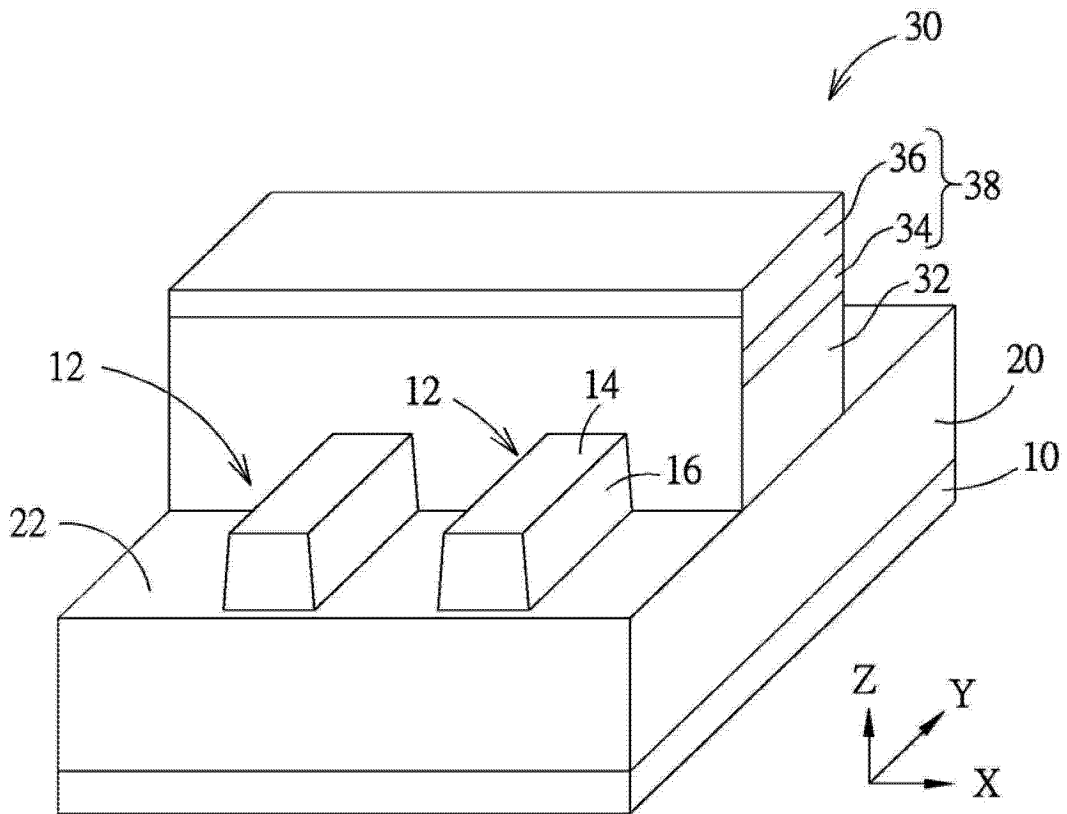


图 2

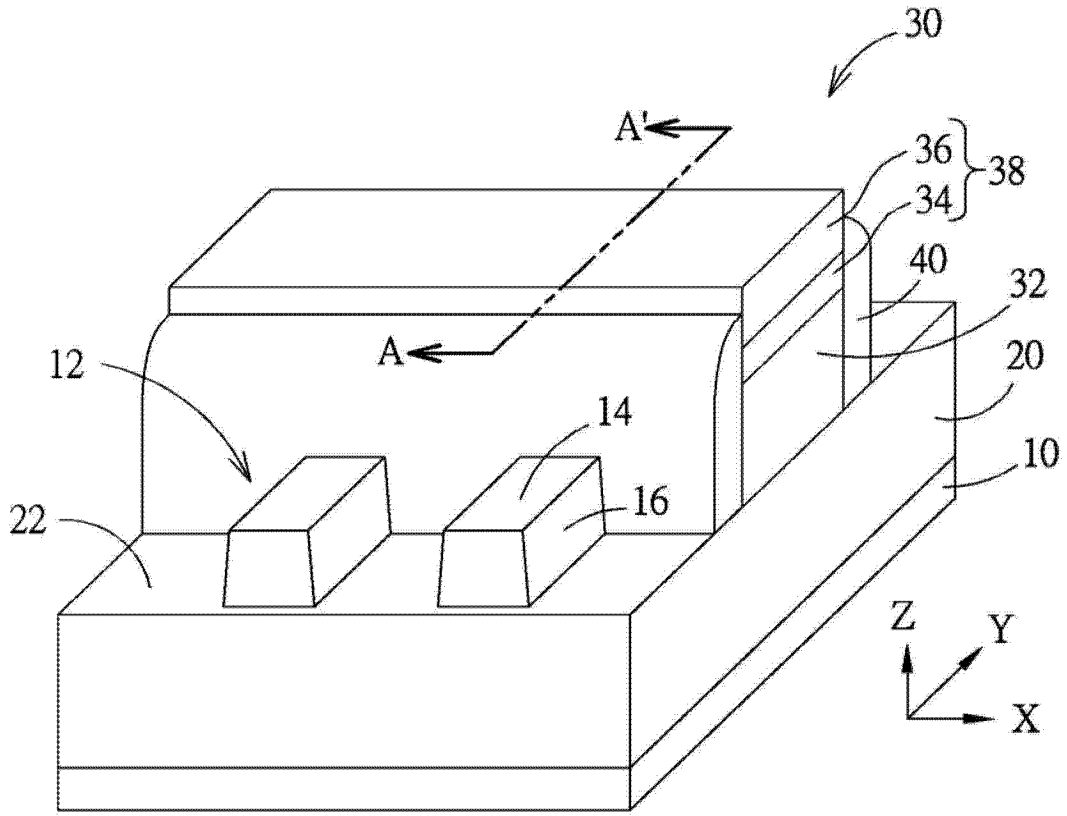


图 3

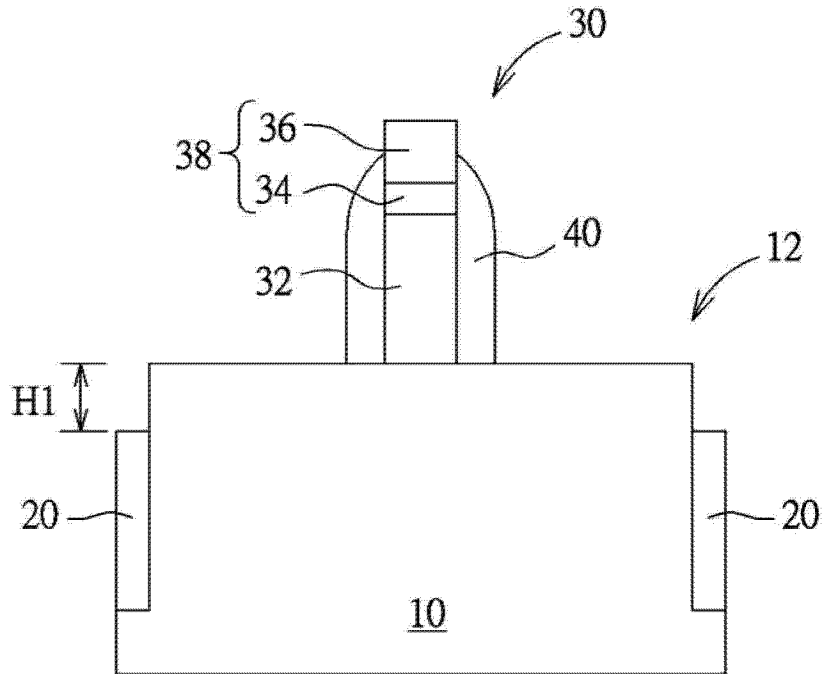


图 4

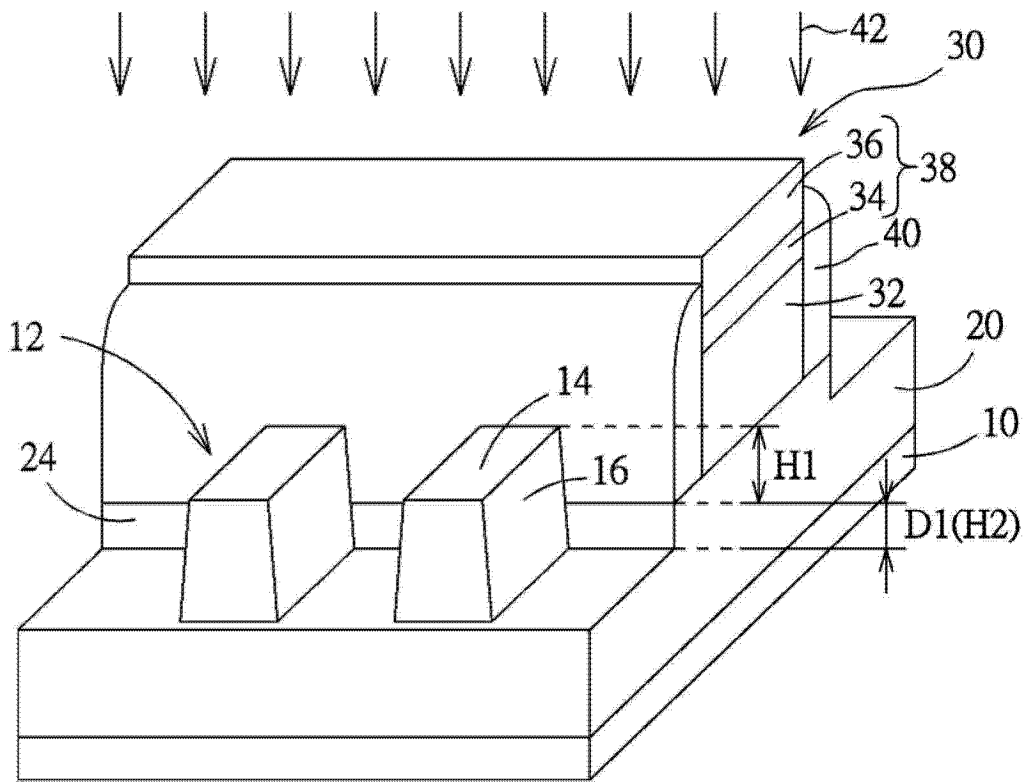


图 5

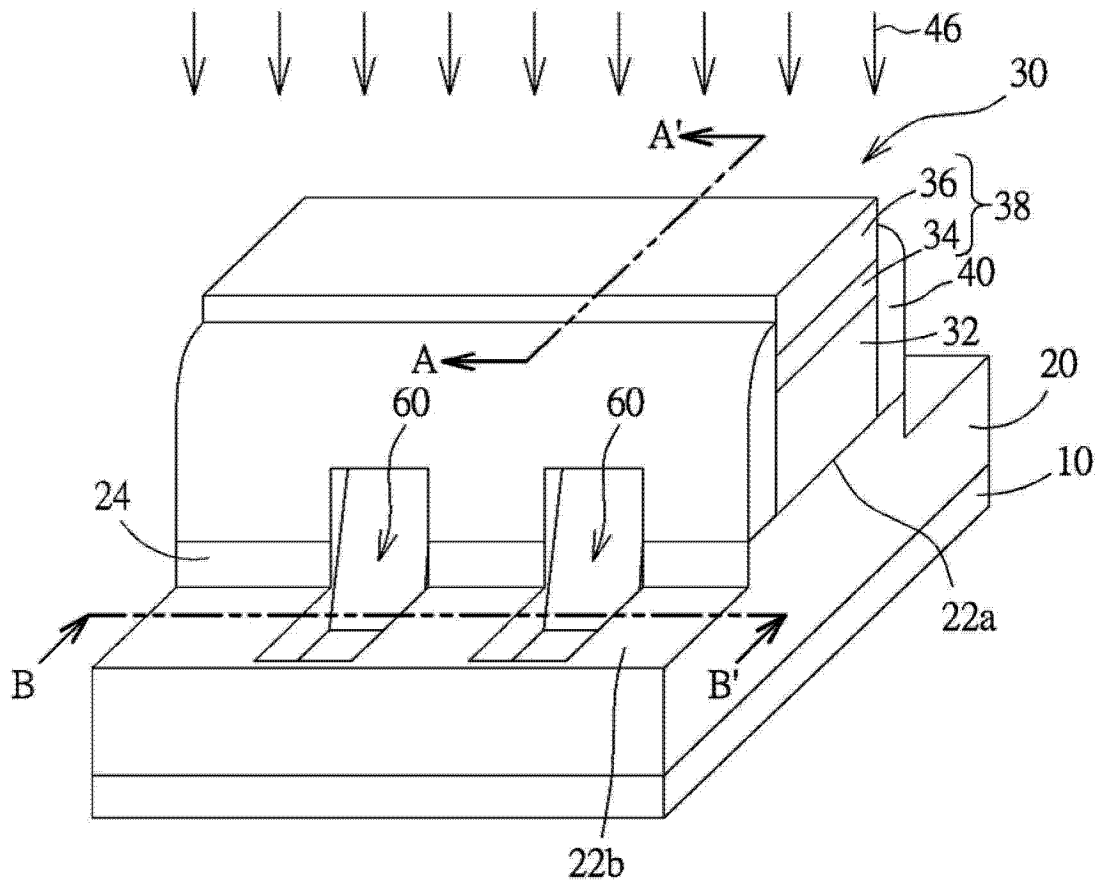


图 6

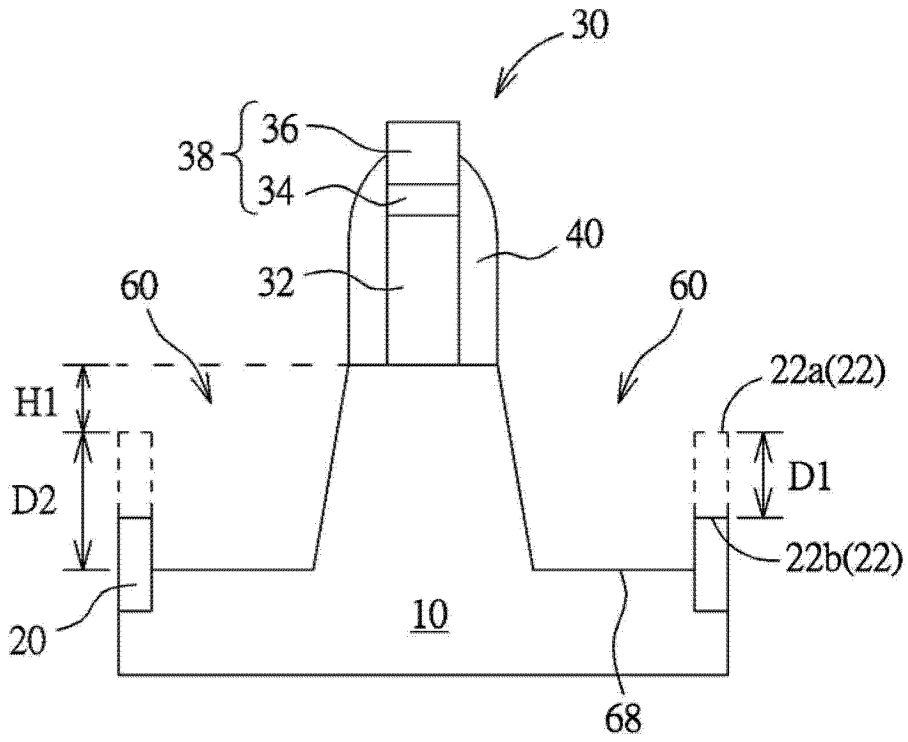


图 7

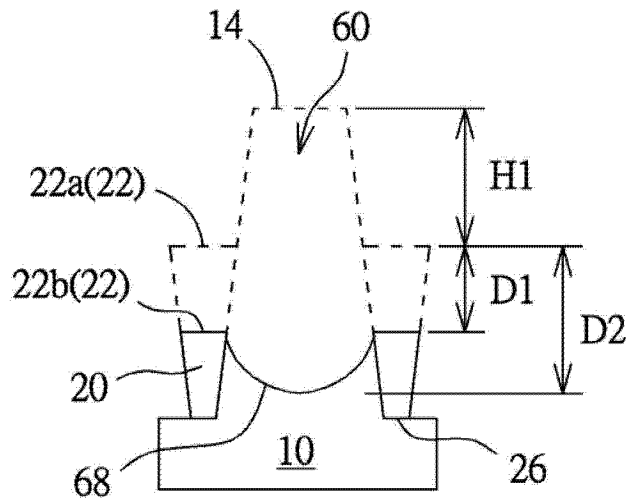


图 8

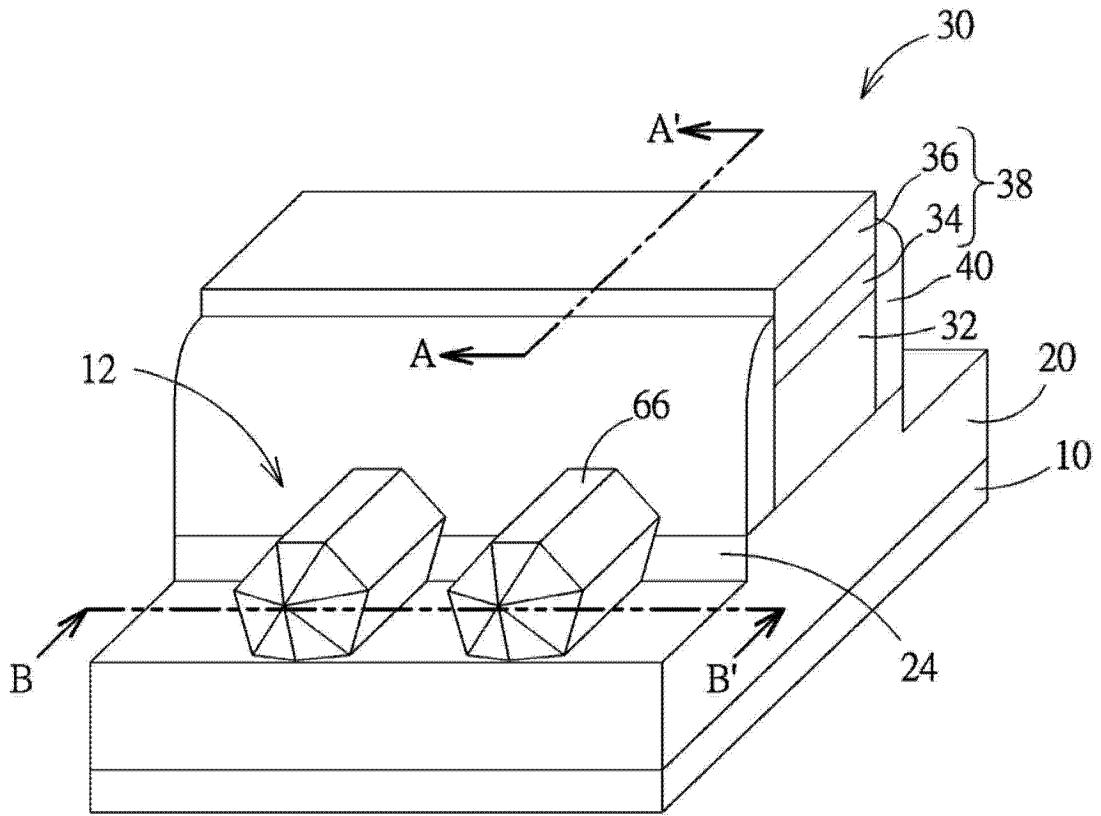


图 9

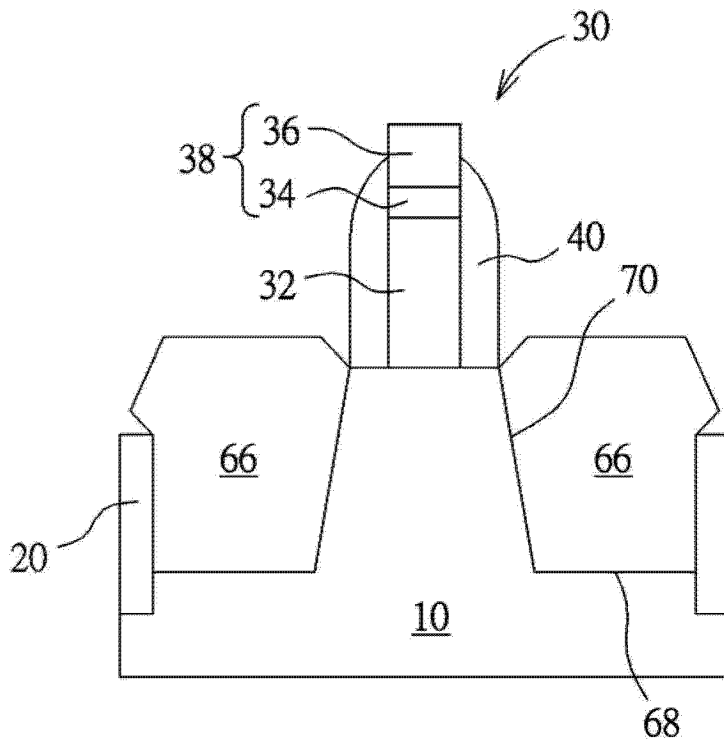


图 10

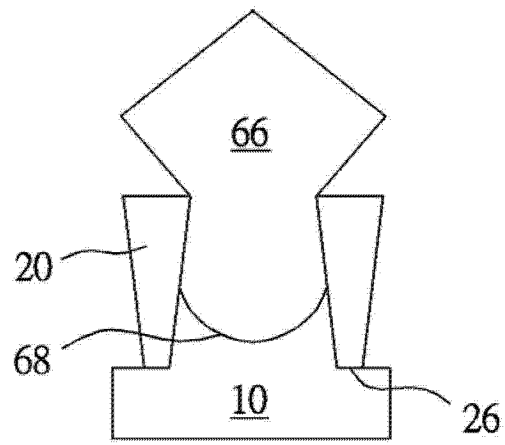


图 11