

(19) Japan Patent Office (JP)

(12) JAPANESE PATENT
PUBLICATION (B2)

(11) Patent Number

JP 3858572
(P3858572)

(45) Issue Date: December 13, 2006 (Heisei 18)

(24) Registration Date: September 29, 2006 (Heisei 18)

(51) Int. Cl.

F I

GO2F 1/1345 (2006.01)
GO2F 1/1343 (2006.01)
GO2F 1/1368 (2006.01)
GO9F 9/00 (2006.01)
GO9F 9/30 (2006.01)

GO2F 1/1345
 GO2F 1/1343
 GO2F 1/1368
 GO9F 9/00 309Z
 GO9F 9/00 348C

Total No. of Claims: 14 (Total 23 pages) Continued on Last Page

(21) Application No. JP 2000-236195
(P2000-236195)

(22) Date of Filing August 3, 2000 (Heisei 12)

(65) Publication No. JP 2002-49052 A
(P2002-49052A)

(43) Publication Date February 15, 2002 (Heisei 14)

Examination Request Date December 1, 2003 (Heisei 15)

(73) Patent Holder 000002369

Seiko Epson Corporation
2-4-1 Shinjuku, Shinjuku-ku, Tokyo-to

(74) Agent 100095728

Masataka Kamiyanagi, Patent Attorney

(74) Agent 100107261

Osamu Suzawa, Patent Attorney

(72) Inventor Masao Murade

c/o, Seiko Epson Corporation
3-3-5 Owa, Suwa-shi, Nagano-ken

Examiner Masato Migita

Continued on Last Page

(54) [Title of Invention] ELECTRO-OPTICAL DEVICE

(57) [Scope of Patent Claims]

[Claim 1]

An electro-optical device, comprising, in an image display region on a substrate, a plurality of pixel electrodes, a capacitance line composed of a first conductive film for adding an accumulated capacitance to the pixel electrodes, and a data line composed of a second conductive film laminated on the first conductive film, sandwiching an interlayer insulation film; and

comprising, in a peripheral region located in a periphery of the image display region on the substrate, a peripheral circuit including a circuit pertaining to driving of the data line, a signal line connected to the peripheral circuit and composed of the first conductive film, and a shield composed of the second conductive film and that electrically shields the signal line from above.

[Claim 2]

The electro-optical device according to claim 1, wherein:

the shield further has a main line portion that electrically shields the signal line from above and side wall portions extending from the main line portion and embedded in at least a groove dug in the interlayer insulating film; and

the signal line is electrically shielded from three directions when viewed in a cross-section of the signal line by the main line portion and the side wall portions.

[Claim 3]

The electro-optical device according to claim 2, wherein:

the shield further has a bottom wall portion composed of another conductive film laminated below the signal line, sandwiching another interlayer insulation film; and

the signal line is electrically shielded from four sides when viewed in a cross-section of the signal line by the main line portion, the side wall portions, and the bottom wall portion.

[Claim 4]

The electro-optical device according to any one of claims 1 to 3, wherein the signal line further includes an image signal line that supplies an image signal.

[Claim 5]

The electro-optical device according to any one of claims 1 to 4, wherein:
the peripheral circuit further includes a sampling circuit that samples the image signal; and
the signal line includes a relay wiring that relays and connects the image signal line that supplies the image signal, and the sampling circuit.

[Claim 6]

The electro-optical device according to any one of claims 1 to 5, wherein:
the peripheral circuit further includes a sampling circuit that samples the image signal; and
the signal line include a gate signal line of the sampling circuit.

[Claim 7]

The electro-optical device according to any one of claims 1 to 6, wherein the signal line further includes a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal.

[Claim 8]

The electro-optical device according to any one of claims 1 to 7, wherein:
the signal line further includes the image signal line that supplies the image signal, and the control signal line that supplies the control signal including at least one of the clock signal and the waveform selection signal;
the shield includes a first portion that electrically shields the image signal line, and a second portion that electrically shields the control signal line; and
the first portion is fixed to a first constant potential and the second portion is fixed to a second constant potential that is different from the first constant potential.

[Claim 9]

The electro-optical device according to any one of claims 1 to 8, wherein the shield is divided for each signal line.

[Claim 10]

The electro-optical device according to any one of claims 1 to 8, wherein the shield is divided for each plurality of signal lines.

[Claim 11]

The electro-optical device according to any one of claims 1 to 10, wherein at least one of the first conductive film and the second conductive film is formed from a film containing a metal.

[Claim 12]

The electro-optical device according to any one of claims 1 to 11, further comprising, in the image display region, a scan line composed of a third conductive film laminated below the first conductive film on the substrate, and

further comprising, in the peripheral region, another shield composed of the third conductive film and that electrically shields the signal lines from below.

[Claim 13]

The electro-optical device according to claims 1 to 12, further comprising, in the image display region, a thin film transistor connected between the data line and the pixel electrodes, and a conductive light-shielding film laminated below the first conductive film and the thin film transistor on the substrate that light-shields at least a channel region of the thin film transistor, and

further comprising, in the peripheral region, another shield composed of the light-shielding film that electrically shields the signal lines from below.

[Claim 14]

The electro-optical device according to any one of claims 1 to 13, wherein the shield is composed of a main line or branched wiring of a power supply wiring.

[Detailed Description of Invention]

[0001]

[Technical Field of Invention]

The present invention belongs to the technical field of electro-optical devices such as liquid crystal devices, and

particularly belongs to the technical field of electro-optical devices in a form wherein a peripheral circuit, such as a data line drive circuit or a sampling circuit, is provided on a peripheral region of a TFT array substrate and drives data lines in response to image signals, clock signals, and the like.

[0002]

[Background Art]

In an active matrix driving-type electro-optical device using TFT driving, many scan lines and data lines are respectively arranged vertically and horizontally, and many of pixel electrodes corresponding to each intersection thereof are provided on a TFT array substrate. Also, in addition to the above, peripheral circuits such as data line drive circuits, sampling circuits, and scan line drive circuits, and moreover, signal lines such as image signal lines and control signal lines (for example, clock signal lines and waveform selection signal lines) connected to such peripheral circuits may be provided in the peripheral region on a TFT array substrate.

[0003]

In this case, a reference clock which serves as a reference for image signal supply timing (hereinafter referred to as “X-side reference clock”), a control signal of a waveform selection signal and the like to prevent what is commonly known as ghosting, an image signal corresponding to the content of an image to be displayed, a positive or negative constant potential power supply, and the like are each supplied to the data line drive circuit via an external input terminal and wiring provided on a TFT array substrate. On the other hand, a reference clock which serves as a reference for scan signal supply timing (hereinafter referring to as “Y-side reference clock”), a positive or negative constant potential power supply, and the like are also supplied to the scan line drive circuit via an external input terminal and wiring provided on the TFT array substrate. Then, for example, a scan signal is supplied from the scan line drive circuit to the scan line, in a line-by-line sequence, at a timing based on the Y-side reference clock. Accordingly, the data line drive circuit drives in sequence, at timings based on the X-side reference clock, sampling circuitry which samples an image signal which has been input, and an image signal is supplied to a data line from the sampling circuitry. As a result, each TFT connected to a gate enters a conductive state in response to the scan signal provided by the scan line, and an image signal is supplied to a pixel electrode via the data line and the TFT to perform image display in each pixel.

[0004]

Particularly in recent years, with the increase in resolution of displayed images, extremely high-frequency serial image signals are being input. For example, the dot frequency of an image signal is about 65 MHz in XGA display mode, and about 135 MHz in SXGA display mode, which are modes used in high-resolution computer screens in recent times, far exceeding the dot frequency (about 30 MHz) in conventional VGA display mode. In order to accommodate this, the frequency of the X-side reference clock supplied to the data line drive circuit in particular also becomes extremely high. Furthermore, in order to reduce the frequency of such a high image signal down to a frequency capable of being sampled by a sampling circuit, at a stage before being input to an electro-optical device, a serial-to-parallel conversion process to convert a high-frequency serial image signal into a plurality of parallel image signals is performed. For example, in the VGA display mode described above, conversion to about 6 parallel image signals is performed, and for example, in the XGA display mode and the SXGA display mode, conversion to, for example, about 12 or 24 parallel image signals is required, depending on the performance of the sampling circuit.

[0005]

[Problem to Be Solved by Invention]

However, due to the demand for high-quality image display in recent years, the high-frequency noise generated by the clock cannot be ignored. In other words, in a configuration in which, for example, a conventional X-side reference clock having a relatively low frequency is supplied to a data line drive circuit for driving a sampling circuit, when the frequency of the clock signal is increased in this configuration as-is, high-frequency clock noise will be generated within the image signal input to the sampling circuit or within the image signal output from the sampling circuit, and this changes the image signal to be supplied to the data line. Which an image signal which has been changed is received, such as this one, the image displayed by each pixel electrode also changes, which is a problem. For example, when performing intermediate levels of gradation display in each pixel, a very small noise of several mV to several tens of mV intrudes into the image signal. However, this is noise which appears visibly within the displayed image. This is because, compared with performing the display of white or black levels corresponding to the highest or lowest liquid crystal drive voltage (for example, voltage

from 0 to 5V), the change in liquid crystal transmittance is steeper with respect to liquid crystal drive voltage changes at intermediate gradation levels. When thus achieving a highly accurate multi-gradation display, high-frequency clock noise is a serious problem.

[0006]

On the other hand, as described above, serial-to-parallel conversion can be used to reduce the frequency of image signals supplied to the sampling circuit by increasing the number of parallel image signals, but the number of external input terminals and image signal lines that must be provided on the substrate of the electro-optical device must be increased in accordance with this increase in the number of parallel image signals. Therefore, many signal lines must be disposed extremely close to each other in the peripheral region on a substrate having limited space, and as a result, one of the proximally disposed signal lines (for example, a clock signal line) will cause a problem by, as a source of noise, increasing the noise by interfering with the signal on another signal line (for example, an image signal line). Moreover, the more the number of parallel image signals is increased by serial-to-parallel conversion, the more the area occupied by block ghosting (that is, a block-shaped type of ghosting that occurs when a group of pixel electrodes corresponding to a plurality of data lines supplied by parallel image signals is generated in one place) caused by a lack of writing ability to the pixel electrodes increases in the image display region. As a result, block ghosting also becomes visually prominent, which is a serious problem.

[0007]

The present invention is considered in light of the problems described above, and has an object to provide an electro-optical device having reduced noise in signals on signal lines provided in peripheral regions on a substrate and capable of displaying high-quality images.

[0008]

[Means for Solving Problem]

In order to solve the foregoing problems, the electro-optical device of the present invention is provided with, in an image display region on a substrate, a plurality of pixel electrodes, a capacitance line composed of a first conductive film for adding an accumulated capacitance to the pixel electrodes, and a data line composed of a second conductive film laminated on the first conductive film, sandwiching an interlayer insulation film, and provided with, in a peripheral region located in a periphery of the image display region on the substrate, a peripheral circuit including a circuit pertaining to driving of the data line, a signal line connected to the peripheral circuit and composed of one of the first conductive film and the second conductive film, and a shield composed of the other of the first conductive film and the second conductive film that electrically shields the signal line from at least one direction.

[0009]

According to the electro-optical device of the present invention, in the image display region, a second conductive film that forms a data line is laminated on the first conductive film that forms a capacitance line, sandwiching the interlayer insulation film. In the peripheral region, a signal line that is connected to the peripheral circuit is formed from one of the first conductive film and the second conductive film, and a shield that electrically shields the signal line from at least one direction (for example, upward or downward) is formed from the other of the first conductive film and the second conductive film. Therefore, by utilizing the second conductive film that forms the data line while forming the signal line in the peripheral region utilizing the first conductive film that forms the capacitance line, electromagnetic noise interference in the signal on the signal line can be effectively reduced, or the generation of electromagnetic noise from the signal line can be effectively reduced. Alternatively, by utilizing the first conductive film forming the capacitance line to form the signal line in the peripheral region while utilizing the second conductive film forming the signal line to electrically shield the signal line, electromagnetic noise interference in the signal on the signal line can be effectively reduced, or the generation of electromagnetic noise from the signal line can be effectively reduced. Moreover, in any case, a dedicated membrane does not need to be formed separately to form the signal line and the shield in the peripheral region, which is advantageous in terms of simplifying the device configuration and manufacturing process. In particular, when the pixel pitch is reduced and the driving frequency is increased in order to improve image quality, generally the noise associated with such signal lines increases relatively. Therefore, a configuration in which signal lines such as image signal lines, control signal lines, and the like wired in the peripheral region as in the present invention are electrically shielded is greatly advantageous for

reducing the pixel pitch or increasing the driving frequency.

[0010]

The term “circuit pertaining to the driving of the data line” in the peripheral circuit of the present invention has a broad meaning including, for example, all circuits related to the driving of a data line or the supplying of an image signal to a data line, including a data line drive circuit for driving a data line, a sampling circuit for applying an image signal to a plurality of data lines at a predetermined timing under control by a sampling circuit drive signal from the data line drive circuit, a pre-charge circuit for supplying a pre-charge signal of a predetermined voltage level to the plurality of data lines prior to the image signal, and the like. Furthermore, the term “peripheral circuit” refers to any circuit, other than a circuit pertaining to the driving of such data lines, that is built into the peripheral region, for example, a circuit pertaining to the driving of the scan line, or an inspection circuit for inspecting the quality, defects, or the like of the electro-optical device during manufacturing or shipment.

[0011]

As a result, a relatively simple device configuration reduces noise in image signals and the like, enabling an electro-optical device capable of displaying high-quality images.

[0012]

In one aspect of the electro-optical device of the present invention, the shield is composed of the second conductive film, and the signal line composed of the first conductive film is electrically shielded from above.

[0013]

According to this aspect, a signal line such as an image signal line composed of the first conductive film is electrically shielded from above by a shield composed of the second conductive film. Therefore, it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources located mainly above or to the sides of each signal line.

[0014]

In this aspect, the shield may further have a main line portion that electrically shields the signal line from above and side wall portions extending from the main line portion and embedded in at least a groove dug in the interlayer insulating film, and the signal line may be electrically shielded from three directions when viewed in a cross-section of the signal line by the main line portion and the side wall portions.

[0015]

When configured in this manner, a signal line such as the image signal line composed of the first conductive film is electrically shielded from three directions, above and on the sides, by a shield composed of the second conductive film. Therefore, it is possible to more effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources located mainly above or to the sides of each signal line.

[0016]

In this case, the shield may be configured to further have a bottom wall portion composed of another conductive film laminated below the signal line, sandwiching another interlayer insulation film, and the signal line may be electrically shielded from four directions when viewed in a cross-section of the signal line by the main line portion, the side wall portions, and the bottom wall portion.

[0017]

When configured in this manner, a signal line such as the image signal line composed of the first conductive film is electrically shielded from four directions, above, on the sides, and below by a shield composed of the second conductive film and another conductive film. Therefore, it is possible to extremely effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources located in four directions of each signal line.

[0018]

In another aspect of the electro-optical device of the present invention, the shield is composed of the first conductive film, and the signal line composed of the second conductive film is electrically shielded from below.

[0019]

According to this aspect, a signal line such as the image signal line composed of the second conductive film is electrically shielded from below by a shield composed of the first conductive film. Therefore, it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements

as noise sources located mainly below or to the sides of each signal line.

[0020]

In another aspect of the electro-optical device of the present invention, the signal line includes an image signal line supplying an image signal.

[0021]

According to this aspect, the image signal line is electrically shielded in the peripheral region, and thus it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources into the image signal on the image signal line. Therefore, ultimately, it is possible to display a high-quality image in the image display region based on an image signal having a high S/N.

[0022]

In another aspect of the electro-optical device of the present invention, the peripheral circuit includes a sampling circuit for sampling the image signal, and the signal line includes relay wiring for relaying and connecting the image signal line supplying the image signal and the sampling circuit.

[0023]

According to this aspect, the relay wiring is shielded in the peripheral region, and thus it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources into the image signal on the relay wiring. Therefore, ultimately, it is possible to display a high-quality image in the image display region based on an image signal having a high S/N. In particular, with respect to a relay wiring portion opposing an opposing electrode provided on an opposing substrate, from the viewpoint of reducing parasitic capacitance between the relay wiring portion and the opposing electrode, it is effective to electrically shield by an upward shield disposed between the two.

[0024]

In another aspect of the electro-optical device of the present invention, the peripheral circuit includes a sampling circuit for sampling the image signal, and the signal line includes a gate signal line of the sampling circuit.

[0025]

According to this aspect, because the gate signal line of the sampling circuit is shielded in the peripheral region, it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources into the control signal on the gate signal line (for example, a sampling circuit drive signal output from the data line drive circuit). Therefore, ultimately, it is possible to display a high-quality image in the image display region by a highly accurate sampling operation in the sampling circuit. In particular, with respect to a gate signal line portion opposing an opposing electrode provided on an opposing substrate, from the viewpoint of reducing parasitic capacitance between the gate signal line portion and the opposing electrode, it is effective to electrically shield by an upward shield disposed between the two.

[0026]

In another aspect of the electro-optical device of the present invention, the signal line includes a control signal line that supplies a control signal including at least one of a clock signal and a waveform selection signal.

[0027]

According to this aspect, the control signal line is electrically shielded in the peripheral region, and thus it is possible to effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources into the control signal on the control signal line. Moreover, a control signal that is generally high-frequency or high-potential tends to be a noise source for the image signal. Therefore, by electrically shielding the control signal line in this manner, it is possible to effectively reduce the electromagnetic noise interference from the control signal line as a noise source into the image signal or the like supplied to the image signal line or the like as another signal line. Thus, ultimately, it is possible to display a high-quality image in the image display region based on a control signal, image signal, or the like having a high S/N.

[0028]

Note that in the electro-optical device of the present invention described above (including each embodiment), the shield is preferably fixed to a ground potential or other constant potential.

[0029]

In another aspect of the electro-optical device of the present invention, the signal line includes the image signal

line supplying the image signal and the control signal line supplying the control signal including at least one of the clock signal and the waveform selection signal, wherein the shield includes a first portion for electrically shielding the image signal line and a second portion for electrically shielding the control signal line, the first portion being fixed to a first constant potential and the second portion being fixed to a second constant potential different from the first constant potential.

[0030]

According to this aspect, the image signal line is electrically shielded by the first portion of the shield and the control signal line is electrically shielded by the second portion of the shield in the peripheral region, and thus it is possible to respectively effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources into the image signal on the image signal line and the control signal on the control signal line. In particular, the first portion and the second portion of the shield are fixed to different constant potentials, and thus it is possible to prevent situations in which these potential variations mutually affect both signal lines via the same constant potential wiring. Thus, ultimately, it is possible to display a high-quality image in the image display region based on an image signal, control signal, or the like having a high S/N.

[0031]

In another aspect of the electro-optical device of the present invention, the shield is divided for each signal line.

[0032]

According to this aspect, each signal line is electrically shielded separately, and thus it is possible to electrically shield each signal line from all other signal lines. That is, it is possible to minimize the adverse effects of electromagnetic waves between a plurality of signal lines.

[0033]

In another aspect of the electro-optical device of the present invention, the shield is divided for each plurality of signal lines.

[0034]

According to this aspect, signal lines are electrically shielded separately for each of a plurality of signal lines, and thus it is possible to easily form the shield compared to when a shield is provided for each signal line. In this case, when a plurality of signal lines, such as a plurality of pixel signal lines, whose mutual influence from electromagnetic waves is essentially small, are bundled together and electrically shielded by the same shield, and when, on the other hand, signal lines, such as image signal lines and clock signal lines, whose mutual influence from electromagnetic waves is essentially large, are electrically shielded by a separate shield, it is possible to suppress disadvantages when bundling together and electrically shielding the plurality of signal lines in this manner (that is, the noise interference between the plurality of signal lines that are electrically shielded by the same shield).

[0035]

In another aspect of the electro-optical device of the present invention, at least one of the first conductive film and the second conductive film is formed from a film containing a metal.

[0036]

According to this aspect, for example, by forming the first conductive film or the second conductive film from a film containing a metal such as Al (aluminum) film or Cr (chromium), it is possible to easily reduce the resistance of these conductive films.

[0037]

In another aspect of the electro-optical device of the present invention, the image display region is further provided with a scan line composed of a third conductive film laminated below the first conductive film on the substrate, and the peripheral region is further provided with another shield composed of the third conductive film for electrically shielding the signal line from below.

[0038]

According to this aspect, in the image display region, the third conductive film forming the scan line is laminated below the first conductive film forming a capacitance line. In the peripheral region, another shield for electrically shielding the signal line from below are formed from this third conductive film. Therefore, a signal line such as an image signal line composed of one of the first conductive film and the second conductive film is redundantly electrically shielded from above and below by a shield composed of the other of the first

conductive film and the second conductive film, and a shield composed of the third conductive film. Therefore, it is possible to more effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources. Note that in the image display region, it is possible to drive an active matrix or a passive matrix by the scan line and data line.

[0039]

In another aspect of the electro-optical device of the present invention, the image display region is further provided with a thin film transistor connected between the data line and the pixel electrode, and a conductive light-shielding film laminated below the first conductive film and the thin film transistor on the substrate for light-shielding at least the channel region of the thin film transistor, and the peripheral region is further provided with another shield composed of the light-shielding film for electrically shielding the signal line from below.

[0040]

According to this aspect, in the image display region, the light-shielding film for light-shielding at least the channel region of the thin film transistor is laminated below the first conductive film forming a capacitance line. In the peripheral region, another shield for electrically shielding the signal line from below are formed from this light-shielding film. Therefore, a signal line such as an image signal line composed of one of the first conductive film and the second conductive film is redundantly electrically shielded from above and below by a shield composed of the other of the first conductive film and the second conductive film, and a shield composed of the light-shielding film. Therefore, it is possible to more effectively reduce the electromagnetic noise interference from other signal lines, wiring, or circuits or elements as noise sources. Note that in the image display region, it is possible to drive an active matrix the data line and thin film transistor.

[0041]

In another aspect of the electro-optical device of the present invention, an opposing electrode opposing the plurality of pixel electrodes is further provided on an opposing substrate opposing the substrate, sandwiching an electro-optical substance, and the shield includes a portion for electrically shielding a portion of the signal line from above between the opposing electrode and a portion of the signal line opposing the opposing electrode.

[0042]

According to this aspect, an upward shield is present between the opposing electrode provided on the opposing substrate and a portion of the opposing signal line, and thus it is possible to reduce parasitic capacitance between the portion of the signal line and the opposing electrode. That is, it is possible to effectively reduce the electromagnetic noise interference from the opposing electrode as a noise source to an image signal or the like on the signal line, and the electromagnetic noise interference from the signal line as a noise source to a constant potential signal on the opposing electrode (for example, a signal of a constant potential that does not reverse, a signal of a constant potential that reverses in each frame by frame or field, or the like).

[0043]

In another aspect of the electro-optical device of the present invention, the shield is composed of a main line or branched wiring of a power supply wiring.

[0044]

According to this aspect, the shield is composed of a main line or branch wiring of the power supply wiring, and thus it is possible to fix the shield to a constant potential. Moreover, the region occupied by the shield in the peripheral region is allocated to the power supply wiring, and thus it is possible to configure the power supply wiring to be wide with relative ease, and it is also possible to supply a stable constant potential. Furthermore, by sharing the shield and the power supply wiring, it is also possible to simplify the device configuration and manufacturing process. Moreover, by fixing the shield to a stable constant potential in this manner, the performance of electric shielding is also improved, which is even more advantageous.

[0045]

In order to solve the problems described above, another electro-optical device of the present invention is provided, in an image display region on a substrate, with a plurality of pixel electrodes, a capacitance line composed of a first conductive film for adding an accumulated capacitance to the pixel electrodes, and a data line composed of a second conductive film laminated via an interlayer insulation film on the first conductive film, and a peripheral region located in a periphery of the image display region on the substrate is provided with a peripheral circuit including a circuit pertaining to driving of the data line, the image signal line supplying the image signal to the peripheral circuit and being composed of one of the first conductive film and the second

conductive film, and a control signal line supplying to the peripheral circuit a control signal including at least one of the clock signal and the waveform selection signal and being composed of the other of the first conductive film and the second conductive film.

[0046]

According to another electro-optical device of the present invention, in the image display region, a second conductive film that forms a data line is laminated on the first conductive film that forms a capacitance line via the interlayer insulation film. In the peripheral region, the image signal line is formed from one of the first conductive film and the second conductive film, and the control signal line is formed from the other of the first conductive film and the second conductive film. Therefore, in the peripheral region, the parasitic capacitance between the two conductive films forming the image signal line and the control signal line is reduced by the amount of separation in the direction perpendicular to the substrate, as compared to when the image signal line and the control signal line are formed in the same plane by patterning the same conductive film. That is, it is possible to reduce the electromagnetic noise interference from the control signal line as a noise source to the image signal on the image signal line, which decreases as the distance between the two signal lines increases (or the electromagnetic noise interference from the image signal line as a noise source to the control signal on the control signal line). Note that various shields according to the present invention described above may be provided for the electro-optical device having such a configuration. When configured in this manner, it is possible to enjoy both the effect of reducing electromagnetic noise caused by the separation of the image transmission line and the control signal line in a direction perpendicular to the substrate and the effect of reducing electromagnetic noise caused by the shield between the image signal and the control signal line.

[0047]

As a result, a relatively simple device configuration reduces noise in image signals and the like, enabling an electro-optical device capable of displaying high-quality images.

[0048]

Such effects and other benefits of the present invention will be clarified by the embodiments described below.

[0049]

[Embodiments of Invention]

Embodiments of the present invention will be described below with reference to the drawings. The embodiments below are applications of the electro-optical device of the present invention to a liquid crystal device.

[0050]

First, a configuration of the electro-optical device in an embodiment of the present invention will be described with reference to FIG. 1 to FIG. 3. FIG. 1 is an equivalent circuit of various elements, wiring, and the like in a plurality of pixels formed in a matrix constituting an image display region of the electro-optical device. FIG. 2 is a plan view of a plurality of adjacent pixel groups of a TFT array substrate in which a data line, a scan line, a pixel electrode, and the like are formed. FIG. 3 is a cross-sectional view along the line A-A' in FIG. 2. Note that in FIG. 3, the scale is different for each layer and each member in order to make each layer and each member in the drawing large enough to be recognizable.

[0051]

In FIG. 1, a pixel electrode 9a and a TFT 30 for switching control of the pixel electrode 9a are both formed in a plurality of pixels which is formed in a matrix constituting an image display region of the electro-optical device in the present embodiment, and a data line 6a to which an image signal is supplied is electrically connected to a source of the TFT 30. Image signals S1, S2, ..., Sn written on the data line 6a may be supplied in this order in a line sequence, or may be supplied to a plurality of adjacent data lines 6a together for each group. In addition, a scan line 3a is electrically connected to the gate of the TFT 30, and scanning signals G1, G2, ..., Gm are configured so as to be applied, in a line sequence in this order, to the scan line 3a in pulses at a predetermined timing. The pixel electrode 9a is electrically connected to a drain of the TFT 30, and by closing a switch of the TFT 30, which is a switching element, off for a certain period of time, the image signals S1, S2, ..., Sn supplied from the data line 6a are written at a predetermined timing. The image signals S1, S2, ..., Sn—which are at a predetermined level written via the pixel electrode 9a in the liquid crystal, being one example of an electro-optical material—are retained for a certain period of time with an opposing electrode formed on an opposing substrate (described below). The liquid crystal modulates light and enables a gradation display by changing the

orientation or order of a molecular assembly according to an applied potential level. In a normally white mode, a transmittance of incident light decreases according to a voltage applied to each pixel unit, and in a normally black mode, a transmittance of incident light increases according to a voltage applied to each pixel unit, wherein overall, light having a contrast corresponding to the image signal is emitted from the electro-optical device. Here, in order to prevent leaking of the retained image signal, a storage capacitor 70 is added in parallel with a liquid crystal capacitor formed between the pixel electrode 9a and the opposing electrode. A capacitance line 300, which includes a constant potential-side capacitance electrode of a storage capacitor 70 and which is fixed to a constant potential, is provided alongside the scan line 3a.

[0052]

In FIG. 2, a transparent plurality of the pixel electrodes 9a (outline illustrated by the dotted line portion 9a') is provided in a matrix on the TFT array substrate of the electro-optical device, and the data line 6a and the scan line 3a are provided along both the vertical and horizontal boundaries of the pixel electrode 9a.

[0053]

Moreover, the scan line 3a is disposed so as to face a channel region 1a', which is illustrated by the diagonally shaded region whose lines rise from left to right in the drawing, in a semiconductor layer 1a, and the scan line 3a functions as a gate electrode (in particular, in the present embodiment, the scan line 3a is formed in a wide manner in a portion serving as the gate electrode). As such the TFT 30, being for pixel switching wherein the scan line 3a is disposed opposite the channel region 1a' as a gate electrode, is provided at a location where both the scan line 3a and the data line 6a intersect.

[0054]

As illustrated in FIG. 2 and FIG. 3, the storage capacitor 70 is formed by disposing the following so as to oppose each other, sandwiching a dielectric film 75: a relay layer 71 serving as a pixel potential side capacitance electrode connected to a high concentration drain region 1e (and the pixel electrode 9a) of the TFT 30, and one part of a capacitance line 300 serving as a constant potential-side capacitance electrode.

[0055]

The relay layer 71 possesses, in addition to a function as a pixel potential-side capacitance electrode of the storage capacitor 70, a function as an intermediate conductive layer for relaying and connecting the pixel electrode 9a and the high concentration drain region 1e of the TFT 30 via contact holes 83 and 85.

[0056]

When viewed in a planar manner, the capacitance line 300 extends in a stripe along the scan line 3a, with locations overlapping the TFT 30 protruding vertically in FIG. 2. Such a capacitance line 300 is preferably configured so as to possess a multilayer structure in which the following are laminated: a first film composed of a conductive polysilicon film or the like and having a film thickness of approximately 50 nm and a second film composed of a metal silicide film or the like containing a high melting point metal and having a film thickness of approximately 150 nm. When configured in this manner, the second film possesses, in addition to a function as a constant potential-side capacitance electrode of the capacitance line 300, or the storage capacitor 70, a function as a light-shielding layer for shielding the TFT 30 from incident light on the upper side of the TFT 30.

[0057]

Meanwhile, a lower-side light-shielding film 11a is provided in a grid shape on the lower side of the TFT 30 on a TFT array substrate 10. The lower-side light-shielding film 11a contains for example, at least one high melting point metal among metals such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), being composed of a single metal, an alloy, a metal silicide, a polysilicide, a laminate thereof, or the like.

[0058]

Furthermore, a light-shielding region is formed on both the upper side and lower side of the TFT 30 on the TFT array substrate 10 in a grid pattern, when viewed in a planar manner, by the formation of the data line 6a extending vertically in both directions in FIG. 2 and the capacitance line 300 extending horizontally in both directions in FIG. 2 as well as by the lower-side light-shielding film 11a formed in a grip shape.

[0059]

Furthermore, in FIG. 3, the dielectric film 75 disposed between the relay layer 71, serving as the capacitance electrode, and the capacitance line 300 is configured of, for example, a relatively thin HTO film having a film thickness of approximately 5 to 200 nm, a silicon oxide film such as an LTO film, a silicon nitride film, or the

like. From the viewpoint of enhancing the storage capacitor 70, the thinner the dielectric film 75, the better, as long as reliability of the film is sufficiently achieved.

[0060]

As illustrated in FIG. 2 and FIG. 3, the data line 6a is electrically connected to a high concentration source region 1d within, for example, the semiconductor layer 1a composed of a polysilicon film via a contact hole 81. Note that a relay layer composed of the same film as the relay layer 71 described above may be formed, and the data line 6a and the high concentration source region 1d may be electrically connected via the relay layer and the two contact holes.

[0061]

In addition, the capacitance line 300 extends from the image display region, wherein the pixel electrode 9a is disposed, into the surroundings thereof, and is electrically connected to a constant potential source, thereby forming a constant potential. A constant potential source as such may be a constant potential source of a positive power source or a negative power source supplied to a scan line drive circuit (described below) for supplying the scan line 3a with a scanning signal for driving the TFT 30 or a data line drive circuit (described below) for controlling a sampling circuit for supplying the data line 6a with an image signal, or may be a constant potential supplied to an opposing electrode 21 of an opposing substrate 20. Furthermore, in order to avoid having a potential fluctuation thereof adversely affect the TFT 30, the lower-side light-shielding film 11a provided on the lower side of the TFT 30 may also extend from the image display region into the surroundings thereof and connect to the constant potential source in a manner similar to that of the capacitance line 300.

[0062]

By relay through the relay layer 71, the pixel electrode 9a is electrically connected to the high concentration drain region 1e within the semiconductor layer 1a via the contact holes 83 and 85. That is, in the present embodiment, in addition to functioning as the pixel potential-side capacitance electrode of the storage capacitor 70, the relay layer 71 fulfills the function of continuing to relay the pixel electrode 9a to the TFT 30. As such, even when, for example, an interlayer distance is great, at approximately 1,000 nm, the relay layer 71 can be favorably connected between the two by a series of two or more contact holes of a relatively small diameter while avoiding technical difficulties in connecting the two through a single contact hole, a pixel opening ratio can be increased, and the penetration of etching during contact hole drilling is also aided in being prevented.

[0063]

In FIG. 2 and FIG. 3, the electro-optical device is provided with the TFT array substrate 10 and the transparent opposing substrate 20 disposed opposite thereto. The TFT array substrate 10 is composed, for example, of a quartz substrate, a glass substrate, and a silicon substrate, and the opposing substrate 20 is composed, for example, of a glass substrate or a quartz substrate.

[0064]

As illustrated in FIG. 3, the TFT array substrate 10 is provided with a pixel electrode 9a, and is provided on an upper side thereof with an alignment film 16 having a predetermined alignment treatment such as a rubbing treatment applied thereto. The pixel electrode 9a is composed, for example, of a transparent conductive thin film such as an ITO (indium tin oxide) film. Moreover, the alignment film 16 is composed, for example, of an organic thin film such as a polyimide thin film.

[0065]

Meanwhile, the opposing substrate 20 is provided with the opposing electrode 21 across an entire surface thereof, and is provided on a lower side thereof with an alignment film 22 having a predetermined alignment treatment such as a rubbing treatment applied thereto. The opposing electrode 21 is composed, for example, of a transparent conductive thin film such as an ITO film. In addition, the alignment film 22 is composed, for example, of an organic thin film such as a polyimide thin film.

[0066]

The opposing substrate 20 may be provided with a grid-shaped or stripe-shaped light-shielding film. By employing such a configuration, the light-shielding film on the opposing substrate 20, together with the capacitance line 300 and the data line 6a constituting the light-shielding region as described above, can more reliably prevent incident light from the opposing substrate 20 side from entering the channel region 1a', a low concentration source region 1b, and a low concentration drain region 1c. Furthermore, forming the light-shielding film on the opposing substrate 20 as such using a highly reflective film whose surface is irradiated at

least by incident light acts to prevent a temperature increase of the electro-optical device.

[0067]

Thus configured, a liquid crystal, being one example of an electro-optical material, is sealed in a space surrounded by a sealant described below, whereby a liquid crystal layer 50 is formed between the TFT array substrate 10 and the opposing substrate 20, disposed such that the pixel electrode 9a and the opposing electrode 21 face oppose. In a state wherein no voltage is generated between the pixel electrode 9a and the opposing electrode 21, the liquid crystal layer 50 takes on a predetermined alignment state due to the alignment films 16 and 22. The liquid crystal layer 50 is composed, for example, of a liquid crystal mixed with one or a plurality of types of nematic liquid crystals. A sealant 52, being for bonding the TFT array substrate 10, the opposing substrate 20, and a periphery thereof is an adhesive composed of, for example, a photocurable resin or a thermosetting resin, and a gap material such as a glass fiber or a glass bead for setting a distance between the two substrates to a predetermined value is mixed in.

[0068]

Furthermore, a base insulating film 12 is provided below the TFT 30, which is for pixel switching. The base insulating film 12 has a function of interlayer insulation of the TFT 30 from the lower-side light-shielding film 11a, as well as a function of preventing changes in the properties of the TFT 30 for pixel switching caused by roughness during polishing of the TFT array substrate 10, residue following cleaning thereof, or the like.

[0069]

In FIG. 3, the TFT 30 for pixel switching has a LDD (lightly doped drain) structure, and is provided with: the scan line 3a, the channel region 1a' of the semiconductor layer 1a in which a channel is formed by an electric field from the scan line 3a, an insulating thin film 2 including a gate insulating film for insulating the scan line 3a and the semiconductor layer 1a, the low concentration source region 1b and the low concentration drain region 1c of the semiconductor layer 1a, and the high concentration drain region 1e and the high concentration source region 1d of the semiconductor layer 1a.

[0070]

A first interlayer insulating film 41, having drilled therein both the contact hole 81 leading to the high concentration source region 1d and the contact hole 83 leading to the high concentration drain region 1e, is formed on the scan line 3a.

[0071]

The relay layer 71 and the capacitance line 300 are formed on the first interlayer insulating film 41, and above these is formed a second interlayer insulating film 42, having drilled therein both the contact hole 81 leading to the high concentration source region 1d and the contact hole 85 leading to the relay layer 71.

[0072]

Note that in the present embodiment, ions injected into the polysilicon film constituting the semiconductor layer 1a and the scan line 3a may be activated by firing the first interlayer insulating film 41 at 1,000°C. Meanwhile, the second interlayer insulating film 42 may, by not performing such firing as such therefore, be made to mitigate stress generated near an interface of the capacitance line 300.

[0073]

The data line 6a is formed on the second interlayer insulating film 42, and a planarized third interlayer insulating film 43 may also be formed wherein a contact hole 85 leading to the relay layer 71 is formed. The pixel electrode 9a is provided on the upper surface of the third interlayer insulating film 43 configured in this manner.

[0074]

In the present embodiment, the surface of the third interlayer insulating film 43 is planarized by a CMP (Chemical Mechanical Polishing: chemical mechanical polishing) treatment or the like, and liquid crystal alignment failure in the liquid crystal layer 50 arising from a height difference resulting from various wiring and elements thereunder is reduced.

[0075]

According to the present embodiment configured as described above, when incident light is intended to be incident from the opposing substrate 20 side to the channel region 1a' of the TFT 30 and near thereto, light-shielding is performed by a grid-shaped light-shielding layer composed of the data line 6a and the capacitance line 300. Meanwhile, when returning light becomes incident from the TFT array substrate 10 side to the channel

region 1a' of the TFT 30 and near thereto, light-shielding is performed by the lower-side light-shielding film 11a (in particular, returning light composed of a projected light portion penetrating through the prism or the like from another electro-optical device is powerful when a plurality of electro-optical devices are combined about a prism or the like in a projector or the like for a multi-plate type color display to form one optical system, and is therefore effective). As a result, the TFT 30 properties are substantially unchanged by optical leakage, and an extremely high light resistance is obtained by the electro-optical device. In addition, a large storage capacitor 70 can be constructed by utilizing the non-opening region of each pixel where the data line 6a and the scan line 3a are formed.

[0076]

Next, wiring and shielding in the peripheral region in the present embodiment will be described with reference to FIG. 4. Here, FIG. 4 is a diagrammatic plan view illustrating configurations of various wiring, peripheral circuits, and the like including shields provided on the TFT array substrate in the present embodiment.

[0077]

FIG. 5 to FIG. 10 are each B-B' cross-sectional views of FIG. 4 illustrating various specific examples of wiring such as shield lines, image signal lines, and clock signal lines, respectively.

[0078]

In FIG. 4, a data line drive circuit 101, a scan line drive circuit 104, and a sampling circuit 301 are formed in the peripheral region located around the image display region on the TFT array substrate of the liquid crystal device as examples of the peripheral circuit.

[0079]

In the description of FIG. 4 below, the wiring 400 of the signal input via the plurality of external input terminals 102 provided along the lower side of the TFT array substrate 1 is referred to by adding the same alphabetic symbol as the signal name in parentheses after the wiring 400, respectively, for ease of description (for example, the signal wiring of the "clock signal CLX" is referred to as the "wiring 400 (CLX)").

The scan line drive circuit 104 starts the built-in shift register circuit by inputting the start signal SPY, using the negative power source VSSY and the positive power source VDY for the scan line drive circuit 104 supplied from the external control circuit via the external input terminal 102 and the wiring 400 (VSY) and the wiring 400 (VDDY) as power sources. Then, the scan signal is applied to the scan line 3a in a pulsed line sequence at a predetermined timing based on the reference clock signal CLY for the built-in shift register circuit of the scan line drive circuit 104 and the inverted clock signal CLY' supplied via the external input terminal 102 and the wiring 400 (CLY) and the wiring 400 (CLY').

[0080]

The data line drive circuit 101 starts the built-in shift register circuit by the input of the start signal SPX, using the negative power source VSX and the positive power source VDX for the data line drive circuit 101 supplied from the external control circuit via the external input terminal 102 and the signal wiring 400 (VSX) and the wiring 400 (VDX) as the power source. Then, based on the reference clock signal CLX for the built-in shift register circuit of the data line drive circuit 101 and the inverted clock signal CLX' supplied via the external input terminal 102 and the wiring 400 (CLX) and the wiring 400 (CLX'), the sampling circuit drive signal Q_m ($m = 1, 2, \dots$) is supplied to the sampling circuit 301 at a predetermined timing via the sampling circuit drive signal line 306 for each data line 6a for, for example, respective image signals VID1 to VID12 serial-parallel converted into 12 parallel signals supplied via the external input terminal 102 and the wiring 400 (VID1) to the wiring 400 (VID12) in accordance with the timing when the scan signal is applied by the scan line drive circuit 104.

[0081]

The sampling circuit 301 includes a TFT 302 for each data line 6a, wiring 400 (VID1) to wiring 400 (VID12) are connected to the source electrode of the TFT 302 via a relay wiring 305, and a sampling circuit drive signal line 306 is connected to the gate electrode of the TFT 302. Then, when the image signals VID1 to VID12 are input, these image signals are sampled. Furthermore, when the sampling circuit drive signal Q_m is input from the data line drive circuit 101 via the sampling circuit drive signal line 306, the sampled image signals for the image signals VID1 to VID12 are sequentially applied to each group consisting of 12 adjacent data lines 6a.

[0082]

As described above, the data line drive circuit 101 and the sampling circuit 301 are configured to supply image

signals VID1 to VID12 converted into 12 parallel signals to the data line 6a as image signals S1, S2, ... In the present embodiment, a method has been described in which a sampling circuit 301 connected to 12 adjacent data lines 6a is simultaneously selected and sequentially transferred to each group consisting of 12 data lines 6a, but the data lines 6a may be selected every 6 lines or every 24 lines. Alternatively, any number of two or more may be selected simultaneously. In this case, it goes without saying that an external input terminal 102 and an image signal line for the image signal are required for at least the number of parallel image signals. Note that the number of parallel image signals and the number of simultaneous selections of the sampling circuit 301 may be configured to be equal, or the former may be configured to be more than the latter.

[0083]

Furthermore, as illustrated in FIG. 4, the data line drive circuit 101 includes a shift register circuit 101a that starts sequential generation of transfer signals based on the reference clock signal CLX and the inverted clock signal CLK' when the start signal SPX is input, and a waveform control circuit 101b and a buffer circuit 101c that are supplied to the sampling circuit 301 via the sampling circuit drive signal line 306 after waveform shaping of the transfer signals from the shift register circuit 101a. Furthermore, the sampling circuit 301 has 12 TFTs 302 connected to each sampling circuit drive signal line 306 in parallel corresponding to the image signals VID1 to VID12 that are serial-parallel converted to 12. That is, switches S1 to S12 configured from the TFT 302 are connected to the first sampling circuit drive signal line 306 from the left, switches S13 to S24 are connected to the second sampling circuit drive signal line 306 from the left, and switches Sn-11 to Sn are connected to the rightmost sampling circuit drive signal line 306.

[0084]

The enable signals ENB1 and ENB2 as waveform selection signals, which are among the control signals, are input to the waveform control circuit 101b. In the waveform control circuit 101b, the width of the pulses sequentially output from the shift register circuit 101a is limited to the pulse widths of the enable signals ENB1 and ENB2, thereby controlling the selection period of the sampling circuit 301 (so that the periods in which the preceding and following sampling circuit drive signals Q1, Q2, ... are at high levels and do not overlap each other). Thus, block ghosting is prevented between the data lines 6a that receive the image signal from the same wiring 400 (VID1) to wiring 400 (VID12). Therefore, the enable signals ENB1 and ENB2 are high-frequency control signals having a period shorter than the horizontal scan period, similar to the clock signals CLX and CLK'.

[0085]

Note that in the present embodiment, four corners of the image display region are provided with vertical continuity terminals 106 for providing electrical continuity between the TFT array substrate 1 and the opposing electrodes 21 (see FIG. 3) on the opposing substrate 20 (however, two of the corners are illustrated in FIG. 4). The upper and lower conductive terminals 106 are supplied via the external input terminal 102 and the wiring 400 (LCCOM).

[0086]

Next, various specific examples of shields that can be adopted by the electro-optical device of the present embodiment are illustrated in FIG. 5 to FIG. 10, respectively. Here, FIG. 5 to FIG. 10 are each cross-sectional views illustrating the structure in the B-B' cross-section of FIG. 4 of various specific examples of the shield, respectively.

[0087]

In FIG. 5 to FIG. 10, in each specific example, the wiring 400 (VID1) to the wiring 400 (VID12), which are image signal lines, are configured from the same conductive film as the capacitance line 300 in the image display region (for example, a multilayer film including a conductive polysilicon film and a conductive metal silicide film), and these wiring 400 are at least electrically shielded by a shield composed of the same film (for example, an Al film) as the data line 6a in the image display region.

[0088]

That is, in the specific example of FIG. 5, the wiring 400 composed of the same conductive film as the capacitance line 300 is electrically shielded by an upward shield 401a composed of the same conductive film as the data line 6a formed in the region covering each wiring 400 from above. In particular, in this specific example, the upward shield 401a is divided by one wiring 400, and thus each wiring 400 can be electrically shielded from all other wiring 400.

[0089]

In the specific example of FIG. 6, the wiring 400 composed of the same conductive film as the capacitance line 300 is electrically shielded by an upward shield 401b composed of the same conductive film as the data line 6a formed in a region covering the plurality of wiring 400 collectively along the plurality of wiring 400 from above. In particular, in this specific example, the upward shield 401b is divided for each plurality of signal lines. Therefore, compared to the specific example in FIG. 5, in which an upward shield 401a is provided for each signal line, the upward shield 401b can be formed relatively easily. In this case, the plurality of signal lines, such as the plurality of pixel signal lines, for which the influence of electromagnetic waves on each other is essentially small, may be grouped together by one upward shield 401b and electrically shielded, and on the other hand, signal lines, for example, image signal lines and clock signal lines, for which the influence of electromagnetic waves on each other is essentially large, may be electrically shielded by a separate upward shield 401b. That is, this minimizes disadvantages when multiple signal lines are combined and electrically shielded.

[0090]

In the specific example of FIG. 7, in addition to the upward shield 401a illustrated in FIG. 5, the wiring 400 is electrically shielded from the vertical direction from the downward shield 11b composed of the same conductive film as the lower-side light-shielding film 11a in the image display region.

[0091]

In the specific example of FIG. 8, in addition to the upward shield 401a illustrated in FIG. 5, the wiring 400 is electrically shielded from the vertical direction from the downward shield 402 composed of the same conductive film as the scan line 3a in the image display region.

[0092]

In the specific example of FIG. 9, the wiring 400 is electrically shielded from the vertical and horizontal directions by the upward shield 401c and the downward shield 11b as in FIG. 7, in addition to side shields 401d extended from the same conductive film as the upward shield 401c and embedded in holes dug in grooves along the wiring 400 in the base insulating film 12, the first interlayer insulation film 41, the dielectric film 75, and the second interlayer insulating film 42. In particular, in this specific example, the shield is electrically shielded throughout the circumference of each wiring 400, and thus adverse effects from electromagnetic waves between the plurality of wiring 400 can be minimized.

[0093]

In the specific example of FIG. 10, the wiring 400 is electrically shielded from the vertical and horizontal directions by the upward shield 401c and downward shield 402 as in FIG. 8, in addition to side shields 401e extended from the same conductive film as the upward shield 401c and embedded in holes dug in grooves along the wiring 400 in the first interlayer insulation film 41, dielectric film 75, and second interlayer insulating film 42. In particular, in this specific example, the shield is electrically shielded throughout the circumference of each wiring 400, and thus adverse effects from electromagnetic waves between the plurality of wiring 400 can be minimized.

As described above, according to the electro-optical device of the present embodiment, in the image display region, a second conductive film that forms the data line 6a is laminated on the first conductive film that forms the capacitance line 300 via the interlayer insulation film. In the peripheral region, the wiring 400 connected to the peripheral circuit is formed from one of the first conductive film and the second conductive film, and a shield for electrically shielding the wiring 400 from at least one direction (for example, upward or downward) is formed from the other of the first conductive film and the second conductive film. Therefore, it is possible to effectively reduce the electromagnetic noise interference into image signals and the like on the wiring 400 of image signal lines and the like. Moreover, a dedicated film does not need to be formed separately to form the wiring 400 and the shield in the peripheral region, which is also advantageous in terms of simplifying the device configuration and the manufacturing process. In particular, when the pixel pitch is reduced and the driving frequency is increased to improve image quality, generally the noise associated with such signal lines (for example, electromagnetic noise from a control signal line such as a clock signal line or a waveform selection signal line to an image signal line on an image signal line, electromagnetic noise from an external device or other circuit to an image signal line on an image signal line, and electromagnetic noise from a control signal line such as a clock signal line or a waveform selection signal line to an external device or other circuit, and the like)

increases relatively (that is, S/N decreases). Therefore, a configuration in which the wiring 400 of image signal lines, control signal lines, and the like, which are wired in the peripheral region as in the present embodiment, is electrically shielded by a shield such as the upward shield 401a, 401b, or 401c, the downward shield 11b or 402, or the side shields 401d or 401e is very advantageous in terms of reducing the pixel pitch or increasing the driving frequency.

[0094]

Furthermore, in the present embodiment, the image signal line is electrically shielded as the wiring 400 in particular, and thus it is possible to effectively reduce the electromagnetic noise interference from other signal lines as noise sources or from wiring or circuits or elements into the image signal lines S1, S2, ... Therefore, ultimately, it is possible to display a high-quality image in the image display region based on image signals S1, S2, ... having a high S/N.

[0095]

In the embodiment described above, a relay wiring 305 or a sampling circuit drive signal line 306 that relays the image signal line and the sampling circuit 301 illustrated in FIG. 4 may be electrically shielded from above, below or the sides as illustrated in FIG. 5 to FIG. 10. In this manner, it is possible to effectively reduce electromagnetic noise interference in the image signals S1, S2, ... on the relay wiring 305 and the diving of electromagnetic noise into the sampling circuit drive signals Q1, Q2, ... on the sampling circuit drive signal line 306. These relay wiring 305 and the sampling circuit drive signal line 306 include portions facing the opposing electrode 21 provided on the opposing substrate 20, and thus are particularly effective when electrically shielded by an upward shield disposed between these wirings and the opposing electrode 21 from the perspective of reducing the parasitic capacitance between them.

[0096]

In the embodiment described above, the wiring 400 (CLX) and the wiring 400 (CLX') as clock signal lines, and the wiring 400 (ENB1) and the wiring 400 (ENB2) as waveform selection signal lines may be electrically shielded from above, below, or the sides as illustrated in FIG. 5 to FIG. 10. When configured in this manner, it is possible to effectively prevent high-frequency and powerful electromagnetic noise caused by a high-frequency and high-potential control signal that is on these control signal lines and is generally an easy source of noise for image signals from interfering with the image signal on the image signal lines and the like.

[0097]

In the electro-optical device of the present invention described above (including each embodiment), the shield is preferably fixed to a ground potential or other constant potential. In this case, it is more preferable that the image signal line (wiring 400 (VID1), wiring 400 (VID2), ..., and the like) and the control signal line (wiring 400 (CLX), wiring 400 (CLX'), ..., and the like) are electrically shielded separately and fixed to different constant potentials. When configured in this manner, it is possible to prevent situations in which these potential changes mutually affect both signal lines via the same constant potential wiring. For example, the image signal line may be electrically shielded at a low potential by connecting it to a low potential (ground potential or about several volts) first constant potential line, and the control signal line may be electrically shielded at a high potential by connecting it to a high potential (about ten volts) second constant potential line.

[0098]

In addition, in the present embodiment, it is preferable that the shield and the main line or branch wiring of the power supply wiring are shared. When configured in this manner, the shield can be fixed to a constant potential while trying to simplify the device configuration and manufacturing process. Moreover, the region occupied by the shield in the peripheral region is allocated to the power supply wiring, and thus the power supply wiring can be configured to be wide with relative ease. Moreover, by forming the shield wider, the performance of the shield is also improved, which is even more advantageous.

[0099]

Furthermore, in the various specific examples illustrated in FIG. 5 to FIG. 10, the wiring 400 is formed from the same conductive film as the capacitance line 300 and the shield is formed from a different conductive layer than the capacitance line 300, but the wiring 400 may be formed from the same conductive film as the data line 6a and the shield may be formed from a different conductive layer than the data line 6a, the wiring 400 may be formed from the same conductive film as the scan line 3a and the shield may be formed from a different conductive layer than the scan line 3a, or the wiring 400 may be formed from the same conductive film as the

lower-side light-shielding film 11a and the shield may be formed from a different conductive layer than the lower-side light-shielding film 11a.

[0100]

Furthermore, it is also possible to form a portion of the shield from the same membrane as the wiring, and in this case, it is possible to electrically shield the shield mainly from the side. In the present embodiment, as illustrated in FIG. 4, the wiring 400 (VSSY) supplying the negative power source VSSY and the wiring 400 (VSSX) supplying the negative power source VSSY enclose the wiring 400 (VID2), the wiring 400 (VID4), the wiring 400 (VID6), and the like, which are image signal lines, and function as image signal shield lines. Similarly, in the same plane, a wiring 400 (VDDY) for supplying a positive power source VDDY and a wiring 400 (VSSX) for supplying a negative power source VSSX are connected to a wiring 400 (VID1), wiring 400 (VID3), wiring 400 (VID5), ..., which are image signal lines, and functions as an image signal shield line. Furthermore, the wiring 400 (VDDX) supplying the positive power supply VDDX also surrounds control signal lines such as the wiring 400 (CLX) and the wiring 400 (CLX'), which are clock signal lines, in the same plane, and functions as a control signal shield line. Similarly, the wiring 400 (VDDY) supplying the positive power source VDDY also surrounds control signals such as wiring 400 (CLY) and wiring 400 (CLY'), which are clock signal lines, in the same plane, and functions as a control signal shield line. In particular, as illustrated by the dashed line in FIG. 4, the two tips of the wiring 400 (VDDX) as the control signal shield line may be connected to each other by a connection unit 93, or similarly, the two tips of the wiring 400 (VSSX) as the image signal shield line may be connected to each other by a connection unit 91.

[0101]

Furthermore, both of the two stacked conductive films may be formed of low-resistance Al films, whereby low-resistance wiring can be electrically shielded by low-resistance conductive films, resulting in a configuration in which electromagnetic noise is extremely unlikely to occur.

[0102]

In the embodiment described above, as illustrated in FIG. 3, the formation of steps along regions of the data line 6a and the scan line 3a on the underlying surface of the pixel electrode 9a (that is, the surface of the third interlayer insulating film 43) caused by stacking many conductive layers is mitigated by planarizing the surface of the third interlayer insulating film 43; however, instead of or in addition to this, planarization may be performed by forming grooves in the TFT array substrate 10, the base insulating film 12, the first interlayer insulating film 41, the second interlayer insulating film 42, or the third interlayer insulating film 43 and embedding wiring such as the data line 6a and TFT 30 therein, or by polishing the step on the upper surface of the second interlayer insulating film 42 through CMP (Chemical Mechanical Polishing) or the like, or by forming a flat surface using organic SOG, thereby achieving the planarization process.

[0103]

In the embodiment described above, the pixel switching TFT 30 preferably has an LDD structure as illustrated in FIG. 3; however, the TFT may have an offset structure without impurity implantation in the low concentration source region 1b and the low concentration drain region 1c, or may be a self-aligned type TFT in which the gate electrode portion constituting part of the scan line 3a is used as a mask to implant impurities at high concentration and thereby form the high-concentration source and drain regions in a self-aligned manner. In the present embodiment, a single-gate structure is adopted in which only one gate electrode of the pixel switching TFT 30 is disposed between the high concentration source region 1d and the high concentration drain region 1e, but two or more gate electrodes may be disposed between these regions. In this manner, by configuring the TFT with a dual-gate, triple-gate, or higher-order gate structure, it is possible to prevent leakage current at the junctions between the channel and the source and drain regions, thereby reducing the off-state current.

[0104]

In addition, as a modification of the embodiments of the present invention described above, in the peripheral region, in place of or in addition to providing various shields for the wiring 400 as illustrated in FIG. 5 to FIG. 10, one of the four conductive films, namely the capacitance line 300, the data line 6a, the scan line 3a, and the lower-side light-shielding film 11a, is used to form control signal lines, such as wiring 400 (CLX) and wiring 400 (CLY), while another of these four conductive films is used to form image signal lines, such as wiring 400 (VID1) and wiring 400 (VID2). By configuring in this manner, compared to the case where these two types of

signal lines are formed in the same plane by patterning the same conductive film, the two signal lines are divided in a direction perpendicular to the substrate and an interlayer insulating film is disposed between the signal lines, so that noise interference between the signal lines can be reduced, which is advantageous. That is, even without a shield, noise can be reduced by forming the two types of signal lines so as to be separated in a direction perpendicular to the substrate. Furthermore, by combining such a configuration with the various shields in this manner, the effect of reducing electromagnetic noise can be further enhanced.

[0105]

(Overall Configuration of Electro-Optical Device)

The overall configuration of the electro-optical device in each of the embodiments constructed as described above will be described with reference to FIG. 11 and FIG. 12. Note that FIG. 11 is a plan view of the TFT array substrate 10 together with each constituent element formed thereon from the side of the opposing substrate 20, and FIG. 12 is an H-H' cross-sectional view of FIG. 11.

[0106]

In FIG. 12, a sealant 52 is provided along the edge of the TFT array substrate 10, and a light-shielding film 53 serving as a bezel defining the periphery of the image display region 10a is provided in parallel on the inner side thereof. In the region outside the sealant 52, the data line drive circuit 101 and external circuit connection terminals 102 are provided along one edge of the TFT array substrate 10, and the scan line drive circuit 104 is provided along the two edges adjacent to this edge. It goes without saying that the scan line drive circuit 104 may be provided on only one side insofar as the scan signal delay supplied to the scan line 3a is not problematic. Furthermore, the data line drive circuit 101 may be arranged on both sides along the side of the image display region 10a. Furthermore, on the remaining edge of the TFT array substrate 10, a plurality of wirings 105 are provided to connect the scan line drive circuits 104 provided on both sides of the image display region 10a. In addition, at least one corner portion of the opposing substrate 20, a vertical conductive member 106 is provided to establish electrical conduction between the TFT array substrate 10 and the opposing substrate 20. In addition, the sampling circuit 301 illustrated in FIG. 4 is provided in the frame region. Then, as illustrated in FIG. 12, the opposing substrate 20, having approximately the same contour as the sealant 52 illustrated in FIG. 11, is bonded to the TFT array substrate 10 by the sealant 52.

[0107]

In addition to the data line drive circuits 101, the scan line drive circuits 104, and the sampling circuits 301, a pre-charge circuit for supplying a pre-charge signal of a predetermined voltage level to each of the plurality of data lines 6a prior to the image signal, and a test circuit for inspecting the quality, defects, and the like of the electro-optical device during manufacturing or shipment may also be formed on the TFT array substrate 10.

[0108]

In the embodiments described above with reference to FIG. 1 to FIG. 12, instead of providing the data line drive circuit 101 and the scan line drive circuit 104 on the TFT array substrate 10, these circuits may be electrically and mechanically connected to a driver LSI mounted on, for example, a TAB (Tape Automated bonding) substrate via an anisotropic conductive film provided at the periphery of the TFT array substrate 10. On both the side of the opposing substrate 20 where incident projected light enters and the side of the TFT array substrate 10 where emitted light exits, polarizing films, phase retardation films, polarizers, and the like are arranged in predetermined directions according to the operating mode, such as TN mode, VA (Vertically Aligned) mode, PDLC (Polymer Dispersed Liquid Crystal) mode, or according to whether a normally white mode or normally black mode is employed.

[0109]

The electro-optical device according to the embodiment described above is applied to a projector, wherein three electro-optical devices are respectively used as light valves for RGB, and light of each color separated by dichroic mirrors for RGB color separation is incident on each light valve as projected light. Therefore, in each embodiment, a color filter is not provided on the opposing substrate 20. However, a color filter of RGB, together with its protective film, may be formed on the opposing substrate 20 in a predetermined region facing the pixel electrode 9a. By configuring in this manner, the electro-optical device according to each of the embodiments can be applied to direct-view or reflective-type color electro-optical devices other than projectors. Furthermore, a microlens may be formed so as to correspond to each pixel on the opposing substrate 20. Alternatively, a color filter layer may be formed beneath the pixel electrode 9a, corresponding to RGB, on the

TFT array substrate 10 using a color resist or the like. By configuring in this manner, a bright electro-optical device can be realized by improving the light collection efficiency of the incident light. Furthermore, a dichroic filter that produces RGB colors by utilizing light interference may be formed on the opposing substrate 20 by depositing multiple interference layers having different refractive indices. According to the opposing substrate provided with the dichroic filter, a brighter color electro-optical device can be realized.

[0110]

The present invention is not limited to the embodiments described above, various modifications may be made without departing from the spirit or scope of the invention as set forth in the claims and the overall disclosure of the specification, and electro-optical devices and methods of manufacturing the same involving such modifications are also included within the technical scope of the present invention.

[Brief Description of Drawings]

[FIG. 1] An equivalent circuit of various elements, wiring, and the like provided in a plurality of pixels in a matrix shape constituting an image display region in the electro-optical device according to an embodiment of the present invention.

[FIG. 2] A plan view of a plurality of adjacent pixel groups of a TFT array substrate in which data lines, a scan line, a pixel electrode, and the like are formed in the electro-optical device according to the embodiment.

[FIG. 3] A cross-sectional view along the line A-A' in FIG. 2.

[FIG. 4] A schematic plan view illustrating the configuration of various wirings such as shields and peripheral circuits provided on the TFT array substrate in the present embodiment.

[FIG. 5] A B-B' cross-sectional view of FIG. 4 according to one specific example of a shield that can be adopted in the present embodiment.

[FIG. 6] A B-B' cross-sectional view of FIG. 4 according to another specific example of a shield that can be adopted in the present embodiment.

[FIG. 7] A B-B' cross-sectional view of FIG. 4 according to another specific example of a shield that can be adopted in the present embodiment.

[FIG. 8] A B-B' cross-sectional view of FIG. 4 according to another specific example of a shield that can be adopted in the present embodiment.

[FIG. 9] A B-B' cross-sectional view of FIG. 4 according to another specific example of a shield that can be adopted in the present embodiment.

[FIG. 10] A B-B' cross-sectional view of FIG. 4 according to another specific example of a shield that can be adopted in the present embodiment.

[FIG. 11] A plan view of the TFT array substrate in the electro-optical device according to the embodiment, viewed from the side of the opposing substrate, together with the constituent elements formed thereon.

[FIG. 12] A cross-sectional view along the line H-H' in FIG. 11.

[Description of Reference Numerals]

1a ... Semiconductor layer

1a' ... Channel region

1b ... Low concentration source region

1c ... Low concentration drain region

1d ... High concentration source region

1e ... High concentration drain region

2 ... Insulating thin film

3a ... Scan line

6a ... Data line

9a ... Pixel electrode

10 ... TFT array substrate

11a ... Lower light-shielding film

12 ... Base insulating film

16 ... Alignment film

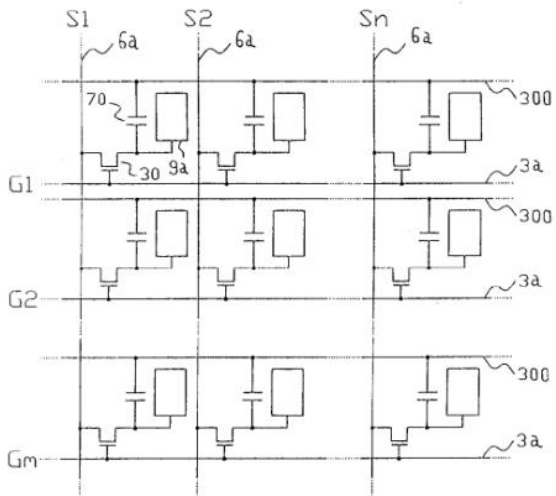
20 ... Opposing substrate

21 ... Opposing electrode

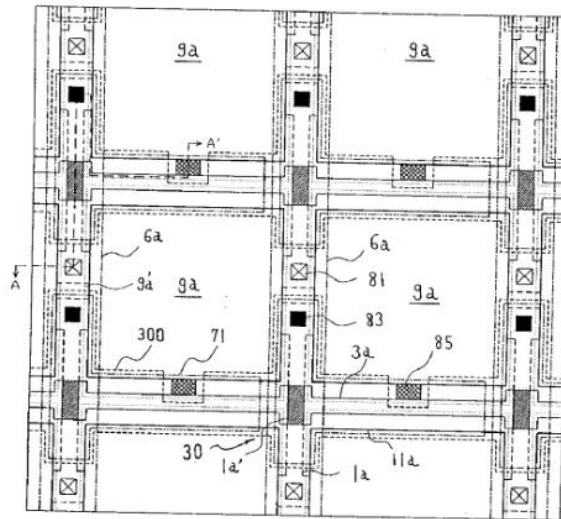
22 ... Alignment film

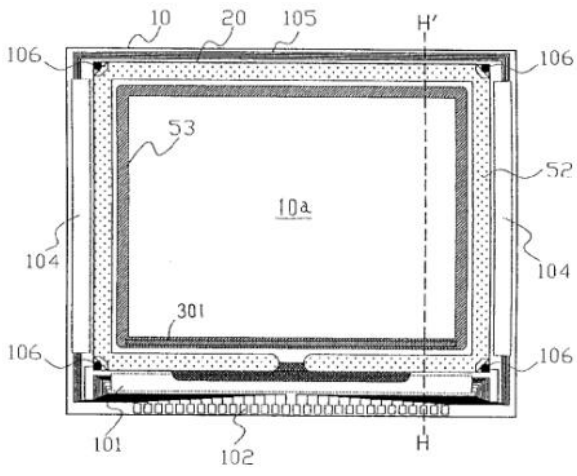
- 30 ... TFT
- 50 ... Liquid crystal layer
- 70 ... Accumulated capacitance
- 71 ... Relay layer
- 75 ... Dielectric layer
- 81, 83, 85 ... Contact hole
- 101 ... Data line drive circuit
- 101a ... Shift register circuit
- 101b ... Waveform control circuit
- 101c ... Buffer circuit
- 104 ... Scan line drive circuit
- 300 ... Capacitance line
- 301 ... Sampling circuit
- 302 ... Sampling circuit TFT
- 305 ... Relay wiring
- 306 ... Sampling circuit drive signal line
- 400 ... Wiring
- 401a, 401b, 401c ... Upward shield
- 401d, 401e ... Side shields
- 402 ... Lower shield

[FIG. 1]

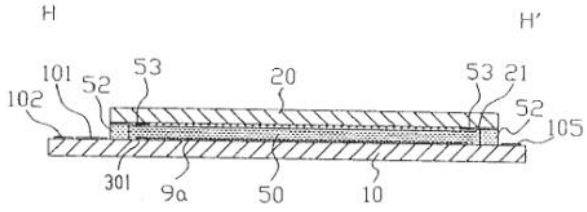


[FIG. 2]





[FIG. 12]



Continued from Front Page

(51) Int.Cl.**FI****G 0 9 F 9/30 3 3 0 Z****G 0 9 F 9/30 3 3 8**

(56) Reference Documents JP H11-202367 A (JP, A)
 JP H05-053135 A (JP, A)
 JP H06-011684 A (JP, A)
 JP H10-048663 A (JP, A)
 JP 2000-162634 A (JP, A)
 JP H08-328042 A (JP, A)
 JP H08-146448 A (JP, A)
 JP H04-056828 A (JP, A)

(58) Searched Fields (Int.Cl., DB Name)**G02F 1/1345****G02F 1/1343****G02F 1/1362****G09F 9/00 - 9/46**

TRANSLATOR'S DECLARATION

Date: July 30, 2025

I, Eric Vance, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of: JP3858572_B2.

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.



Signature

Eric Vance

Print

Questel Confidential: Limited External Use

4001 S 700 East, Suite 500 #B17
Salt Lake City, UT 84107

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3858572号
(P3858572)

(45) 発行日 平成18年12月13日(2006.12.13)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.

F I

GO2F	1/1345	(2006.01)	GO2F	1/1345	
GO2F	1/1343	(2006.01)	GO2F	1/1343	
GO2F	1/1368	(2006.01)	GO2F	1/1368	
GO9F	9/00	(2006.01)	GO9F	9/00	309Z
GO9F	9/30	(2006.01)	GO9F	9/00	348C

請求項の数 14 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2000-236195 (P2000-236195)
 (22) 出願日 平成12年8月3日(2000.8.3)
 (65) 公開番号 特開2002-49052 (P2002-49052A)
 (43) 公開日 平成14年2月15日(2002.2.15)
 審査請求日 平成15年12月1日(2003.12.1)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 村出 正夫
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【特許請求の範囲】

【請求項1】

基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第1導電膜からなる容量線と、該第1導電膜上に層間絶縁膜を介して積層された第2導電膜からなるデータ線とを備え、

前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に接続されており前記第1導電膜からなる信号線と、前記第2導電膜からなり前記信号線を上方から電気遮蔽するシールドとを備えたことを特徴とする電気光学装置。

【請求項2】

前記シールドは、前記信号線を上方から電気遮蔽する本線部と該本線部から延設されて少なくとも前記層間絶縁膜に掘られた溝内に埋め込まれる側壁部分を更に有し、前記本線部及び前記側壁部分により前記信号線の断面上で見て前記信号線を三方から電気遮蔽することを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記シールドは、前記信号線の下方に他の層間絶縁膜を介して積層された他の導電膜からなる底壁部分を更に有し、前記本線部、前記側壁部分及び前記底壁部分により前記信号線を前記信号線の断面上で見て四方から電気遮蔽することを特徴とする請求項2に記載の電気光学装置。

【請求項4】

10

20

前記信号線は、画像信号を供給する画像信号線を含むことを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 5】

前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、
前記信号線は、前記画像信号を供給する画像信号線と前記サンプリング回路とを中継接続する中継配線を含むことを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

【請求項 6】

前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、
前記信号線は、前記サンプリング回路のゲート信号線を含むことを特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。 10

【請求項 7】

前記信号線は、クロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】

前記信号線は、画像信号を供給する画像信号線とクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線とを含み、
前記シールドは、前記画像信号線を電気遮蔽する第 1 部分と、前記制御信号線を電気遮蔽する第 2 部分とを含み、 20

前記第 1 部分は第 1 定電位に固定され且つ前記第 2 部分は前記第 1 定電位とは異なる第 2 定電位に固定されることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】

前記シールドは、1 本の信号線毎に分断されていることを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 10】

前記シールドは、複数の信号線毎に分断されていることを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 11】 30

前記第 1 導電膜及び前記第 2 導電膜のうち少なくとも一方は、金属を含有する膜から形成されたことを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 12】

前記画像表示領域に、前記基板上において前記第 1 導電膜よりも下方に積層された第 3 導電膜からなる走査線を更に備え、

前記周辺領域に、前記信号線を下方から電気遮蔽する前記第 3 導電膜からなる他のシールドを更に備えたことを特徴とする請求項 1 から 11 のいずれか一項に記載の電気光学装置。

【請求項 13】 40

前記画像表示領域に、前記データ線と前記画素電極との間に接続された薄膜トランジスタと、該薄膜トランジスタの少なくともチャネル領域を遮光する前記基板上において前記第 1 導電膜及び前記薄膜トランジスタよりも下方に積層された導電性の遮光膜とを更に備え、

前記周辺領域に、前記信号線を下方から電気遮蔽する前記遮光膜からなる他のシールドを更に備えたことを特徴とする請求項 1 から 12 に記載の電気光学装置。

【請求項 14】

前記シールドは、電源配線の本線又は分岐配線からなることを特徴とする請求項 1 から 13 のいずれか一項に記載の電気光学装置。

【発明の詳細な説明】

【0001】 50

【発明の属する技術分野】

本発明は、液晶装置等の電気光学装置の技術分野に属し、特に、TFTアレイ基板上の周辺領域に設けられたデータ線駆動回路、サンプリング回路等の周辺回路により画像信号、クロック信号等に応じてデータ線を駆動する形式の電気光学装置の技術分野に属する。

【0002】

【背景技術】

TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数の画素電極がTFTアレイ基板上に設けられている。そして、これらに加えて、データ線駆動回路、サンプリング回路、走査線駆動回路等の周辺回路、更にこのような周辺回路に接続された画像信号線や制御信号線（例えば、クロック信号線や波形選択信号線）などの信号線が、係るTFTアレイ基板上の周辺領域に設けられる場合がある。 10

【0003】

この場合、データ線駆動回路には、画像信号の供給タイミングの基準となる基準クロック（以下、X側基準クロックと称す）や所謂ゴーストの発生を防ぐための波形選択信号などの制御信号、表示すべき画像の内容に対応する画像信号、正や負の定電位電源等が、TFTアレイ基板に設けられた外部入力端子及び配線を介して夫々供給される。他方、走査線駆動回路には、走査信号の供給タイミングの基準となる基準クロック（以下、Y側基準クロックと称す）、正や負の定電位電源等が、やはりTFTアレイ基板に設けられた外部入力端子及び配線を介して供給される。そして例えば、走査線駆動回路により、Y側基準クロックに基づくタイミングで走査信号を走査線に線順次で供給する。これに対応してデータ線駆動回路が、入力された画像信号をサンプリングするサンプリング回路を、X側基準クロックに基づくタイミングで順次駆動して、サンプリング回路から画像信号がデータ線に供給される。これらの結果、走査線にゲート接続された各TFTは、走査信号の供給に応じて導通状態とされ、画像信号がデータ線及び当該TFTを介して画素電極に供給されて各画素における画像表示が行われる。 20

【0004】

近年特に、表示画像の高解像度化に伴って、非常に高い周波数のシリアルな画像信号が入力されるようになってきている。例えば、画像信号のドット周波数は、近時の高解像度のパソコン画面において使用されるXGA表示モードでは約65MHzであり、SXGA表示モードでは約135MHzであり、従来のVGA表示モードにおけるドット周波数（約30MHz）を遥かに上回る。これに対応すべく、特にデータ線駆動回路に供給されるX側基準クロックの周波数も非常に高くなる。更に、このように高い画像信号の周波数を、サンプリング回路でサンプリング可能な程度の周波数に落とすために、電気光学装置に入力される前段階で、高周波数のシリアルな画像信号を複数のパラレルな画像信号にシリアル-パラレル変換する処理が行われている。例えば、前述のVGA表示モードでは、6個程度のパラレルな画像信号への変換が行われており、XGA表示モードやSXGA表示モードでは、サンプリング回路の性能に応じて、例えば12個或いは24個程度のパラレルな画像信号への変換が必要となる。 30

【0005】

【発明が解決しようとする課題】

しかしながら、近年の表示画像の高品位化の要請の下では、このように基準クロックの周波数を高くすることによる、高周波のクロックノイズの発生が無視し得ないようになる。即ち、例えば従来の比較的周波数の低いX側基準クロックをデータ線駆動回路に供給してサンプリング回路を駆動する構成において、そのままクロック信号の周波数を上げたのでは、サンプリング回路に入力される画像信号中やサンプリング回路から出力される画像信号中に高周波のクロックノイズが発生して、データ線に供給すべき画像信号が変化してしまう。このように変化した画像信号の供給を受けたのでは、各画素電極により表示される画像もやはり変化してしまうという問題点がある。例えば、各画素において中間レベルの階調表示を行う時に、数mV～数十mV程度の微少なノイズが画像信号中に飛び込んだら 40 50

けでも、表示画像中に視認可能な程度のノイズとして現れてしまう。これは、最高又は最低の液晶駆動電圧（例えば、0～5V間の電圧）に対応する白又は黒レベルの表示を行っている場合と比べて、中間レベルにおける液晶駆動電圧の変化に対する液晶の透過率の変化が急峻だからである。このように高精度の多階調表示を実現するためには、高周波のクロックノイズの問題は重大である。

【0006】

他方で、前述のようにシリアル-パラレル変換によるパラレルな画像信号の個数を増やすことによりサンプリング回路に供給される画像信号の周波数を下げることはできるが、電気光学装置の基板に設けねばならない画像信号入力用の外部入力端子の数や画像信号線の数は、このパラレルな画像信号の個数の増加に対応して増やさねばならない。従って、限られた基板上の周辺領域に多数の信号線を極めて近接配置せねばならず、結果として、近接配置された一の信号線（例えば、クロック信号線）をノイズ源として他の信号線（例えば、画像信号線）上の信号中に飛び込むノイズが増大してしまうという問題点が生ずる。しかも、シリアル-パラレル変換によるパラレルな画像信号の個数を増やす程、画素電極への書き込み能力不足に起因して発生するブロックゴースト（即ち、パラレルな画像信号が供給される複数のデータ線に対応する画素電極群を一纏めとして発生するブロック状のゴースト）が画像表示領域内に占める面積が増加する。この結果、ブロックゴーストが視覚上目立つようになるという深刻な問題も生じる。

10

【0007】

本発明は上述の問題点に鑑みなされたものであり、基板上の周辺領域に設けられた信号線上の信号におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

20

【0008】

【課題を解決するための手段】

本発明の電気光学装置は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第1導電膜からなる容量線と、該第1導電膜上に層間絶縁膜を介して積層された第2導電膜からなるデータ線とを備え、前記基板上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に接続されており前記第1導電膜及び前記第2導電膜の一方からなる信号線と、該信号線を少なくとも一方向から電気遮蔽する前記第1導電膜及び前記第2導電膜の他方からなるシールドとを備える。

30

【0009】

本発明の電気光学装置によれば、画像表示領域では、容量線をなす第1導電膜上に、データ線をなす第2導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第1導電膜及び第2導電膜の一方から、周辺回路に接続された信号線が形成されており、これら第1導電膜及び第2導電膜の他方から、信号線を少なくとも一方向（例えば、上方や下方）から電気遮蔽するシールドが形成されている。従って、容量線をなす第1導電膜を利用して周辺領域における信号線を形成しつつ、データ線をなす第2導電膜を利用して係る信号線を電気遮蔽することにより、信号線上の信号への電磁ノイズの飛び込みを効果的に低減でき、又は信号線からの電磁ノイズの発生を効果的に低減できる。或いは、信号線をなす第2導電膜を利用して周辺領域における信号線を形成しつつ、容量線をなす第1導電膜を利用して係る信号線を電気遮蔽することにより、信号線上の信号への電磁ノイズの飛び込みを効果的に低減でき、又は信号線からの電磁ノイズの発生を効果的に低減できる。しかも、いずれの場合にも、周辺領域に信号線やシールドを形成するために専用の膜を別途形成しないで済むので、装置構成及び製造工程を簡略化する上でも有利である。特に、画像品位の向上のために画素ピッチを微細化し駆動周波数を高めた場合に、一般にこのような信号線に係るノイズは相対的に増加する。従って、本発明のように周辺領域に配線された画像信号線、制御信号線等の信号線を電気遮蔽する構成は、画素ピッチを微細化し或いは駆動周波数を高める上で大変有利である。

40

【0010】

50

尚、本発明における周辺回路のうち「データ線の駆動に係る回路」とは、例えばデータ線を駆動するデータ線駆動回路の他、データ線駆動回路からのサンプリング回路駆動信号による制御を受けて複数のデータ線に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路等を含む、データ線の駆動或いはデータ線への画像信号の供給に関連する回路を全て含む広い意味である。また、「周辺回路」とは、このようなデータ線の駆動に係る回路以外に、例えば走査線の駆動に係る回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等の周辺領域に作りこまれる任意の回路をいう。

【0011】

10

以上の結果、比較的簡単な装置構成により、画像信号等におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を実現できる。

【0012】

本発明の電気光学装置の一態様では、前記シールドは、前記第2導電膜からなり、前記第1導電膜からなる前記信号線を上方から電気遮蔽する。

【0013】

この態様によれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜からなるシールドにより上方から電気遮蔽される。従って、各信号線の主に上方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを効果的に低減できる。

20

【0014】

この態様では、前記シールドは、前記信号線を上方から電気遮蔽する本線部と該本線部から延設されて少なくとも前記層間絶縁膜に掘られた溝内に埋め込まれる側壁部分を更に有し、前記本線部及び前記側壁部分により前記信号線の断面上で見て前記信号線を三方から電気遮蔽するように構成してもよい。

【0015】

このように構成すれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜からなるシールドにより上方及び側方の三方から電気遮蔽される。従って、各信号線の主に上方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。

30

【0016】

この場合更に、前記シールドは、前記信号線の下方に他の層間絶縁膜を介して積層された他の導電膜からなる底壁部分を更に有し、前記本線部、前記側壁部分及び前記底壁部分により前記信号線を前記信号線の断面上で見て四方から電気遮蔽するように構成してもよい。

【0017】

このように構成すれば、第1導電膜からなる画像信号線等の信号線は、第2導電膜及び他の導電膜からなるシールドにより上方、側方及び下方の四方から電気遮蔽される。従って、各信号線の四方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを非常に効果的に低減できる。

40

【0018】

本発明の電気光学装置の他の態様では、前記シールドは、前記第1導電膜からなり、前記第2導電膜からなる前記信号線を下方から電気遮蔽する。

【0019】

この態様によれば、第2導電膜からなる画像信号線等の信号線は、第1導電膜からなるシールドにより下方から電気遮蔽される。従って、各信号線の主に下方や側方に位置するノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを効果的に低減できる。

【0020】

本発明の電気光学装置の他の態様では、前記信号線は、画像信号を供給する画像信号線を

50

含む。

【0021】

この態様によれば、周辺領域において、画像信号線は電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの画像信号線上の画像信号への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像信号に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0022】

本発明の電気光学装置の他の態様では、前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記画像信号を供給する画像信号線と前記サンプリング回路とを中継接続する中継配線を含む。

10

【0023】

この態様によれば、周辺領域において、中継配線はシールドされているので、ノイズ源としての他の信号線や配線或いは回路や素子からの中継配線上的画像信号への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像信号に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。特に、対向基板に設けられる対向電極に対向する中継配線部分については、当該中継配線部分と対向電極との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると効果的である。

【0024】

本発明の電気光学装置の他の態様では、前記周辺回路は、画像信号をサンプリングするサンプリング回路を含み、前記信号線は、前記サンプリング回路のゲート信号線を含む。

20

【0025】

この態様によれば、周辺領域において、サンプリング回路のゲート信号線はシールドされているので、ノイズ源としての他の信号線や配線或いは回路や素子からのゲート信号線上の制御信号（例えば、データ線駆動回路から出力されるサンプリング回路駆動信号）への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的にサンプリング回路における高精度のサンプリング動作により、画像表示領域において高品位の画像表示を行うことが可能となる。特に、対向基板に設けられる対向電極に対向するゲート信号線部分については、当該ゲート信号線部分と対向電極との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると効果的である。

30

【0026】

本発明の電気光学装置の他の態様では、前記信号線は、クロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線を含む。

【0027】

この態様によれば、周辺領域において、制御信号線は電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの制御信号線上の制御信号への電磁ノイズの飛び込みを効果的に低減できる。更に、一般に高周波数や高電位である制御信号は画像信号に対するノイズ源となり易い。従って、このように制御信号線を電気遮蔽することにより、ノイズ源としての当該制御信号線からの、他の信号線たる画像信号線等に供給される画像信号等への電磁ノイズの飛び込みを効果的に低減できる。よって、最終的に高いS/Nを持つ制御信号や画像信号等に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

40

【0028】

尚、以上説明した本発明の電気光学装置（各実施形態を含む）では、シールドは、好ましくは接地電位や他の定電位に固定される。

【0029】

本発明の電気光学装置の他の態様では、前記信号線は、画像信号を供給する画像信号線とクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給する制御信号線とを含み、前記シールドは、前記画像信号線を電気遮蔽する第1部分と、前記制御信号線を電気遮蔽する第2部分とを含み、前記第1部分は第1定電位に固定され且つ前記第2

50

部分は前記第1定電位とは異なる第2定電位に固定される。

【0030】

この態様によれば、周辺領域において、画像信号線はシールドの第1部分により電気遮蔽されており、制御信号線はシールドの第2部分により電気遮蔽されているので、ノイズ源としての他の信号線や配線或いは回路や素子からの、画像信号線上の画像信号及び制御信号線への電磁ノイズの飛び込みを夫々効果的に低減できる。そして特に、シールドの第1部分と第2部分とは、相異なる定電位に固定されているので、同一の定電位配線を介して両信号線間でそれらの電位変動が相互に影響を及ぼす事態を未然防止できる。従って、最終的に高いS/Nを持つ画像信号や制御信号等に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

10

【0031】

本発明の電気光学装置の他の態様では、前記シールドは、1本の信号線毎に分断されている。

【0032】

この態様によれば、信号線は、1本毎に別個に電気遮蔽されているので、各信号線を他の全ての信号線から電気遮蔽できる。即ち、複数の信号線相互間の電磁波による悪影響を極力低減できる。

【0033】

本発明の電気光学装置の他の態様では、前記シールドは、複数の信号線毎に分断されている。

20

【0034】

この態様によれば、信号線は、複数の信号線毎に別個に電気遮蔽されているので、1本の信号線毎にシールドを設ける場合と比較して、容易にシールドを形成できる。この際、例えば複数の画素信号線など、相互に電磁波が及ぼす影響が基本的に小さい複数の信号線を同一シールドにより纏めて電気遮蔽するようにし、他方で、例えば画像信号線とクロック信号線など、相互に電磁波が及ぼす影響が基本的に大きい信号線を相互に別個のシールドにより電気遮蔽するようにすれば、このように複数の信号線を纏めて電気遮蔽する際の不利益（即ち、同一シールドで電気遮蔽される複数の信号線相互間におけるノイズの飛び込み）を抑えることができる。

【0035】

本発明の電気光学装置の他の態様では、前記第1導電膜及び前記第2導電膜のうち少なくとも一方は、金属を含有する膜から形成される。

30

【0036】

この態様によれば、例えば、Al（アルミニウム）膜、Cr（クロム）等の金属を含有する膜から第1導電膜や第2導電膜を形成することにより、これらの導電膜の低抵抗化を容易に図ることができる。

【0037】

本発明の電気光学装置の他の態様では、前記画像表示領域に、前記基板上において前記第1導電膜よりも下方に積層された第3導電膜からなる走査線を更に備え、前記周辺領域に、前記信号線を下方から電気遮蔽する前記第3導電膜からなる他のシールドを更に備える。

40

【0038】

この態様によれば、画像表示領域では、走査線をなす第3導電膜が、容量線をなす第1導電膜よりも下方に積層されている。周辺領域では、この第3導電膜から、信号線を下方から電気遮蔽する他のシールドが形成されている。従って、第1導電膜及び第2導電膜の一方からなる画像信号線等の信号線は、第1導電膜及び第2導電膜の他方からなるシールドと、第3導電膜からなるシールドとにより上下から或いは下方から冗長的に電気遮蔽される。従って、ノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。尚、画像表示領域では、走査線及びデータ線によるアクティブマトリクス駆動或いはパッシブマトリクス駆動が可能となる。

50

【0039】

本発明の電気光学装置の他の態様では、前記画像表示領域に、前記データ線と前記画素電極との間に接続された薄膜トランジスタと、該薄膜トランジスタの少なくともチャネル領域を遮光する前記基板上において前記第1導電膜及び前記薄膜トランジスタよりも下方に積層された導電性の遮光膜とを更に備え、前記周辺領域に、前記信号線を下方から電気遮蔽する前記遮光膜からなる他のシールドを更に備える。

【0040】

この態様によれば、画像表示領域では、薄膜トランジスタの少なくともチャネル領域を遮光する遮光膜が、容量線をなす第1導電膜よりも下方に積層されている。周辺領域では、この遮光膜から、信号線を下方から電気遮蔽する他のシールドが形成されている。従って、第1導電膜及び第2導電膜の一方からなる画像信号線等の信号線は、第1導電膜及び第2導電膜の他方からなるシールドと、遮光膜からなるシールドとにより上下から或いは下方から冗長的に電気遮蔽される。従って、ノイズ源としての他の信号線や配線或いは回路や素子からの電磁ノイズの飛び込みを一層効果的に低減できる。尚、画像表示領域では、データ線及び薄膜トランジスタによるアクティブマトリクス駆動が可能となる。

【0041】

本発明の電気光学装置の他の態様では、前記基板に電気光学物質を介して対向する対向基板上に、前記複数の画素電極に対向する対向電極を更に備えており、前記シールドは、前記信号線のうち前記対向電極に対向する一部と前記対向電極との間において前記信号線の一部を上方から電気遮蔽する部分を含む。

【0042】

この態様によれば、対向基板に設けられる対向電極とこれに対向する信号線の一部との間に上方シールドが存在するので、当該信号線の一部と対向電極との間における寄生容量を低減できる。即ち、ノイズ源としての対向電極からの信号線上の画像信号等への電磁ノイズの飛び込みや、ノイズ源としての信号線からの対向電極上の定電位信号（例えば、反転しない定電位の信号、フレームやフィールド毎に反転する定電位の信号など）等への電磁ノイズの飛び込みを効果的に低減できる。

【0043】

本発明の電気光学装置の他の態様では、前記シールドは、電源配線の本線又は分岐配線からなる。

【0044】

この態様によれば、シールドは、電源配線の本線又は分岐配線からなるので、シールドを定電位に固定できる。しかも、周辺領域におけるシールドが占める領域を電源配線に割り当てることになるので、電源配線を比較的容易に幅広に構成することができ、安定した定電位を供給することも可能となる。またシールドと電源配線とを共用することで、装置構成及び製造工程の簡略化を図ることも可能となる。更に、シールドをこのように安定した定電位に固定することにより、電気遮蔽の性能も向上するので一層有利である。

【0045】

本発明の他の電気光学装置は上記課題を解決するために、基板上の画像表示領域に、複数の画素電極と、該画素電極に蓄積容量を付加するための第1導電膜からなる容量線と、該第1導電膜上に層間絶縁膜を介して積層された第2導電膜からなるデータ線とを備え、前記基板の上の前記画像表示領域の周辺に位置する周辺領域に、前記データ線の駆動に係る回路を含む周辺回路と、該周辺回路に画像信号を供給すると共に前記第1導電膜及び前記第2導電膜の一方からなる画像信号線と、該周辺回路にクロック信号及び波形選択信号のうち少なくとも一方を含む制御信号を供給すると共に前記第1導電膜及び前記第2導電膜の他方からなる制御信号線とを備える。

【0046】

本発明の他の電気光学装置によれば、画像表示領域では、容量線をなす第1導電膜上に、データ線をなす第2導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第1導電膜及び第2導電膜の一方から、画像信号線が形成されており、これら第1導電膜

及び第2導電膜の他方から、制御信号線が形成されている。従って、周辺領域において、同一導電膜をパターンングすることにより同一平面内に画像信号線と制御信号線とを形成する場合と比べると、画像信号線と制御信号線とを形成する二つの導電膜が基板に垂直な方向に離間した分だけ両者間における寄生容量は低減されたことになる。即ち、二つの信号線間の距離が大きくなるに連れて小さくなるノイズ源としての制御信号線からの画像信号線上の画像信号への電磁ノイズの飛び込み（或いはノイズ源としての画像信号線からの制御信号線上の制御信号への電磁ノイズの飛び込み）を低減できる。尚、このような構成を持つ電気光学装置に対して、上述した本発明に係る各種のシールドを設けてもよい。このように構成すれば、画送信号線と制御信号線とが基板に垂直な方向に離間したことによる電磁ノイズを低減する効果と、画像信号と制御信号線との間のシールドによる電磁ノイズを低減する効果との両者を楽しむことができる。

【0047】

以上の結果、比較的簡単な装置構成により、画像信号等におけるノイズが低減されており、高品位の画像表示が可能な電気光学装置を実現できる。

【0048】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0049】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0050】

先ず本発明の実施形態における電気光学装置の構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0051】

図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電位レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。走査線3aに並んで、蓄積容量70の固定電位側容量電極を含むと共に定電位に固定された容量線300が設けられている。

。

【0052】

図2において、電気光学装置のTFTアレイ基板には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。

【0053】

また、半導体層1aのうち図中右上がりの斜線領域で示したチャンネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する（特に、本実施形態では、走査線3aは、当該ゲート電極となる部分において幅広に形成されている）。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャンネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用のTFT30

10

【0054】

図2及び図3に示すように、蓄積容量70は、TFT30の高濃度ドレイン領域1e（及び画素電極9a）に接続された画素電位側容量電極としての中継層71と、固定電位側容量電極としての容量線300の一部とが、誘電体膜75を介して対向配置されることにより形成されている。

【0055】

中継層71は、蓄積容量70の画素電位側容量電極としての機能の他、コンタクトホール83及び85を介して、画素電極9aとTFT30の高濃度ドレイン領域1eとを中継接続する中間導電層としての機能を持つ。

20

【0056】

容量線300は平面的に見て、走査線3aに沿ってストライプ状に伸びており、TFT30に重なる個所が図2中上下に突出している。このような容量線300は好ましくは、膜厚50nm程度の導電性のポリシリコン膜等からなる第1膜と、膜厚150nm程度の高融点金属を含む金属シリサイド膜等からなる第2膜とが積層された多層構造を持つように構成される。このように構成すれば、第2膜は、容量線300或いは蓄積容量70の固定電位側容量電極としての機能の他、TFT30の上側において入射光からTFT30を遮光する遮光層としての機能を持つ。

【0057】

他方、TFTアレイ基板10上におけるTFT30の下側には、下側遮光膜11aが格子状に設けられている。下側遮光膜11aは、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）、Pb（鉛）等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

30

【0058】

そして、図2中縦方向に夫々伸びるデータ線6aと図2中横方向に夫々伸びる容量線300とが相交差して形成されること及び格子状に形成された下側遮光膜11aにより、TFTアレイ基板10上におけるTFT30の上側及び下側には夫々、平面的に見て格子状に遮光領域が構成されており、各画素の開口領域を規定している。

【0059】

また図3において、容量電極としての中継層71と容量線300との間に配置される誘電体膜75は、例えば膜厚5～200nm程度の比較的薄いHTO膜、LTO膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄い程良い。

40

【0060】

図2及び図3に示すように、データ線6aは、コンタクトホール81を介して、例えばポリシリコン膜からなる半導体層1aのうち高濃度ソース領域1dに電氣的に接続されている。尚、上述した中継層71と同一膜からなる中継層を形成して、当該中継層及び2つのコンタクトホールを介してデータ線6aと高濃度ソース領域1dとを電氣的に接続してもよい。

50

【0061】

また容量線300は、画素電極9aが配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。このような定電位源としては、TFT30を駆動するための走査信号を走査線3aに供給するための走査線駆動回路（後述する）や画像信号をデータ線6aに供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でもよいし、対向基板20の対向電極21に供給される定電位でも構わない。更に、TFT30の下側に設けられる下側遮光膜11aについても、その電位変動がTFT30に対して悪影響を及ぼすことを避けるために、容量線300と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

10

【0062】

画素電極9aは、中継層71を中継することにより、コンタクトホール83及び85を介して半導体層1aのうち高濃度ドレイン領域1eに電氣的に接続されている。即ち、本実施形態では、中継層71は、蓄積容量70の画素電位側容量電極としての機能に加えて、画素電極9aをTFT30へ中継接続する機能を果たす。このように中継層71は、層間距離が例えば1000nm程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つ以上の直列なコンタクトホールで両者間を良好に接続でき、画素開口率を高めることが可能となり、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

【0063】

図2及び図3において、電気光学装置は、TFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。

20

【0064】

図3に示すように、TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO（Indium Tin Oxide）膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0065】

他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

30

【0066】

対向基板20には、格子状又はストライプ状の遮光膜を設けるようにしてもよい。このような構成を採ることで、前述の如く遮光領域を構成する容量線300及びデータ線6aと共に当該対向基板20上の遮光膜により、対向基板20側からの入射光がチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入するのを、より確実に阻止できる。更に、このような対向基板20上の遮光膜は、少なくとも入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

40

【0067】

このように構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aと対向電極21との間に電圧が生じていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材52は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が

50

混入されている。

【0068】

更に、画素スイッチング用のTFT30下には、下地絶縁膜12が設けられている。下地絶縁膜12は、下側遮光膜11aからTFT30を層間絶縁する機能の他、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性の変化を防止する機能を有する。

【0069】

図3において、画素スイッチング用のTFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、当該走査線3aからの電界によりチャンネルが形成される半導体層1aのチャンネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。 10

【0070】

走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール81及び高濃度ドレイン領域1eへ通じるコンタクトホール83が各々開孔された第1層間絶縁膜41が形成されている。

【0071】

第1層間絶縁膜41上には中継層71及び容量線300が形成されており、これらの上には、高濃度ソース領域1dへ通じるコンタクトホール81及び中継層71へ通じるコンタクトホール85が各々開孔された第2層間絶縁膜42が形成されている。 20

【0072】

尚、本実施形態では、第1層間絶縁膜41に対しては、1000の焼成を行うことにより、半導体層1aや走査線3aを構成するポリシリコン膜に注入したイオンの活性化を図ってもよい。他方、第2層間絶縁膜42に対しては、このような焼成を行わないことにより、容量線300の界面付近に生じるストレスの緩和を図るようにしてもよい。

【0073】

第2層間絶縁膜42上にはデータ線6aが形成されており、これらの上には、中継層71へ通じるコンタクトホール85が形成された平坦化した第3層間絶縁膜43が形成されている。画素電極9aは、このように構成された第3層間絶縁膜43の上面に設けられている。 30

【0074】

本実施形態では、第3層間絶縁膜43の表面は、CMP (Chemical Mechanical Polishing: 化学的機械研磨) 処理等により平坦化されており、その下方に存在する各種配線や素子による段差に起因する液晶層50における液晶の配向不良を低減する。

【0075】

以上のように構成された本実施形態によれば、対向基板20側からTFT30のチャンネル領域1a'及びその付近に入射光が入射しようとする、データ線6a及び容量線300からなる格子状の遮光層で遮光を行う。他方、TFTアレイ基板10側から、TFT30のチャンネル領域1a'及びその付近に戻り光が入射しようとする、下側遮光膜11aで遮光を行う(特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けて来る投射光部分からなる戻り光は強力であるので、有効である。) これらの結果、TFT30の特性が光リークにより変化することは殆ど無くなり、当該電気光学装置では、非常に高い耐光性が得られる。また、データ線6a及び走査線3aが形成された各画素の非開口領域を利用して大きな蓄積容量70を構築できる。 40

【0076】

次に、図4を参照して、本実施形態における周辺領域における配線及びシールドについて説明する。ここに、図4は、本実施形態におけるTFTアレイ基板上に設けられたシールドを含む各種配線、周辺回路等の構成を示す図式的な平面図である。 50

【 0 0 7 7 】

図 5 から図 1 0 は夫々、シールド線、画像信号線及びクロック信号線等の配線の各種具体例を示す図 4 の B - B ' 断面図である。

【 0 0 7 8 】

図 4 において、液晶装置の T F T アレイ基板上における画像表示領域の周辺に位置する周辺領域には、周辺回路の一例として、データ線駆動回路 1 0 1、走査線駆動回路 1 0 4 及びサンプリング回路 3 0 1 が形成されている。

【 0 0 7 9 】

以下図 4 の説明において、T F T アレイ基板 1 の下辺に沿って複数設けられた外部入力端子 1 0 2 を介して入力される信号の配線 4 0 0 は、説明の容易化のために信号名称と同一のアルファベット記号を配線 4 0 0 の後に夫々括弧で付加して参照する（例えば、“クロック信号 C L X ”の信号配線を“配線 4 0 0 (C L X) ”と呼ぶ）ことにする。 10

走査線駆動回路 1 0 4 は、外部制御回路から外部入力端子 1 0 2 並びに配線 4 0 0 (V S S Y) 及び配線 4 0 0 (V D D Y) を介して供給される、走査線駆動回路 1 0 4 用の負電源 V S S Y 及び正電源 V D D Y を電源として用いて、スタート信号 S P Y の入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子 1 0 2 並びに配線 4 0 0 (C L Y) 及び配線 4 0 0 (C L Y ') を介して供給される、走査線駆動回路 1 0 4 の内蔵シフトレジスタ回路用の基準クロック信号 C L Y 及びその反転クロック信号 C L Y ' に基づく所定タイミングで、走査線 3 a に走査信号をパルス的に線順次で印加する。

【 0 0 8 0 】

データ線駆動回路 1 0 1 は、外部制御回路から外部入力端子 1 0 2 並びに信号配線 4 0 0 (V S S X) 及び配線 4 0 0 (V D D X) を介して供給される、データ線駆動回路 1 0 1 用の負電源 V S S X 及び正電源 V D D X を電源として用いて、スタート信号 S P X の入力により内蔵シフトレジスタ回路をスタートさせる。そして、外部入力端子 1 0 2 並びに配線 4 0 0 (C L X) 及び配線 4 0 0 (C L X ') を介して供給される、データ線駆動回路 1 0 1 の内蔵シフトレジスタ回路用の基準クロック信号 C L X 及びその反転クロック信号 C L X ' に基づき、走査線駆動回路 1 0 4 が走査信号を印加するタイミングに合わせて、外部入力端子 1 0 2 及び配線 4 0 0 (V I D 1) ~ 配線 4 0 0 (V I D 1 2) を介して供給される例えば 1 2 個の平行信号にシリアル - 平行変換された画像信号 V I D 1 ~ V I D 1 2 夫々について、データ線 6 a 毎にサンプリング回路駆動信号 Q m (m = 1、 2、 ...) をサンプリング回路 3 0 1 にサンプリング回路駆動信号線 3 0 6 を介して所定タイミングで供給する。 30

【 0 0 8 1 】

サンプリング回路 3 0 1 は、T F T 3 0 2 を各データ線 6 a 毎に備えており、配線 4 0 0 (V I D 1) ~ 配線 4 0 0 (V I D 1 2) が中継配線 3 0 5 を経由して、T F T 3 0 2 のソース電極に接続されており、サンプリング回路駆動信号線 3 0 6 が T F T 3 0 2 のゲート電極に接続されている。そして、画像信号 V I D 1 ~ V I D 1 2 が入力されると、これらの画像信号をサンプリングする。また、サンプリング回路駆動信号線 3 0 6 を介して、データ線駆動回路 1 0 1 からサンプリング回路駆動信号 Q m が入力されると、画像信号 V I D 1 ~ V I D 1 2 夫々についてサンプリングされた画像信号を、 1 2 本の隣接するデータ線 6 a からなるグループ毎に順次印加する。 40

【 0 0 8 2 】

以上のように、データ線駆動回路 1 0 1 とサンプリング回路 3 0 1 とは、 1 2 個の平行信号に変換された画像信号 V I D 1 ~ V I D 1 2 をデータ線 6 a に画像信号 S 1、S 2、... として供給するように構成されている。本実施の形態では隣接する 1 2 本のデータ線 6 a に接続されるサンプリング回路 3 0 1 を同時に選択し、 1 2 本のデータ線 6 a からなるグループ毎に順次転送していく方式を述べたが、データ線 6 a を 6 本毎に選択してもよいし、 2 4 本毎に選択してもよい。或いは、 2 本以上の任意の本数を同時に選択してもよい。この際、少なくとも平行な画像信号の個数だけ、画像信号用の外部入力端子 1 0 2 及び画像信号線が必要なことは言うまでもない。尚、平行な画像信号の個数とサン 50

プリング回路 301 を同時に選択する数が相等しくなるように構成してもよいし、前者が後者よりも多くなるように構成してもよい。

【0083】

更に図 4 に示すように、データ線駆動回路 101 は、スタート信号 SPX が入力されると、基準クロック信号 CLX 及びその反転クロック信号 CLK' に基づく転送信号の順次生成を開始するシフトレジスタ回路 101a と、シフトレジスタ回路 101a からの転送信号を波形整形した後、サンプリング回路駆動信号線 306 を介してサンプリング回路 301 に供給する波形制御回路 101b 及びバッファ回路 101c とを備えている。また、サンプリング回路 301 は、12 個にシリアル - パラレル変換された画像信号 VID1 ~ VID12 に対応して TFT302 が 12 個ずつパラレルに各サンプリング回路駆動信号線 306 に接続されている。即ち、TFT302 から構成されるスイッチ S1 ~ S12 が左から 1 本目のサンプリング回路駆動信号線 306 に接続されており、スイッチ S13 ~ S24 が左から 2 本目のサンプリング回路駆動信号線 306 に接続されており、スイッチ Sn-11 ~ Sn が右端のサンプリング回路駆動信号線 306 に接続されている。

【0084】

制御信号の一つである波形選択信号としてのイネーブル信号 ENB1 及び ENB2 は、波形制御回路 101b に入力される。この波形制御回路 101b では、シフトレジスタ回路 101a から順次出力されるパルスの幅を、イネーブル信号 ENB1 及び ENB2 のパルス幅に制限することにより、サンプリング回路 301 の選択期間を（相前後するサンプリング回路駆動信号 Q1、Q2、... がハイレベルとなる期間が相互に重ならないように）制御する。これにより、同一の配線 400 (VID1) ~ 配線 400 (VID12) から画像信号を受けるデータ線 6a 間におけるブロックゴーストの発生を防止する。従って、イネーブル信号 ENB1 及び ENB2 は、クロック信号 CLX 及び CLX' と同じく、水平走査期間よりも短い周期を持つ高周波の制御信号である。

【0085】

尚、本実施形態では、画像表示領域の四隅には、TFT アレイ基板 1 と対向基板 20 側の対向電極 21 (図 3 参照) との間で電気的な導通をとるための上下導通端子 106 が設けられている（但し、図 4 では、そのうち 2 隅が図示されている）。上下導通端子 106 には、外部入力端子 102 並びに配線 400 (LCCOM) を介して供給される。

【0086】

次に、本実施形態の電気光学装置で採用可能なシールドの各種具体例を図 5 から図 10 に夫々示す。ここに、図 5 から図 10 は夫々、シールドの各種具体例の、図 4 の B-B' 断面における構造を夫々示す断面図である。

【0087】

図 5 から図 10 において、各具体例では夫々、画像信号線である配線 400 (VID1) ~ 配線 400 (VID12) は、画像表示領域における容量線 300 と同一の導電膜（例えば、導電性のポリシリコン膜と導電性の金属シリサイド膜とを含む多層膜）から構成されており、これらの配線 400 は少なくとも、画像表示領域におけるデータ線 6a と同一膜（例えば、A1 膜）からなるシールドにより電気遮蔽されている。

【0088】

即ち、図 5 の具体例では、容量線 300 と同一導電膜からなる配線 400 は、その上方から各配線 400 に沿って且つ各配線 400 を覆う領域に形成されたデータ線 6a と同一導電膜からなる上方シールド 401a により、電気遮蔽されている。特にこの具体例では、上方シールド 401a は、1 本の配線 400 毎に分断されているので、各配線 400 を他の全ての配線 400 から相互に電気遮蔽できる。

【0089】

図 6 の具体例では、容量線 300 と同一導電膜からなる配線 400 は、その上方から複数の配線 400 に沿って且つ複数の配線 400 を纏めて覆う領域に形成されたデータ線 6a と同一導電膜からなる上方シールド 401b により、電気遮蔽されている。特にこの具体例では、上方シールド 401b は、複数の信号線毎に分断されている。従って、1 本の信

号線毎に上方シールド401aを設ける図5の具体例の場合と比較して、比較的容易に上方シールド401bを形成できる。この際、複数の画素信号線など、相互に電磁波が及ぼす影響が基本的に小さい複数の信号線を一つの上方シールド401bにより纏めて電気遮蔽するようにし、他方で、例えば画像信号線とクロック信号線など、相互に電磁波が及ぼす影響が基本的に大きい信号線を相互に別個の上方シールド401bにより電気遮蔽するとよい。即ち、これにより、複数の信号線を纏めて電気遮蔽する際の不利益を最小限に抑えることができる。

【0090】

図7の具体例では、図5に示した上方シールド401aに加えて、画像表示領域における下側遮光膜11aと同一導電膜からなる下方シールド11bより、配線400は上下方向から電気遮蔽されている。 10

【0091】

図8の具体例では、図5に示した上方シールド401aに加えて、画像表示領域における走査線3aと同一導電膜からなる下方シールド402より、配線400は上下方向から電気遮蔽されている。

【0092】

図9の具体例では、図7と同様の上方シールド401c及び下方シールド11bに加えて、上方シールド401cと同一導電膜から延設されてなり、下地絶縁膜12、第1層間絶縁膜41、誘電体膜75及び第2層間絶縁膜42に配線400に沿って溝状に掘られた穴に埋め込まれた側方シールド401dにより、配線400は上下左右方向から電気遮蔽されている。特にこの具体例では、シールドは、1本の配線400毎に全周を電気遮蔽しているため、複数の配線400相互間の電磁波による悪影響を極力低減できる。 20

【0093】

図10の具体例では、図8と同様の上方シールド401c及び下方シールド402に加えて、上方シールド401cと同一導電膜から延設されてなり且つ第1層間絶縁膜41、誘電体膜75及び第2層間絶縁膜42に配線400に沿って溝状に掘られた穴に埋め込まれた側方シールド401eにより、配線400は上下左右方向から電気遮蔽されている。特にこの具体例では、シールドは、1本の配線400毎に全周を電気遮蔽しているため、複数の配線400相互間の電磁波による悪影響を極力低減できる。

以上説明したように本実施形態の電気光学装置によれば、画像表示領域では、容量線300をなす第1導電膜上に、データ線6aをなす第2導電膜が層間絶縁膜を介して積層されている。周辺領域では、これら第1導電膜及び第2導電膜の一方から、周辺回路に接続された配線400が形成されており、これら第1導電膜及び第2導電膜の他方から、配線400を少なくとも一方向（例えば、上方や下方）から電気遮蔽するシールドが形成されている。従って、画像信号線等の配線400上の画像信号等への電磁ノイズの飛び込みを効果的に低減できる。しかも、周辺領域に配線400やシールドを形成するために専用の膜を別途形成しないで済むので、装置構成及び製造工程を簡略化する上でも有利である。特に、画像品位の向上のために画素ピッチを微細化し駆動周波数を高めた場合に、一般にこのような信号線に係るノイズ（例えば、クロック信号線や波形選択信号線等の制御信号線から画像信号線上の画像信号への電磁ノイズ、外部装置や他の回路等からの画像信号線上の画像信号への電磁ノイズ、クロック信号線や波形選択信号線等の制御信号線から外部装置や他の回路等への電磁ノイズなど）は相対的に増加する（即ち、S/Nは低下する）。従って、本実施形態のように周辺領域に配線された画像信号線、制御信号線等の配線400を、上方シールド401a、401b又は401c、下方シールド11b又は402、側方シールド401d又は401e等のシールドにより電気遮蔽する構成は、画素ピッチを微細化し或いは駆動周波数を高める上で大変有利である。 30 40

【0094】

また本実施形態では特に配線400として画像信号線を電気遮蔽するので、ノイズ源としての他の信号線や配線或いは回路や素子からの画像信号線上の画像信号S1、S2、...への電磁ノイズの飛び込みを効果的に低減できる。従って、最終的に高いS/Nを持つ画像 50

信号 S 1、S 2、...に基づいて、画像表示領域において高品位の画像表示を行うことが可能となる。

【0095】

また以上説明した実施形態では、図4に示した画像信号線とサンプリング回路301とを中継接続する中継配線305やサンプリング回路駆動信号線306を、図5から図10に示したように上方、下方或いは側方から電気遮蔽してもよい。このようにすれば、中継配線305上の画像信号S1、S2、...への電磁ノイズの飛び込みや、サンプリング回路駆動信号線306上のサンプリング回路駆動信号Q1、Q2、...への電磁ノイズの飛び込みを効果的に低減できる。これらの中継配線305やサンプリング回路駆動信号線306は、
10 対向基板20に設けられる対向電極21に対向する部分を含むので、これらの配線と対向電極21との寄生容量を低減する観点から、両者間に配置される上方シールドにより電気遮蔽すると特に効果的である。

【0096】

更に以上説明した実施形態では、クロック信号線としての配線400(C LX)、配線400(C LX')や、波形選択信号線としての配線400(ENB1)、配線400(ENB2)を図5から図10に示したように上方、下方或いは側方から電気遮蔽してもよい。このように構成すれば、これらの制御信号線上にあり、一般には画像信号に対するノイズ源となり易い高周波数で高電位である制御信号に起因する高周波で強力な電磁ノイズが、
20 画像信号線等上の画像信号に飛び込むことを効果的に阻止できる。

【0097】

以上説明した本発明の電気光学装置(各実施形態を含む)では、シールドは、好ましくは接地電位や他の定電位に固定される。この際特に、画像信号線(配線400(V ID1)、配線400(V ID2)、...など)と制御信号線(配線400(C LX)、配線400(C LX')、...など)とを別々に電気遮蔽すると共に相互に異なる定電位に固定するのがより好ましい。このように構成すれば、同一の定電位配線を介して両信号線間でそれらの電位変動が相互に影響を及ぼす事態を未然防止できる。例えば、画像信号線を低電位(接地電位或いは数ボルト程度)の第1定電位の定電位線に接続することにより低電位で電気遮蔽し、制御信号線を高電位(十数ボルト程度)の第2定電位の定電位線に接続することにより高電位で電気遮蔽すればよい。
30

【0098】

加えて本実施形態では、シールドと電源配線の本線又は分岐配線とを共用するのが好ましい。このように構成すれば、装置構成及び製造工程の簡略化を図りつつ、シールドを定電位に固定できる。しかも、周辺領域におけるシールドが占める領域を電源配線に割り当てることになるので、電源配線を比較的容易に幅広に構成することができる。更に、シールドを幅広に形成することにより、シールドの性能も向上するので一層有利である。
30

【0099】

また図5から図10に示した各種具体例では、配線400を容量線300と同一導電膜から形成し且つシールドを容量線300と異なる導電層から形成したが、配線400をデータ線6aと同一導電膜から形成し且つシールドをデータ線6aと異なる導電層から形成してもよいし、配線400を走査線3aと同一導電膜から形成し且つシールドを走査線3a
40 と異なる導電層から形成してもよいし、配線400を下側遮光膜11aと同一導電膜から形成し且つシールドを下側遮光膜11aと異なる導電層から形成してもよい。

【0100】

更に、シールドの一部を、配線と同一膜から形成することも可能であり、この場合には主に側方から電気遮蔽することが可能である。本実施形態では、図4に示したように、同一平面内で、負電源V S S Yを供給する配線400(V S S Y)及び負電源V S S Xを供給する配線400(V S S X)は、画像信号線たる配線400(V ID2)、配線400(V ID4)、配線400(V ID6)、...を囲んでおり、画像信号シールド線として機能している。同様に同一平面内で、正電源V D D Yを供給する配線400(V D D Y)及び負電源V S S Xを供給する配線400(V S S X)は、画像信号線たる配線400(V I
50

D1)、配線400(VID3)、配線400(VID5)、...を囲んでおり、画像信号シールド線として機能している。更に、正電源VDDXを供給する配線400(VDDX)は、やはり同一平面内で、クロック信号線たる配線400(CLX)、配線400(CLX')等の制御信号線を囲んでおり、制御信号シールド線として機能している。同様に正電源VDDYを供給する配線400(VDDY)は、やはり同一平面内で、クロック信号線たる配線400(CLY)、配線400(CLY')等の制御信号線を囲んでおり、制御信号シールド線として機能している。特に図4中で、破線で示したように、制御信号シールド線としての配線400(VDDX)の2つの先端は、接続部93により相互に接続されてもよいし、同様に画像信号シールド線としての配線400(VSSX)の2つの先端は、接続部91により相互に接続されてもよい。

10

【0101】

更にまた、積層された2つの導電膜を共に低抵抗のA1膜から構成することも可能であり、これにより、低抵抗の配線を低抵抗の導電膜で電気遮蔽することが可能となり、非常に電磁ノイズが飛び込み難い構成が得られる。

【0102】

以上説明した実施形態では、図3に示したように多数の導電層を積層することにより、画素電極9aの下地面(即ち、第3層間絶縁膜43の表面)におけるデータ線6aや走査線3aに沿った領域に段差が生じるのを、第3層間絶縁膜43の表面を平坦化することで緩和しているが、これに代えて或いは加えて、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜41、第2層間絶縁膜42或いは第3層間絶縁膜43に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第2層間絶縁膜42の上面の段差をCMP(Chemical Mechanical Polishing)処理等で研磨することにより、或いは有機SOGを用いて平らに形成することにより、当該平坦化処理を行ってもよい。

20

【0103】

尚、以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャンネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

30

【0104】

加えて、以上説明した本発明の実施形態の変形として、周辺領域で配線400に対して、図5から図10に示した如き各種シールドを設けるのに代えて又は加えて、容量線300、データ線6a、走査線3a及び下側遮光膜11aの4つの導電膜のうちの一つから、制御信号線たる配線400(CLX)、配線400(CLY)、...を形成すると共に、これら4つの導電膜の他の一つから、画像信号線たる配線400(VID1)、配線400(VID2)、...を形成してもよい。このように構成すれば、同一導電膜をパターンングすることにより同一平面内にこれら2種類の配線を形成する場合と比べると、両信号線は基板に垂直な方向に離間し且つ両信号線間に層間絶縁膜が配置されている分だけ、両信号線間におけるノイズの飛び込みを低減できるので有利である。即ち、シールドがなくとも、このように基板に垂直な方向に離間するように、これら2種類の信号線を形成することにより、ノイズを低減することが可能となるのである。更に、このような構成と上述した各種シールドとを組み合わせることにより、電磁ノイズを低減する効果を一層高めることができる。

40

【0105】

50

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置の全体構成を図11及び図12を参照して説明する。尚、図11は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0106】

図12において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、画像表示領域10aの周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域10aの両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的に導通をとるための上下導通材106が設けられている。また図4に示したサンプリング回路301が額縁領域に設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。

【0107】

尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104、サンプリング回路301等に加えて、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等进行检查するための検査回路等を形成してもよい。

【0108】

以上図1から図12を参照して説明した実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB(Tape Automated bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TNモード、VA(Vertically Aligned)モード、PDL(Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0109】

以上説明した実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【 0 1 1 0 】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【 図 2 】 実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【 図 3 】 図 2 の A - A ' 断面図である。

10

【 図 4 】 本実施形態における T F T アレイ基板上に設けられたシールドを含む各種配線、周辺回路等の構成を示す図式的な平面図である。

【 図 5 】 本実施形態で採用可能なシールドの一具体例に係る図 4 の B - B ' 断面図である。

【 図 6 】 本実施形態で採用可能なシールドの他の具体例に係る図 4 の B - B ' 断面図である。

【 図 7 】 本実施形態で採用可能なシールドの他の具体例に係る図 4 の B - B ' 断面図である。

【 図 8 】 本実施形態で採用可能なシールドの他の具体例に係る図 4 の B - B ' 断面図である。

20

【 図 9 】 本実施形態で採用可能なシールドの他の具体例に係る図 4 の B - B ' 断面図である。

【 図 1 0 】 本実施形態で採用可能なシールドの他の具体例に係る図 4 の B - B ' 断面図である。

【 図 1 1 】 実施形態の電気光学装置における T F T アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【 図 1 2 】 図 1 1 の H - H ' 断面図である。

【 符号の説明 】

1 a ... 半導体層

1 a ' ... チャンネル領域

30

1 b ... 低濃度ソース領域

1 c ... 低濃度ドレイン領域

1 d ... 高濃度ソース領域

1 e ... 高濃度ドレイン領域

2 ... 絶縁薄膜

3 a ... 走査線

6 a ... データ線

9 a ... 画素電極

1 0 ... T F T アレイ基板

1 1 a ... 下側遮光膜

40

1 2 ... 下地絶縁膜

1 6 ... 配向膜

2 0 ... 対向基板

2 1 ... 対向電極

2 2 ... 配向膜

3 0 ... T F T

5 0 ... 液晶層

7 0 ... 蓄積容量

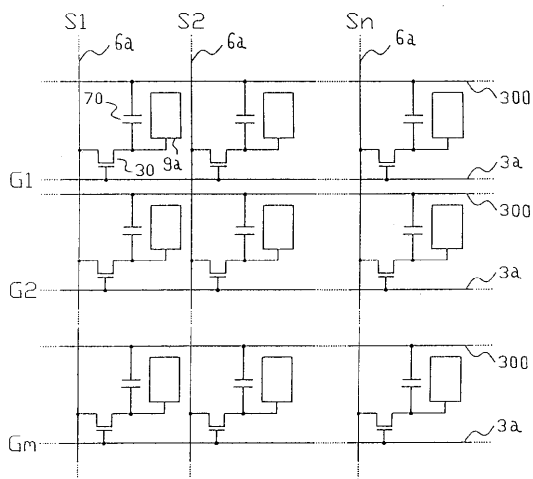
7 1 ... 中継層

7 5 ... 誘電体膜

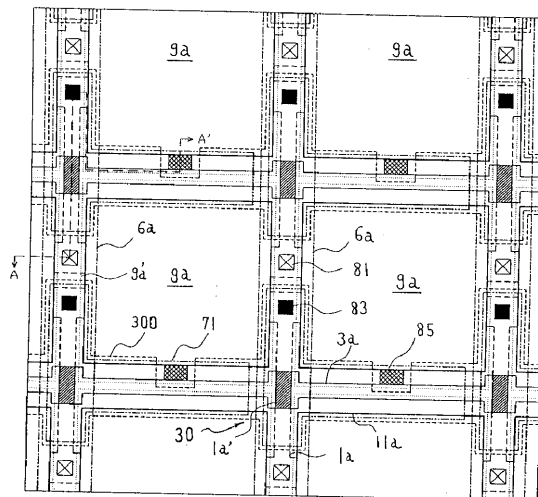
50

- 8 1、8 3、8 5 ...コンタクトホール
- 1 0 1 ...データ線駆動回路
- 1 0 1 a ...シフトレジスタ回路
- 1 0 1 b ...波形制御回路
- 1 0 1 c ...バッファ回路
- 1 0 4 ...走査線駆動回路
- 3 0 0 ...容量線
- 3 0 1 ...サンプリング回路
- 3 0 2 ...サンプリング回路の T F T
- 3 0 5 ...中継配線
- 3 0 6 ...サンプリング回路駆動信号線
- 4 0 0 ...配線
- 4 0 1 a、4 0 1 b、4 0 1 c ...上方シールド
- 4 0 1 d、4 0 1 e ...側方シールド
- 4 0 2 ...下方シールド

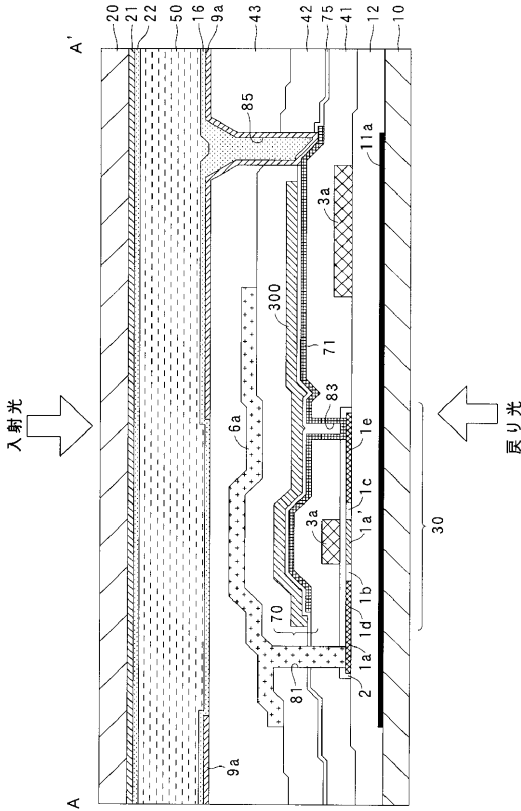
【 図 1 】



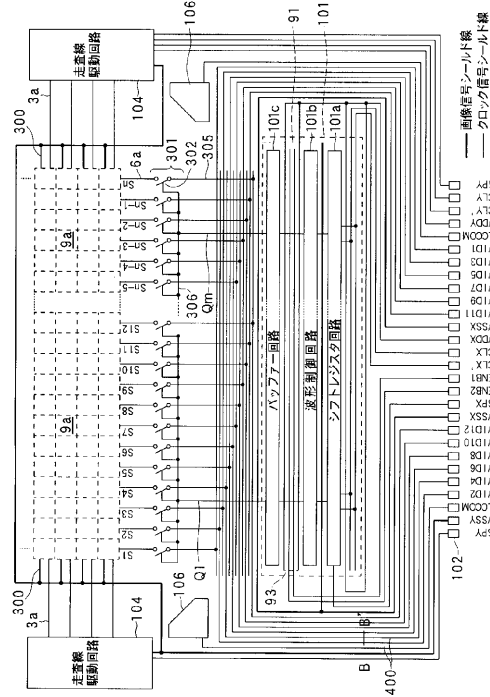
【 図 2 】



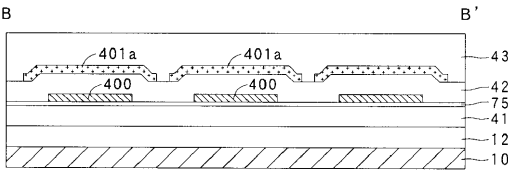
【 図 3 】



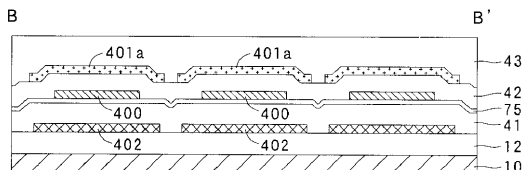
【 図 4 】



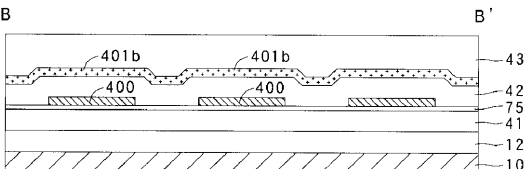
【 図 5 】



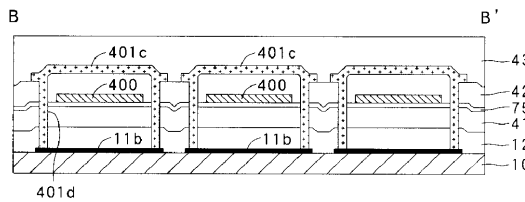
【 図 8 】



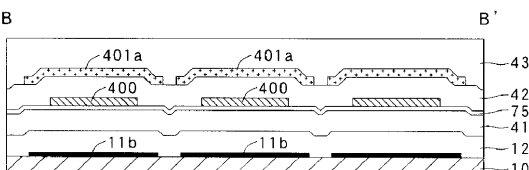
【 図 6 】



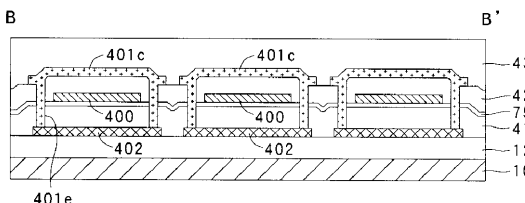
【 図 9 】



【 図 7 】



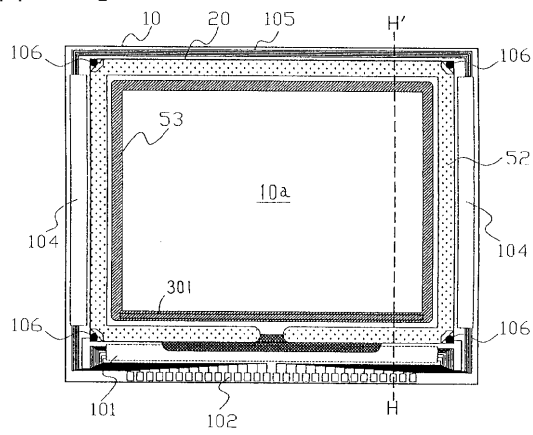
【 図 10 】



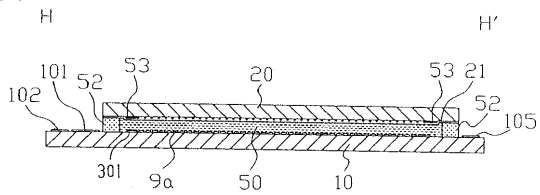
(22)

JP 3858572 B2 2006.12.13

【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/30 3 3 0 Z

G 0 9 F 9/30 3 3 8

(56)参考文献 特開平11-202367(JP,A)
特開平05-053135(JP,A)
特開平06-011684(JP,A)
特開平10-048663(JP,A)
特開2000-162634(JP,A)
特開平08-328042(JP,A)
特開平08-146448(JP,A)
特開平04-056828(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345

G02F 1/1343

G02F 1/1362

G09F 9/00 - 9/46