

- 1 It's the same principle as a transistor.
- 2 However, the wiring that challenges the source and drain here was made of a transparent conductive film (ITO).
- 3 Normally, aluminum, etc. is used for MOS transistors, but here, in order to use it as a liquid crystal driving electrode, it must be transparent and withstand
- 4 the rubbing pressure to align the liquid crystal molecules, so a transparent film (ITO) had to be used.

- 5 Since the polycrystalline silicon in the channel portion is not injected with impurities, it is possible to freely create either a p-channel or n-channel transistor
- 6 by making the source and drain regions p-type or n-type.

- 7 Also, the n-channel thin film transistor is a type in which electrons conduct and a positive bias is applied to the gate electrode.
- 8 As a result, the electron concentration on the surface of the passage increases and the passage conductivity increases.

- 9 On the other hand, when applying a negative bias, the conductivity becomes very low as holes are generated on the surface.

- 10 At this time, the carrier mobility is $10\text{cm}^2 \cdot \text{V}^{-1} \text{S}^{-1}$ Since it is a sufficient value for the driving row, polycrystalline silicon is high.
- 11 Because it is formed at a temperature, it can be used very stably at the operating temperature of a flat image display panel.
- 12 all.

- 13 Therefore, when the method described above is used, the mobility of the thin film transistor increases and the thin film transistor
- 14 Not only is sufficient ON current guaranteed, but since the film that is not injected with impurities has high specific resistance, there is no problem with OFF
- 15 current, and the effect of reducing the optical current can be obtained.

- 16 The dual-gate structure employed in this thin-film transistor prevents the gate voltage (V_{gs}) from increasing leakage when the gate voltage is negatively
- 17 biased.

- 18 In n-channel multi-crystalline silicon thin film transistors, holes are generated on the channel surface when the gate is reverse biased.
- 19 It becomes a crab and forms a PN junction in a reverse bias state near the drain.

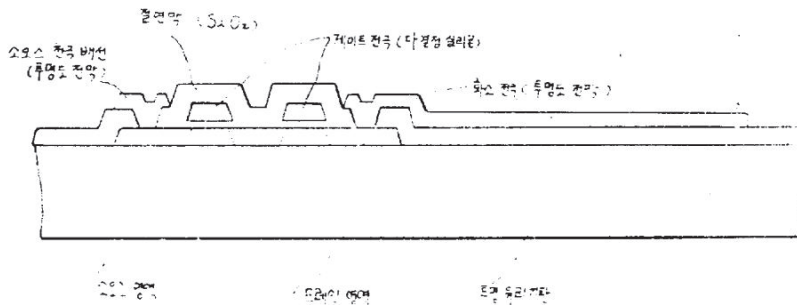
- 20 In this case, the leakage current increases exponentially with respect to the junction level depending on the local level of the decision gate, but the double-gauge
- 21 By lowering the junction level between the drain and the passage by half as a T structure, the leakage current can be reduced by about one order of magnitude.

- 22 This will soon reduce the leakage current at negative gate bias.

(57) Scope of the claim

- 23 Claim 1
- 24 The semiconductor that forms the conductive path, source and drain layers of the thin film transistor is polycrystalline silicon, but the entire film
- 25 A thin film transistor using a double gate characterized by forming a double gate with a thickness of 500-1000 nm.
- 26 Stu.

Drawing Drawing 1



(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
H01L 27/13

(45) 공고일자 1987년04월25일
(11) 공고번호 87-000854

(21) 출원번호 특1984-0006800 (65) 공개번호 특1986-0003667
(22) 출원일자 1984년10월31일 (43) 공개일자 1986년05월28일

(71) 출원인 삼성전자 주식회사 정재은
경기도 수원시 매탄동 416번지

(72) 발명자 홍성민
서울특별시 강동구 잠실 4동 시영아파트 53동 307호
임흥기

(74) 대리인 인천시 북구 가좌동 가좌 주공아파트 11동 406호
구자덕

심사관 : 백승남 (책자공보 제1287호)

(54) 쌍-게이트(Dual-gate)를 이용한 박막트랜지스터

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

쌍-게이트(Dual-gate)를 이용한 박막트랜지스터

[도면의 간단한 설명]

도면은 쌍-게이트 박막트랜지스터의 구조도,

[발명의 상세한 설명]

본 발명은 최근에 수요가 급증하고 있는 포켓용 TV의 칼라 액정표시판넬을 구동하는 박막트랜지스터(Thin Film Transistor:TFT)의 구조에 관한 것이다.

박막트랜지스터의 기본적인 구조와 동작은 벌크(bulk) 실리콘 기판위에 MOS 트랜지스터와 같다.

큰 차이는 도전통로와 소오스, 드레인층이 박막반도 체라는 것이다.

이 반도체층으로서 아몰파스 실리콘과 다결정 실리콘이 있다. 본 발명에서는 액정구동행렬에 쓰이는 박막트랜지스터의 구조와 공정설계를 공정중에 생기는 결함을 최소화하고 공정비용을 절감하고 대면 적화하고 ON와 OFF 전류비를 크게하고 재현성과 신뢰성을 확보하고 광여기 전류를 극소화한다는 등의 관점으로 부터 다결정 실리콘의 쌍 게이트구조를 지닌것으로 하였다.

본 발명은 이와같은 관점으로 부터 박막트랜지스터의 도전통로와 소오스, 드레인층을 다결정 실리콘 으로 하고 이 박막트랜지스터의 구조를 쌍-게이트 구조로 한 것으로써 특징을 상세히 설명하면 다음과 같다.

[실시예]

도면에서 보는 바와같이 아래에 투명 유리기판을 놓고 그 위에 소오스와 드레인 영역을 형성하되 다결정 실리콘으로 하며 절연막의 두께를 500-1000nm으로 한다.

소오스와 드레인 영역이 형성된 위에는 역시 다결정 실리콘으로 된 게이트 전극을 소오스와 드레인 영역사이에 형성시킨다.

또 쌍게이트가 형성된 위에 SiO₂ 절연막을 형성시키고 화소전극(투명도전막)과 소오스전극 배선을 투명도 전막으로 형성시키게 하는 것이다.

이와같이된 박막트랜지스터에서 도전통로(Conduction Channel), 소오스(Source)와 드레인(Drain)등의 반도체층을 다 결정 실리콘을 사용하여 도면에서 보는 바와같이 게이트 전극에서 전계효과에 의해 소오스(Source)-드레인(Drain)사이에 흐르는 전류를 제어할 수 있게한 것으로 그 원리는 MOS 트

랜지스터의 원리와 같은 것이다.

다만 여기서 소오스와 드레인에 도전하는 배선을 투명도전막(ITO)로 하였다.

일반적으로 MOS 트랜지스터에는 알루미늄 등을 이용하고 있지만 여기에서는 액정구동전극으로 하기 위해서 투명하고도 액정분자를 배향시키기 위해 문지르는 압력으로 견디는 것으로 해야하기 때문에 투명도전막(ITO)을 사용해야 한 것이다.

통로부분에서의 다결정 실리콘은 불순물을 주입하고 있지 않기 때문에 소오스, 드레인 영역을 p형 또는 n형이되게함으로써 p통로, n 통로중 어느 것의 트랜지스터도 자유롭게 만들 수 있는 것이다.

또, n 통로 박막트랜지스터는 전자가 전도하는 형태이고 또한 게이트전극에 정(正) 바이어스를 인가함에 따라 통로 표면의 전자농도를 증가시키고 통로 전도도가 높게되는 것이다.

한편 부 바이어스를 인가할 때는 정공을 표면에 발생시키면 도전도는 매우 적게된다.

이때 캐리어의 이동도는 $10\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1}$ 정도이므로 구동 행렬에는 충분한 값이되며 다결정실리콘은 높은 온도에서 형성되기 때문에 평면영상표시판넬의 사용온도에서 매우 안정하게 사용할 수 있는 것이다.

따라서 이상과 같은 방법을 사용하였을 경우 박막 트랜지스터의 이동도가 높게되고 박막 트랜지스터의 충분한 ON전류가 보장됨은 물론 불순물이 주입되지 않은 막은 높은 고유저항을 가지기 때문에 OFF 전류의 문제는 없게되며 광여전류도 적게되는 효과를 얻을 수 있는 것이다.

이 박막트랜지스터에 채용한 쌍-게이트구조는 게이트 전압(V_{gs})이 부바이어스시의 누설의 증대를 방지한다.

n 통로 다 결정 실리콘 박막트랜지스터에서는 게이트 역바이어스 상태에서 통로표면에 정공이 생기게 되고 드레인 근방에 역바이어스 상태의 PN 접합을 형성한다.

이 경우 결정입계의 국재준위에 따라 접합준위에 대해서 누설전류가 지수적으로 증가하지만 쌍-게이트 구조로서 드레인과 통로 사이의 접합준위를 반으로 낮추면 누설전류를 약 한치수 낮출 수 있다.

이것은 곧 게이트 부(負)바이어스에서 누설전류를 낮추는 것이된다.

(57) 청구의 범위

청구항 1

박막트랜지스터의 도전통로, 소오스와드레인층을 형성하는 반도체를 다결정 실리콘으로하되 전연막의 두께를 500-1000nm으로 하여 쌍-게이트 형성함을 특징으로 하는 쌍-게이드를 이용한 박막트랜지스터.

도면

도면1

