

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-216064
(P2003-216064A)

(43) 公開日 平成15年7月30日 (2003.7.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 F 9/30	3 3 0 3 6 5	G 0 9 F 9/30	3 3 0 Z 2 H 0 8 8 3 6 5 Z 2 H 0 9 2
G 0 2 F 1/13 1/1345 1/1368	5 0 5	G 0 2 F 1/13 1/1345 1/1368	5 0 5 3 K 0 0 7 5 C 0 9 4 5 E 3 4 4

審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く

(21) 出願番号	特願2002-16119(P2002-16119)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成14年1月24日 (2002.1.24)	(72) 発明者	中西 早人 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	100095728 弁理士 上柳 雅誉 (外2名)

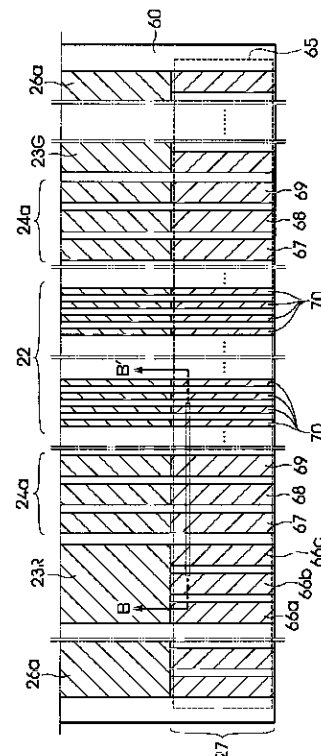
最終頁に続く

(54) 【発明の名称】 電気光学装置及び電子機器

(57) 【要約】

【課題】 表示基板と中継基板との圧着条件を固着部全体に亘って同一にすることにより、固着部における電氣的抵抗の不均一性を解消することができるとともに、コントラストの低下等の表示上の不具合を生ずることがない電気光学装置、及び当該電気光学装置を備える電子機器を提供する。

【解決手段】 複数の発光素子と、走査線駆動回路用制御信号配線24a等の信号線を介して供給される信号に応じて発光用電源配線23R等の電源線を介して供給される電流を発光素子に供給するスイッチング素子とが形成された表示基板を備える電気光学装置であって、発光用電源配線23R等の電源線は走査線駆動回路用制御信号配線24a等の信号線より幅広に形成されており、発光用電源配線23R等の電源線には、外部接続端子66a, 66b, 66c等の複数の外部接続端子が設けられている。



【特許請求の範囲】

【請求項1】 第1外部接続端子に接続してなる第1配線と、当該第1配線の幅より広い第2配線とが少なくとも形成された電気光学装置において、前記第2配線に対して複数の第2外部接続端子が設けられていることを特徴とする電気光学装置。

【請求項2】 前記第1外部接続端子及び前記第2外部接続端子には、凸部が形成されていることを特徴とする請求項1記載の電気光学装置。

【請求項3】 前記第1外部接続端子及び前記第2外部接続端子の表面には複数の凹部が形成されていることを特徴とする請求項1又は請求項2記載の電気光学装置。

【請求項4】 前記第2外部接続端子の幅がほぼ等しいことを特徴とする請求項1から請求項3の何れか一項に記載の電気光学装置。

【請求項5】 前記第1配線と同程度の幅を有する第1中継配線と、前記第2配線と同程度の幅を有する第2中継配線とが形成され、前記第1外部接続端子を介して前記第1配線と前記第1中継配線とが電氣的に接続され、前記第2外部接続端子を介して前記第2配線と前記第2中継配線とが電氣的に接続された中継基板を有することを特徴とする請求項1から請求項4の何れか一項に記載の電気光学装置。

【請求項6】 複数の発光素子と、信号線を介して供給される信号に応じて電源線を介して供給される電流を各前記発光素子に供給するスイッチング素子とが形成された電気光学装置において、前記電源線の幅は前記信号線の幅より広く形成されており、前記電源線に対して複数の第1外部接続端子が設けられていることを特徴とする電気光学装置。

【請求項7】 前記第1外部接続端子及び前記信号線に対して設けられる第2外部接続端子には、凸部が形成されていることを特徴とする請求項6記載の電気光学装置。

【請求項8】 前記第1外部接続端子及び前記第2外部接続端子の表面には複数の凹部が形成されていることを特徴とする請求項6又は請求項7記載の電気光学装置。

【請求項9】 前記第2外部接続端子の幅がほぼ等しいことを特徴とする請求項6から請求項8の何れか一項に記載の電気光学装置。

【請求項10】 前記信号線と同程度の幅を有する第1中継配線と、前記電源線と同程度の幅を有する第2中継配線とが形成され、前記第1外部接続端子を介して前記信号線と前記第1中継配線とが電氣的に接続され、前記第2外部接続端子を介して前記電源線と前記第2中継配線とが電氣的に接続された中継基板を有することを特徴とする請求項6から請求項9の何れか一項に記載の電気光学装置。

【請求項11】 前記第1外部接続端子及び前記第1中継配線、並びに、前記第2外部接続端子及び前記第2中

継配線が異方性導電膜により固着されていることを特徴とする請求項10記載の電気光学装置。

【請求項12】 請求項1から請求項11の何れか一項に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置及び電子機器に係り、特に有機エレクトロルミネッセンス材料を備えた電気光学装置及び当該電気光学装置を備える電子機器に関する。

【0002】

【従来の技術】近年、画素電極（陽極）及び陰極の間に、有機蛍光材料等の発光材料からなる発光素子が挟持された構造のカラー電気光学装置、特に発光材料として有機エレクトロルミネッセンス（有機EL）材料を用いた有機EL表示装置の開発が行われている。以下、従来の電気光学装置（有機EL表示装置）について簡単に説明する。

【0003】図11は、従来の電気光学装置の配線構造を示す図である。図11に示すように、従来の電気光学装置は、複数の走査線901と、走査線901に対して交差する方向に延びる複数の信号線902と、信号線902に並行して延びる複数の発光用電源配線903とがそれぞれ配線され、走査線901と信号線902との各交点毎に、画素領域Aが設けられている。各信号線902は、シフトレジスタ、レベルシフト、ビデオライン、及びアナログスイッチを備えるデータ側駆動回路904に接続されており、各走査線901は、シフトレジスタ及びレベルシフトを備える走査側駆動回路905に接続されている。

【0004】また、画素領域Aの各々には、走査線901を介して走査信号がゲート電極に供給されるスイッチング薄膜トランジスタ913と、このスイッチング薄膜トランジスタ913を介して信号線902から供給される画像信号を保持する保持容量Capと、保持容量Capによって保持された画像信号がゲート電極に供給されるカレント薄膜トランジスタ914と、このカレント薄膜トランジスタ914を介して発光用電源配線903に電氣的に接続されたときに発光用電源配線903から駆動電流が流れ込む画素電極911と、この画素電極911と陰極912との間に挟み込まれる発光層910とが設けられている。陰極912は、陰極用電源回路931に接続されている。

【0005】上記の発光層910には、赤色に発光する発光層910R、緑色に発光する発光層910G、青色に発光する発光層910Bの3種の発光素子が含まれ、各発光層910R、910G、910Bがストライプ配置されている。そして、カレント薄膜トランジスタ914を介して各発光層910R、910G、910Bに接

続される発光用電源配線903R, 903G, 903Bは、それぞれ発光用電源回路932に接続されている。各色毎に発光用電源配線が配線されているのは、発光層910の駆動電位が各色毎に異なるためである。

【0006】以上の構成において、走査線901に走査信号が供給されてスイッチング薄膜トランジスタ913がオン状態になると、そのときに信号線902に供給されている画像信号に応じた電荷が保持容量Capに保持される。この保持容量Capに保持された電荷の量に応じて、カレント薄膜トランジスタ914のオン・オフ状態が決まる。そして、カレント薄膜トランジスタ914を介して発光用電源配線903R, 903G, 903Bから画素電極911に電流が流れ、更に発光層910を介して陰極912に駆動電流が流れる。このとき、発光層910を流れた電流量に応じた量の発光が発光層910から得られる。

【0007】

【発明が解決しようとする課題】ところで、図11に示した電気光学装置は、走査線901、信号線902、陰極912、発光用電源配線903(903R, 903G, 903B)、走査側駆動回路905、及び画素領域Aがガラス等の透明基板(表示基板)上に形成され、陰極用電源回路931、発光用電源回路932、及びデータ側駆動回路904等の回路が可撓性のあるフレキシブル基板(中継基板)上に配置された構成とされることがある。

【0008】かかる構成の場合には、基板に対してフレキシブル基板を固着させ、走査線901、信号線902、陰極912、及び発光用電源配線903とフレキシブル基板上に形成された回路とを電気的に導通させる必要がある。基板とフレキシブル基板との固着及び電気的な接続は、基板とフレキシブル基板との間に導電粒子を含む異方性導電膜を配置し、フレキシブル基板を基板に対して圧着させることにより行われる。

【0009】上述した電気光学装置に設けられる発光層910を安定して発光させるためには、発光用電源配線903から画素電極911に印加する駆動電流の電位変動をできるだけ少なくすることが要求される。特に、図11に示した電気光学装置は電流駆動型の電気光学装置であり、表示ムラ及びコントラスト低下等の表示上の不具合を防止するためには、陰極912及び発光用電源配線903の配線抵抗等による電圧降下を極力抑える必要がある。このため、陰極912及び発光用電源配線903は、走査線901及び信号線902よりも幅広に形成されている。

【0010】基板とフレキシブル基板と固着させる際には、主として圧着部において生ずる電気的抵抗の均一化を図るために、固着部の全面に亘って圧着条件を同一にしたいという要求がある。この要求を満たすためには、固着部に設けられ、上述した種々の配線が接続される端

子の形状を同一にする必要がある。

【0011】しかしながら、上述したように、図11に示した電気光学装置は電流駆動型の電気光学装置であるため、陰極912及び発光用電源配線903の配線幅を狭くすることは配線抵抗等による電圧降下を考慮すると困難である。また、走査線901及び信号線902は数が多く、これら全てを配置するためには細線化及び狭ピッチ化する必要があるため、走査線901及び信号線902の線幅を陰極912及び発光用電源配線903の線幅と同程度にすることも困難である。

【0012】本発明は、上記事情に鑑みてなされたものであり、表示基板と中継基板との圧着条件を固着部全体に亘って同一にすることにより、固着部における電気的抵抗の不均一性を解消することができるとともに、コントラストの低下等の表示上の不具合を生ずることがない電気光学装置、及び当該電気光学装置を備える電子機器を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の観点による電気光学装置は、第1外部接続端子に接続してなる第1配線と、当該第1配線の幅より広い第2配線とが少なくとも形成された電気光学装置において、前記第2配線に対して複数の第2外部接続端子が設けられていることを特徴としている。この発明によれば、第1配線よりも幅広の第2配線に対しては、外部接続端子が複数設けられているため、配線が施された基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件を固着部全体に亘って均一化することができる。このため、固着部における電気的抵抗の不均一性を解消することができ、その結果として、固着部における電気的抵抗の不均一性に起因する表示ムラ及びコントラストの低下等の表示上の不具合を生ずることがない。また、本発明の第1の観点による電気光学装置は、前記第1外部接続端子及び前記第2外部接続端子には、凸部が形成されていることを特徴としている。この発明によれば、第1配線及び第2配線に対して設けられる第1外部接続端子及び第2外部接続端子の何れにも凸部が形成されており、例えば異方性導電膜で配線が施された基板を表示基板に固着させるときには、異方性導電膜に含まれる導電粒子が、第1外部接続端子及び第2外部接続端子の両端からはみ出す割合が小さくなり、逆に外部接続端子上に留まる割合が上昇するため、固着部における電気的抵抗を低減する上で極めて好適である。また、本発明の第1の観点による電気光学装置は、前記第1外部接続端子及び前記第2外部接続端子の表面には複数の凹部が形成されていることを特徴としている。この発明によれば、第1外部接続端子及び第2外部接続端子の表面に形成された複数の凹部により、第1外部接続端子及び第2外部接続端子がいわば複数の電極として分割した構成となっているため、配線が施さ

れた基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件をより均一化することができる。また、本発明の第1の観点による電気光学装置は、前記第2外部接続端子の幅がほぼ等しいことを特徴としている。この発明によれば、第2外部接続端子の幅がほぼ等しく設定されているため、配線が施された基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件をより好ましい状態に設定することができる。また、本発明の第1の観点による電気光学装置は、前記第1配線と同程度の幅を有する第1中継配線と、前記第2配線と同程度の幅を有する第2中継配線とが形成され、前記第1外部接続端子を介して前記第1配線と前記第1中継配線とが電氣的に接続され、前記第2外部接続端子を介して前記第2配線と前記第2中継配線とが電氣的に接続された中継基板を有することを特徴としている。上記課題を解決するために、本発明の第2の観点による電気光学装置は、複数の発光素子と、信号線を介して供給される信号に応じて電源線を介して供給される電流を各前記発光素子に供給するスイッチング素子とが形成された電気光学装置において、前記電源線の幅は前記信号線の幅より広く形成されており、前記電源線に対して複数の第1外部接続端子が設けられていることを特徴としている。この発明によれば、発光素子からの発光を得るため大電流を供給する必要から幅広に形成された電源線と、数多くの信号を供給するために細線化及び狭ピッチ化された信号線とが混在する場合においても、幅広に形成された電源線に対しては外部接続端子が複数設けられているため、配線が施された基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件を固着部全体に亘って均一化することができる。このため、固着部における電氣的抵抗の不均一性を解消することができ、その結果として、固着部における電氣的抵抗の不均一性に起因する表示ムラ及びコントラストの低下等の表示上の不具合を生ずることがない。また、本発明の第2の観点による電気光学装置は、前記第1外部接続端子及び前記信号線に対して設けられる第2外部接続端子には、凸部が形成されていることを特徴としている。この発明によれば、電源線及び信号線に対して設けられる第1外部接続端子及び第2外部接続端子の何れにも凸部が形成されており、例えば異方性導電膜で配線が施された基板を表示基板に固着させるときには、異方性導電膜に含まれる導電粒子が、第1外部接続端子及び第2外部接続端子の両端からはみ出す割合が少なくなり、逆に外部接続端子上に留まる割合が上昇するため、固着部における電氣的抵抗を低減する上で極めて好適である。また、本発明の第2の観点による電気光学装置は、前記第1外部接続端子及び前記第2外部接続端子の表面には複数の凹部が形成されていることを特徴とする請求項6又は請求項7記載の電気光学装置。この発明によれば、第1外部接続端子及び第

2外部接続端子の表面に形成された複数の凹部により、外部接続端子がいわば複数の電極として分割した構成となっているため、配線が施された基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件をより均一化することができる。また、本発明の第2の観点による電気光学装置は、前記第2外部接続端子の幅がほぼ等しいことを特徴としている。また、本発明の第2の観点による電気光学装置は、前記信号線と同程度の幅を有する第1中継配線と、前記電源線と同程度の幅を有する第2中継配線とが形成され、前記第1外部接続端子を介して前記信号線と前記第1中継配線とが電氣的に接続され、前記第2外部接続端子を介して前記電源線と前記第2中継配線とが電氣的に接続された中継基板を有することを特徴としている。また、本発明の第2の観点による電気光学装置は、前記第1外部接続端子及び前記第1中継配線、並びに、前記第2外部接続端子及び前記第2中継配線が異方性導電膜により固着されていることが好ましい。本発明の電子機器は、上記の何れかに記載の電気光学装置を備えることを特徴としている。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態による電気光学装置及び電子機器について詳細に説明する。尚、以下の説明で参照する各図は、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせてある。

【0015】図1は、本発明の一実施形態による電気光学装置を模式的に示す分解斜視図である。図1に示すように、本実施形態の電気光学装置10は、大別すると表示基板20と、表示基板20に接続される中継基板30とから構成される。表示基板20は、スイッチング素子として薄膜トランジスタ(Thin Film Transistor)を用いたアクティブマトリクス方式の有機EL装置である。

【0016】この表示基板20には、複数の走査線21が形成されており、この走査線21に交差する方向に延びる複数の信号線22が形成されている。また、表示基板20には、発光素子が複数形成された表示素子20aが設けられている。更に、図1においては図示を省略しているが、表示基板20には電源線及び陰極が形成されている。また、表示基板20の一端には、走査線21、信号線22、並びに不図示の電源線及び陰極各々に対する外部接続端子27が形成されている。

【0017】尚、図1に示した電気光学装置10は、あくまでも主要な構成を模式的に示したものであり、実際の走査線21、信号線22、及び外部接続端子27は、極めて狭い間隔をもって多数が表示基板20上にそれぞれ形成されている点に注意されたい。また、外部接続端子27と走査線21との接続状態との接続状態も図1においては図示を省略している。

【0018】中継基板30は、可撓性を有するベース基

板31上に複数の配線32が形成されており、更に中継基板30の所定位置に半導体チップ33を搭載した構成である。配線32の一端には、表示基板20に形成された走査線21及び信号線22等の配線と電氣的に接続するための外部接続端子34が形成されている。尚、図1では、中継基板30上に半導体チップ33のみが実装された構成であるが、半導体チップ33が実装される部位以外の部位の所定位置に抵抗、コンデンサ、その他のチップ部品を実装しても良い。また、中継基板30に形成される配線32及び外部接続端子34も、その構造の理解を容易にするために、間隔を拡大して模式的に示すとともに、構造を簡略化して図示してある。

【0019】図1に示すように、中継基板30は、異方性導電膜40を介して表示基板20に固着される。このとき、中継基板30の外部接続端子34は異方性導電膜40を介して表示基板20の外部接続端子27と電氣的に接続される。この異方性導電膜40は、一對の端子間を異方性を持たせて電氣的に一括接続するために用いられる導電性のある高分子フィルムであって、例えば、図2に示すように、熱可塑性又は熱硬化性の接着用樹脂41aの中に多数の導電粒子41bを分散させることによって形成される。

【0020】図2は、異方性導電膜40により中継基板30と表示基板20とが固着される様子を示す断面図である。図2に示すように、表示基板20に形成された外部接続端子27と中継基板30に形成された外部接続端子34との間に導電粒子41bが挟持されるため、外部接続端子27と中継配線である外部接続端子34との間が電氣的に接続されることになる。一方、外部接続端子27及び外部接続端子34が形成されている部位以外の部位においては、導電粒子41bが挟持されていても、接続端子が存在しないため、導通は取れていない。このようにして、外部接続端子27及び外部接続端子34との間のみで導通をとることができる。

【0021】異方性導電膜40を用いて表示基板20と中継基板30とを固着させるには、表示基板20を表面が粗面とされた案内板を有する載置台（何れも図示省略）上に配置し、表示基板20を真空吸着する。このとき、少なくとも表示基板20に対して中継基板30が固着される部位が案内板の上方に位置するように表示基板20を載置台上に載置する。ここで、表面が粗面とされた案内板を用いるのは、案内板と表示基板20の接触面積を低減して案内板からの熱放散を抑えることで、表示基板20に加える温度を低下させるためである。

【0022】表示基板20の載置台上への載置が完了すると、中継基板30が固着される表示基板20の部位に異方性導電膜40を貼付し、更に、半導体チップ33が搭載された面を下側にして、外部接続端子34が異方性導電膜40の上方に位置するように中継基板30の位置合わせを行う。以上の工程が終了すると、図示しない加

熱加圧ヘッドを用いて外部接続端子34が形成されている面の裏面を加熱・加圧して、外部接続端子34と表示基板20に形成されている外部接続端子27との導通をとるとともに、中継基板30を表示基板20に固着させる。このとき、加熱加圧ヘッドから中継基板30及び表示基板20に加える温度は百数十～数百℃程度であり、加える圧力は数メガパスカルである。以上の工程を経ることにより、中継基板30を表示基板20に固着させることができる。

【0023】次に、本実施形態の電気光学装置10の配線構造の詳細について説明する。図3は、本発明の一実施形態による電気光学装置の配線構造を模式的に示す図である。図3に示したように電気光学装置10は、複数の走査線21と、走査線21に対して交差する方向に延びる複数の信号線22と、信号線22に並行して延びる複数の発光用電源配線23とがそれぞれ配線されており、走査線21及び信号線22の各交点付近に、画素領域Aが設けられている。

【0024】各信号線22には、シフトレジスタ、レベルシフト、ビデオライン、及びアナログスイッチを備えるデータ側駆動回路33aが接続されている。また、各信号線22には、薄膜トランジスタを備える検査回路25が接続されている。更に、各走査線21には、シフトレジスタ及びレベルシフトを備える走査線駆動回路24が接続されている。

【0025】また、画素領域Aの各々には、スイッチング薄膜トランジスタ52、保持容量Cap、カレント薄膜トランジスタ53、画素電極51、発光層50、及び陰極26が設けられる。スイッチング薄膜トランジスタ52は、そのゲート電極に走査線21が接続されており、走査線21から供給される走査信号に応じて駆動されてオン状態又はオフ状態となる。保持容量Capは、スイッチング薄膜トランジスタ52を介して信号線22から供給される画像信号を保持する。

【0026】カレント薄膜トランジスタ53は、そのゲート電極がスイッチング薄膜トランジスタ52及び保持容量Capに接続されており、保持容量Capによって保持された画像信号がゲート電極に供給される。画素電極51は、カレント薄膜トランジスタ53に接続されており、カレント薄膜トランジスタ53を介して発光用電源配線23に電氣的に接続したときに発光用電源配線23から駆動電流が流れ込む。発光層50は画素電極51と陰極26との間に挟み込まれている。

【0027】上記、発光層50には、赤色に発光する発光層50R、緑色に発光する発光層50G、及び青色に発光する発光層50Bの3種の発光素子が含まれ、各発光層50R、50G、50Bがストライプ配置されている。そして、カレント薄膜トランジスタ53を介して各発光層50R、50G、50Bに接続される発光用電源配線23R、23G、23Bがそれぞれ、発光用電源回

路33cに接続されている。各色毎に発光用電源配線23R, 23G, 23Bが配線されているのは、発光層50R, 50G, 50Bの駆動電位が各色毎に異なるためである。

【0028】また、本実施形態の電気光学装置においては、陰極26と発光用電源配線23R, 23G, 23Bとの間に静電容量 C_1 が形成されている。電気光学装置10が駆動するとこの静電容量 C_1 に電荷が蓄積される。電気光学装置10の駆動中に各発光用電源配線23を流れる駆動電流の電位が変動した場合には、蓄積された電荷が各発光用電源配線23に放電されて駆動電流の電位変動を抑制する。これにより、電気光学装置10の画像表示を正常に保つことができる。

【0029】尚、この電気光学装置10においては、走査線21から走査信号が供給されてスイッチング薄膜トランジスタ52がオン状態になると、そのときの信号線22の電位が保持容量 C_{ap} に保持され、保持容量 C_{ap} に保持された電位に応じてカレント薄膜トランジスタ53のオン・オフ状態が決まる。そして、カレント薄膜トランジスタ53のチャネルを介して、発光用電源配線23R, 23G, 23Bから画素電極51に駆動電流が流れ、更に発光層50R, 50G, 50Bを介して陰極26に電流が流れる。このとき、発光層50を流れた電流量に応じた量の発光が発光層50から得られる。

【0030】次に、本実施形態の電気光学装置10の具体的な構成について、図4及び図5を参照して説明する。図4は、本実施形態の電気光学装置の平面模式図であり、図5は、図4のA-A'線に沿う断面図である。図4に示すように、本実施形態の電気光学装置10は、基板60、不図示の画素電極群領域、発光用電源配線23(23R, 23G, 23B)、及び表示画素部61(図中一点鎖線の枠内)とから概略構成される。

【0031】基板60は、例えばガラス等からなる透明な基板である。画素電極群領域は、図3に示したカレント薄膜トランジスタ53に接続された画素電極(図示省略)を基板60上にマトリックス状に配置した領域である。発光用電源配線23(23R, 23G, 23B)は、図4に示したように、画素電極群領域の周囲に配置され、各画素電極に接続されている。表示画素部61は、少なくとも画素電極群領域上に位置し、平面視略矩形形状である。この表示画素部61は、中央部分の実表示領域(又は、有効表示領域ともいう)62(図中二点鎖線の枠内)と、実表示領域62の外側に配置されたダミー領域63(一点鎖線及び二点鎖線の間の領域)とに区画されている。

【0032】また、実表示領域62の図中両側には、走査線駆動回路24が配置されている。この走査線駆動回路24はダミー領域63の下層側(基板60側)に位置して設けられている。更に、ダミー領域63の下層側には、走査線駆動回路24に接続される走査線駆動回路用

制御信号配線24aと走査線駆動回路用電源配線24bとが設けられている。また更に、実表示領域62の図中上側には、前述の検査回路25が配置されている。この検査回路25はダミー領域63の下層側(基板側2)に位置して設けられており、この検査回路25により、製造途中や出荷時の電気光学装置の品質、欠陥の検査を行うことができる。

【0033】図4に示すように、発光用電源配線23R, 23G, 23Bは、ダミー領域63の周囲に配設されている。各発光用電源配線23R, 23G, 23Bは、基板60の図2中下側から走査線駆動回路用制御信号配線24aに沿って図4中上方に延在し、走査線駆動回路用制御信号配線24aが途切れた位置から折曲してダミー領域63の外側に沿って延在し、実表示領域62内にある図示略の画素電極に接続されている。また、基板60には、陰極26に接続される陰極用配線26aが形成されている。この陰極用配線26aは、発光用電源配線23R, 23G, 23Bを囲むように平面視略コ字状に形成されている。

【0034】次に、図5に示すように、基板60上には回路部11が形成され、この回路部11上に表示画素部61が形成されている。また、基板60には、表示画素部61を環状に囲む封止材13が形成されており、更に表示画素部61上に封止基板14が備えられている。封止基板14は、封止材13を介して基板60に接合されており、ガラス、金属、又は樹脂等からなるものである。この封止基板14の裏側には、吸着剤15が貼付され、表示画素部61と封止基板14との間の空間に混入した水又は酸素を吸収できるようになっている。尚、吸着剤15に代えてゲッター剤を用いても良い。また、封止材13は、例えば熱硬化樹脂又は紫外線硬化樹脂からなるものであり、特に熱硬化樹脂の一種であるエポキシ樹脂よりなることが好ましい。

【0035】回路部11の中央部分には、画素電極群領域11aが設けられている。この画素電極群領域11aには、カレント薄膜トランジスタ53と、カレント薄膜トランジスタ53に接続された画素電極51が備えられている。カレント薄膜トランジスタ53は、基板60上に積層された下地保護層281、第2層間絶縁層283、及び第1層間絶縁層284に埋め込まれて形成され、画素電極51は、第1層間絶縁層284上に形成されている。カレント薄膜トランジスタ53に接続され、第2層間絶縁層283上に形成された電極の一方(ソース電極)には、発光用電源配線23(23R, 23G, 23B)が接続されている。尚、回路部11には、前述した保持容量 C_{ap} 及びスイッチング薄膜トランジスタ52も形成されているが、図5ではこれらの図示を省略している。更に、図5においては、信号線22の図示を省略している。

【0036】次に、図5において、画素電極群領域11

aの図中両側には、前述の走査線駆動回路24が設けられている。図4に示した走査線駆動回路24には、シフトレジスタに含まれるインバータを構成するNチャネル型又はPチャネル型の薄膜トランジスタ24cが備えられ、この薄膜トランジスタ24cは、画素電極51に接続されていない点を除いて上記のカレント薄膜トランジスタ53と同様の構造とされている。尚、図5においては、検査回路25の図示を省略しているが、この検査回路25にも同様に薄膜トランジスタが備えられている。検査回路25に備えられている薄膜トランジスタは、後述するダミー画素電極51'に接続されていない点を除いてカレント薄膜トランジスタ53と同様の構造とされている。

【0037】図5に示すように、走査線駆動回路24の図中外側の下地保護層281上には、走査線駆動回路用制御信号配線24aが形成されている。また、走査線駆動回路用制御信号配線24aの外側の第2層間絶縁層283上には、走査線駆動回路用電源配線24bが形成されている。また、走査線駆動回路用電源配線24bの外側には、発光用電源配線23が形成されている。この発光用電源配線23は、2つの配線からなる二重配線構造を採用しており、前述したように表示画素部61の外側に配置されている。二重配線構造を採用することで配線抵抗を軽減できる。

【0038】例えば、図5中左側にある赤色用の発光用電源配線23Rは、下地保護層281上に形成された第1配線23R₁と、第2層間絶縁層283を介して第1配線23R₁上に形成された第2配線23R₂とから構成されている。第1配線23R₁及び第2配線23R₂は、図2に示すように第2層間絶縁層283を貫通するコンタクトホール23R₃により接続されている。このように、第1配線23R₁は、陰極用配線26aと同じ階層位置に形成されており、第1配線23R₁と陰極用配線26aとの間は第2層間絶縁層283が配置されている。また、図5に示す通り、陰極用配線26aはコンタクトホールを介して第2層間絶縁層283上に形成された陰極用配線26bと電気的に接続されおり、いわば陰極用配線26aも二重配線構造になっている。よって、第2配線23R₂は、陰極用配線26bと同じ階層位置に形成されており、第1配線23R₂と陰極用配線26bとの間は第1層間絶縁層284が配置されている。このような構造をとることで、第1配線23R₁と陰極用配線26aとの間、及び、第2配線23R₂と陰極用配線26bとの間に第2の静電容量C₂が形成されている。

【0039】同様に、図5の右側にある青色及び緑色用の発光用電源配線23G、23Bも二重配線構造を採用しており、それぞれ下地保護層281上に形成された第1配線23G₁、23B₁と、第2層間絶縁層283上に形成された第2配線23G₂、23B₂とから構成され、

第1配線23G₁、23B₁及び第2配線23G₂、23B₂は、図4に示すように第2層間絶縁層283を貫通するコンタクトホール23G₃、23B₃により接続されている。そして、青色の第1配線23B₁と陰極用配線26aの間、及び、青色の第2配線23B₂と陰極用配線26bとの間に第2の静電容量C₂が形成されている。

【0040】第1配線23R₁と第2配線23R₂との間隔は、例えば、0.6~1.0μmの範囲が好ましい。間隔が0.6μm未満であると、信号線22及び走査線21のような異なる電位を有するソースメタルとゲートメタルとの間の寄生容量が増えるため好ましくない。例えば、実表示領域62内においては、ソースメタルとゲートメタルとが交差する箇所が多く存在し、かかる箇所の寄生容量が多いと画像信号の時間遅延を引き起こす虞がある。その結果として、定められた期間内に画像信号を画素電極51に書き込む事ができないため、コントラストの低下を引き起こす。第1配線23R₁及び第2配線23R₂に挟まれる第2層間絶縁層283の材質は、例えばSiO₂等が好ましいが、1.0μm以上形成するとSiO₂の応力により基板60が割れる恐れが生じる。

【0041】また、各発光用電源配線23Rの上側には、表示画素部61から延出した陰極26が形成されている。これにより、各発光用電源配線23Rの第2配線23R₂が、第1層間絶縁層284を挟んで陰極26と対向配置され、これにより第2配線23R₂と陰極26との間に前述の第1の静電容量C₁が形成される。ここで、第2配線23R₂と陰極26との間隔は、例えば、0.6~1.0μmの範囲が好ましい。間隔が0.6μm未満だと、画素電極及びソースメタルのような異なる電位を有する画素電極とソースメタルとの間の寄生容量が増える為、ソースメタルを用いている信号線の配線遅延が生じる。その結果、定められた期間内に画像信号を書き込む事ができない為、コントラストの低下を引き起こす。第2配線23R₂と陰極26に挟まれる第1層間絶縁層284の材質は、例えばSiO₂やアクリル樹脂等が好ましい。しかしながら、SiO₂を1.0μm以上形成すると応力により基板60が割れる恐れが生じる。また、アクリル樹脂の場合は、2.0μm程度まで形成することができるが、水を含むと膨張する性質があるため、その上に形成する画素電極を割る恐れがある。

【0042】このように、表示基板20には、発光用電源配線23と陰極26との間に第1の静電容量C₁が設けられるので、発光用電源配線23を流れる駆動電流の電位が変動した場合に第1の静電容量C₁に蓄積された電荷が発光用電源配線23に供給され、駆動電流の電位不足分がこの電荷により補われて電位変動を抑制することができ、発光装置1の画像表示を正常に保つことができる。特に、発光用電源配線23と陰極26とが表示画

素部61の外側で対向しているため、発光用電源配線23と陰極26との間隔を小さくして第1の静電容量 C_1 に蓄積される電荷量を増大させることができ、駆動電流の電位変動をより小さくして画像表示を安定に行うことができる。更に、発光用電源配線23が第1配線及び第2配線からなる二重配線構造を有し、第1配線と陰極用配線との間に第2の静電容量 C_2 が設けられているので、第2の静電容量 C_2 に蓄積された電荷も発光用電源配線23に供給されるため、電位変動をより抑制することができ、発光装置1の画像表示をより正常に保つことができる。

【0043】次に、表示画素部61の実画素領域62には、発光層50及びバンク部(絶縁部)122が形成されている。発光層50は図5に示すように、画素電極51上の各々に積層されている。また、バンク部122は、各画素電極51及び各発光層50の間に備えられており、各発光層50を区画している。バンク部122は、基板60側に位置する無機物バンク層122aと基板60から離れて位置する有機物バンク層122bとが積層されて構成されている。尚、無機物バンク層122aと有機物バンク層122bとの間に遮光層を配置してもよい。

【0044】無機物、有機物バンク層122a、122bは、画素電極51の周縁部上に乗上げるまで延出形成されており、また無機物バンク層122aは、有機物バンク層122bよりも画素電極51の中央側に延出形成されている。また、無機物バンク層122aは、例えば、 SiO_2 、 TiO_2 、 SiN 等の無機材料からなることが好ましい。また無機物バンク層122aの膜厚は、50~200nmの範囲が好ましく、特に150nmがよい。膜厚が50nm未満では、無機物バンク層122aが後述する正孔注入/輸送層より薄くなり、正孔注入/輸送層の平坦性を確保できなくなるので好ましくない。また膜厚が200nmを越えると、無機物バンク層122aによる段差が大きくなって、正孔注入/輸送層上に積層する後述の発光層の平坦性を確保できなくなるので好ましくない。

【0045】更に、有機物バンク層122bは、アクリル樹脂、ポリイミド樹脂等の通常のレジストから形成されている。この有機物バンク層122bの厚さは、0.1~3.5 μm の範囲が好ましく、特に2 μm 程度がよい。厚さが0.1 μm 未満では、後述する正孔注入/輸送層及び発光層の合計厚より有機物バンク層122bが薄くなり、発光層が上部開口部から溢れるおそれがあるので好ましくない。また、厚さが3.5 μm を越えると、上部開口部による段差が大きくなり、有機物バンク層122b上に形成する陰極26のステップカバレッジを確保できなくなるので好ましくない。また、有機物バンク層122bの厚さを2 μm 以上にすれば、陰極26と画素電極51との絶縁を高めることができる点でより

好ましい。このようにして、発光層50は、バンク部122より薄く形成されている。

【0046】また、バンク部122の周辺には、親液性を示す領域と、撓液性を示す領域が形成されている。親液性を示す領域は、無機物バンク層122a及び画素電極51であり、これらの領域には、酸素を反応ガスとするプラズマ処理によって水酸基等の親液基が導入されている。また、撓液性を示す領域は、有機物バンク層122bであり、4フッ化メタンを反応ガスとするプラズマ処理によってフッ素等の撓液基が導入されている。

【0047】発光層50は、画素電極51上に積層された図示せぬ正孔注入/輸送層上に積層されている。尚、本明細書では、発光層50及び正孔注入/輸送層を含む構成を機能層といい、画素電極51、機能層、及び陰極26を含む構成を発光素子という。正孔注入/輸送層は、正孔を発光層50に注入する機能を有するとともに、正孔を正孔注入/輸送層内部において輸送する機能を有する。このような正孔注入/輸送層を画素電極51と発光層50の間に設けることにより、発光層50の発光効率、寿命等の素子特性が向上する。また、発光層50では、正孔注入/輸送層から注入された正孔と、陰極26からの電子とが結合して蛍光を発生させる。発光層50は、赤色(R)に発光する赤色発光層、緑色(G)に発光する緑色発光層、及び青色(B)に発光する青色発光層の3種類を有し、図3及び図4に示すように、各発光層がストライプ配置されている。

【0048】次に、図5に示したように、表示画素部61のダミー領域63には、ダミー発光層210及びダミーバンク部212が形成されている。ダミーバンク部212は、基板60側に位置するダミー無機物バンク層212aと基板60から離れて位置するダミー有機物バンク層212bとが積層されて構成されている。ダミー無機物バンク層212aは、ダミー画素電極51'の全面に形成されている。またダミー有機物バンク層212bは、有機物バンク層122bと同様に画素電極51の間に形成されている。そして、ダミー発光層210は、ダミー無機物バンク212aを介してダミー画素電極51'上に形成されている。

【0049】ダミー無機物バンク層212a及びダミー有機物バンク層212bは、先に説明した無機物、有機物バンク層122a、122bと同様の材質、同様の膜厚を有するものである。また、ダミー発光層210は、図示略のダミー正孔注入/輸送層上に積層されており、ダミー正孔注入/輸送層及びダミー発光層の材質や膜厚は、前述の正孔注入/輸送層及び発光層50と同様である。従って、上記の発光層50と同様に、ダミー発光層210はダミーバンク部212より薄く形成されている。

【0050】ダミー領域63を実表示領域62の周囲に配置することにより、実表示領域62の発光層50の厚

さを均一にすることができ、表示ムラを抑制することができる。即ち、ダミー領域63を配置することで、表示素子をインクジェット法によって形成する場合における吐出した組成物インクの乾燥条件を実表示領域62内で一定にすることができ、実表示領域62の周縁部で発光層50の厚さに偏りが生じる虞がない。

【0051】次に、陰極26は、実表示領域62とダミー領域63の全面に形成されるとともにダミー領域63の外側にある基板60上まで延出され、ダミー領域63の外側、即ち表示画素部61の外側で発光用電源配線23と対向配置されている。また陰極26の端部が、回路部11に形成された陰極用配線26aに接続されている。陰極26は、画素電極51の対向電極として発光層50に電流を流す役割を果たす。この陰極26は、例えば、フッ化リチウムとカルシウムの積層体からなる陰極層26bと反射層26cとが積層されて構成されている。陰極26のうち、反射層26cのみが表示画素部61の外側まで延出されている。反射層26cは、発光層50から発した光を基板60側に反射させるもので、例えば、Al、Ag、Mg/Ag積層体等からなることが好ましい。更に、反射層26c上にSiO₂、SiN等からなる酸化防止用の保護層を設けても良い。

【0052】また、図4に示すように、基板60の一端には前述した異方性導電膜40を用いて中継基板30が固着されている。尚、中継基板30上に搭載された半導体チップ33には、図3に示したデータ側駆動回路33a、陰極用電源回路33b、及び発光用電源回路33cが内蔵されている。図4中の破線で囲った部分は、表示基板20と中継基板30との固着部を示している。図6は、図4に示した固着部65付近の上面図である。尚、図6においては、異方性導電膜40及び中継基板30の図示を省略している。

【0053】図6に示したように、固着部65においては、線幅の細い配線各々に対して配線の幅と同程度の幅を有する第1外部接続端子が設けられ、幅広の配線に対しては線幅よりも幅の狭い複数の第2外部接続端子が設けられる。例えば、線幅の細い走査線駆動回路用制御信号配線24aの各々に対しては、走査線駆動回路用制御信号配線24aの線幅と同程度の幅を有する第1外部接続端子67、68、69が設けられる。一方、幅が広い発光用電源配線23Rに対しては、発光用電源配線23Rの線幅よりも幅の狭い第2外部接続端子66a、66b、66cが設けられる。また、走査線駆動回路用制御信号配線24aよりも幅が狭い信号線22に対しては、信号線22と同程度の線幅を有する第2外部接続端子70がそれぞれ設けられる。尚、第1外部接続端子及び第2外部接続端子の数は、基板60に形成される配線の線幅に応じて適宜設定される。

【0054】このように、基板60に形成された配線の線幅に応じて第1外部接続端子及び第2外部接続端子の

数を変えるのは、固着部65の全面に亘って圧着条件を極力同一にするためである。つまり、図1及び図2を用いて説明したように、表示基板10と中継基板20とは異方性導電膜40により固着されるが、固着条件（例えば、端子の幅、接着面積、圧力の掛かり具合等）が異なると固着部65内部における電氣的抵抗がその位置に応じて異なる。固着部65における電氣的抵抗が位置に応じて異なると、表示ムラ及びコントラスト低下等の表示上の不具合を生ずる。このために、固着部65において、基板60に形成された配線の線幅に応じて外部接続端子の数を増やすことにより圧着条件を極力同一にしている。更に、複数の外部接続端子を設けることにより、接着面積を増大させることができる。即ち、複数の外部接続端子n間に異方性導電膜を配置することができるので、強固な接着が可能となる。

【0055】次に、固着部65に形成される外部接続端子の構造について詳細に説明する。図7は、図6中のB-B'線に沿う第2外部接続端子66c及び第2外部接続端子70の断面図であり、図8は、図7中の外部接続端子70の拡大図である。図7及び図8に示すように、基板60上には下地保護層281が形成されており、この下地保護層281上にSiO₂及び/又はSiNを主体とするゲート絶縁層71が形成されている。このゲート絶縁層71は、図示しない薄膜トランジスタのチャネル領域とゲート電極とを電氣的に絶縁するために形成されるものである。尚、本明細書において、「主体」とする成分とは最も含有率の高い成分のことをいうものとする。

【0056】ゲート絶縁層71上には信号線22及び発光用電源配線23Rが形成されており、更に信号線22及び発光用電源配線23R上に第2層間絶縁層283が形成されている。また、発光用電源配線23、走査線駆動回路用制御信号配線24aは、図3に記載の走査線21と同時に形成される。

【0057】上記第2層間絶縁層283には、信号線22及び発光用電源配線23Rの上部位置にコンタクトホールHが複数形成されている。また、発光用電源配線23Rの上方の第2層間絶縁層283上には電極73が形成され、信号線22の上方の第2層間絶縁層283上には電極74、75が形成されている。

【0058】これらの電極73、74、75は、コンタクトホールHを形成した後でスパッタリング法等により形成されるため、コンタクトホールHの上部にはコンタクトホールH内に堆積した金属材料の分だけ表面に凹部Bが形成される。このようにして、コンタクトホールHを介して、第2層間絶縁層283に覆われた発光用電源配線23Rと第2層間絶縁層283上に形成された電極74との導通、及び、第2層間絶縁層283に覆われた信号線22と第2層間絶縁層283上に形成された電極74、75の導通がとられる。

【0059】また、第2層間絶縁層283上に形成された電極73、74、75の端部、側部、及びこれらの電極73、74、75間には、電気的な絶縁を目的としたSiN等の無機材料からなる第1層間絶縁層284が形成されている。電極73、74、75の上部、側部、及び周辺部には、ITO等からなる透明電極77が形成され、更に電極73、74、75の周辺部に形成された透明電極77及び第2外部接続端子66c、70、70間にはSiO₂からなる保護層78が形成されている。尚、電極73、74、75は、図3に記載されているゲート線と同時に形成され、又、透明電極77は、ITOにより形成され、画素電極（陽極）と同時に形成される。

【0060】図7及び図8に示すように、本実施形態の電気光学装置に設けられる第2外部接続端子66c、70、70の表面には複数の凹部Bが形成されされており、この凹部Bにより、第2外部接続端子66c、70、70をいわば複数の電極として分割した構成となっている。図6に示したように、発光用電源配線23R及び信号線22の線幅に応じて外部接続端子の数を変えることにより、固着部65における固着条件の均一化を図っているが、第2外部接続端子66c、70、70の表面に複数の凹部Bが形成されているため、第2外部接続端子66c、70、70は更に複数の電極に分割されたものとなり、固着条件の均一化を図る上で極めて好適である。

【0061】また、電極73、74、75の端部に第1層間絶縁層284を形成することにより、第2外部接続端子66c、70、70の端部に凸部79が形成される。この凸部79は、異方性導電膜40を用いて表示基板10と中継基板20とを固着する際に、異方性導電膜40に含まれる導電粒子41bが第2外部接続端子66c、70、70の側部にはみ出るのを防止するように作用する。その結果、より多くの導電粒子41bが第2外部接続端子66c、70、70上に配置されることになるため、固着部65における電気的抵抗を低減する極めて優れた構造である。

【0062】以上説明した本実施形態の表示基板20は、固着部65において圧着条件を均一化するための構成が設けられているため、固着部65に固着される中継基板30に形成される外部接続端子34は、図6に示す発光用電源配線23R及び走査線駆動回路用制御信号配線24a等と同様の線幅で形成されていても良い。しかしながら、より均一な圧着条件下で中継基板30と表示基板20とを固着するには、固着部65に形成された第2外部接続端子66c、70、70等と同様のパターンであることが好適である。

【0063】以上、本発明の一実施形態による電気光学装置について説明したが、以上説明した電気光学装置、CPU（中央処理装置）等を備えたマザーボード、キー

ボード、ハードディスク等の電子部品を筐体内に組み込むことで、例えば図9に示すノート型のパーソナルコンピュータ600（電子機器）が製造される。図9は、本発明の一実施形態による電気光学装置を備える電子機器の一例を示す図である。尚、図9において601は筐体であり、602は液晶表示装置であり、603はキーボードである。図10は、他の電子機器としての携帯電話機を示す斜視図である。図10に示した携帯電話機700は、アンテナ701、受話器702、送話器703、液晶表示装置704、及び操作部705等を備えて構成されている。

【0064】また、上記実施形態では、電子機器としてノート型コンピュータ及び携帯電話機を例に挙げて説明したが、これらに限らず、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

【0065】

【発明の効果】以上説明したように、本発明によれば、第1配線よりも幅広の第2配線に対しては、第2外部接続端子が複数設けられているため、配線が施された基板を表示基板に固着させるとともに導通を取るときに圧力の掛かり具合等の圧着条件を固着部全体に亘って均一化することができるという効果がある。このため、固着部における電気的抵抗の不均一性を解消することができ、その結果として、固着部における電気的抵抗の不均一性に起因する表示ムラ及びコントラストの低下等の表示上の不具合を生ずることがないという効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施形態による電気光学装置を模式的に示す分解斜視図である。

【図2】 異方性導電膜40により中継基板30と表示基板20とが固着される様子を示す断面図である。

【図3】 本発明の一実施形態による電気光学装置の配線構造を模式的に示す図である。

【図4】 本実施形態の電気光学装置の平面模式図である。

【図5】 図4のA-A'線に沿う断面図である。

【図6】 図4に示した固着部65付近の上面図である。

【図7】 図6中のB-B'線に沿う第2外部接続端子66c及び第2外部接続端子70の断面図である。

【図8】 図7中の外部接続端子70の拡大図である。

【図9】 本発明の一実施形態による電気光学装置を備える電子機器の一例を示す図である。

【図10】 他の電子機器としての携帯電話機を示す斜

視図である。

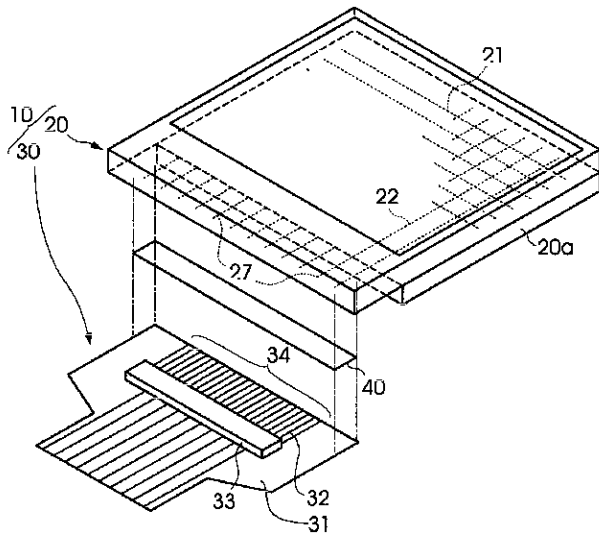
【図11】 従来の電気光学装置の配線構造を示す図である。

【符号の説明】

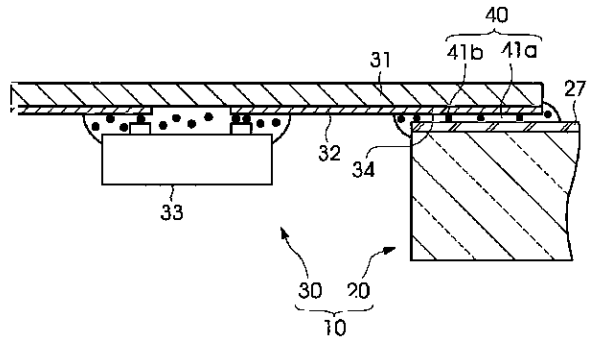
- 10……電気光学装置
- 20……表示基板
- 22……信号線（第1配線）
- 23, 23R……発光用電源配線（第2配線、電源線）
- 24a……走査線駆動回路用制御信号配線（第1配線）

- 30……中継基板
- 40……異方性導電膜
- 50……発光素子
- 53……スイッチング素子
- 66a, 66b, 66c……第2外部接続端子
- 67, 68, 69, 70……第1外部接続端子
- 79……凸部
- B……凹部

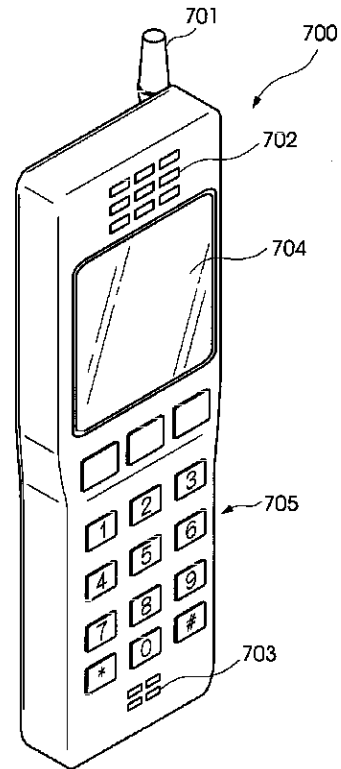
【図1】



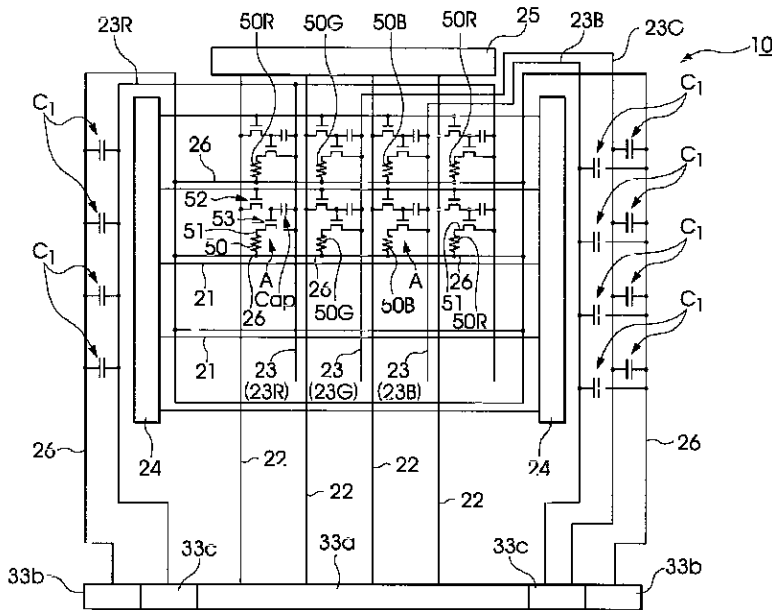
【図2】



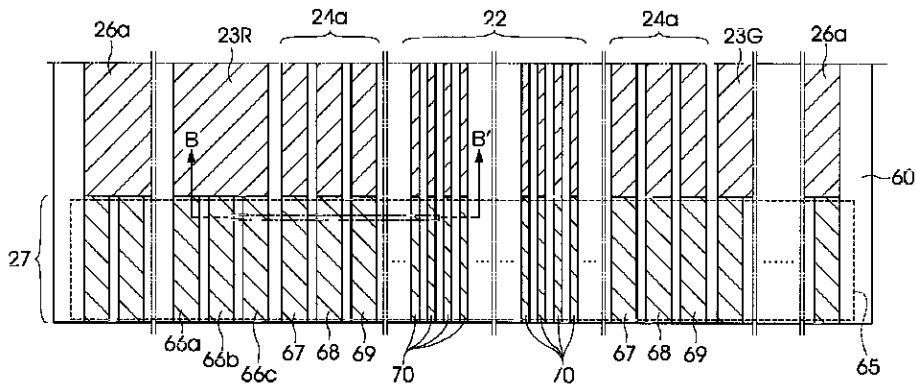
【図10】



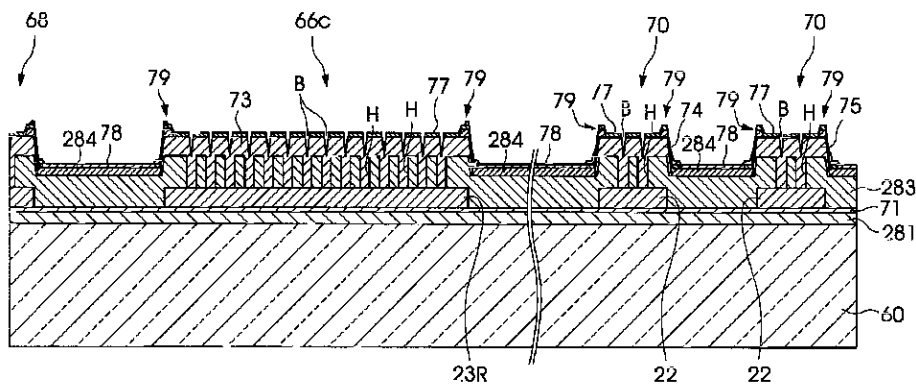
【図3】



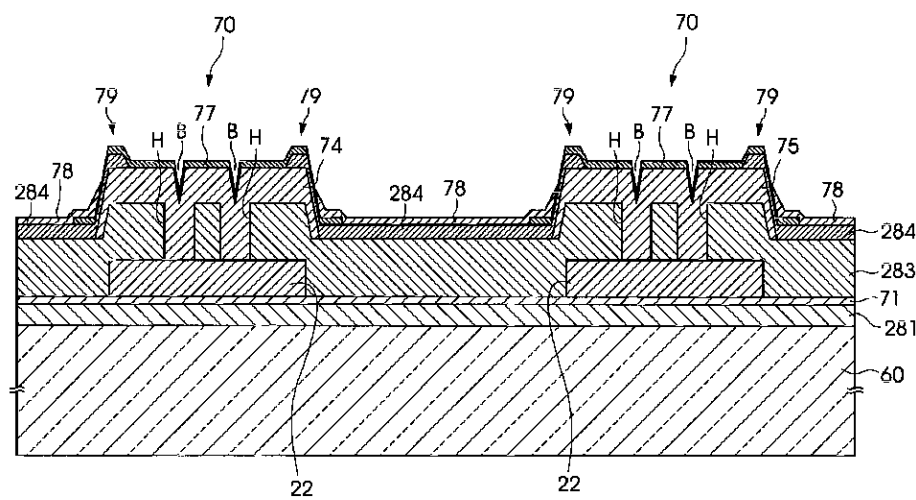
【图6】



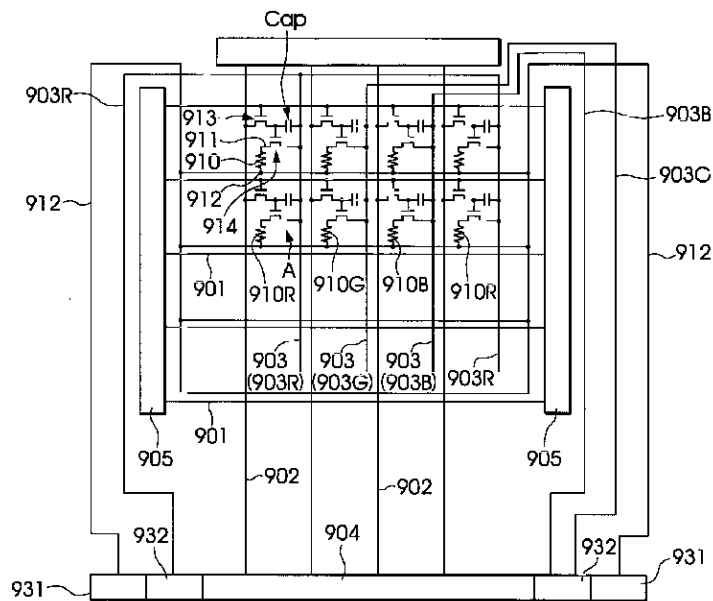
【图7】



【图8】



【図11】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	(参考)
H 0 5 B 33/06		H 0 5 B 33/06	
	33/14		A
H 0 5 K 1/14		H 0 5 K 1/14	C
	3/36		A

Fターム(参考) 2H088 EA22 HA02 MA02 MA20
 2H092 GA33 GA40 GA48 GA50 HA18
 HA26 JA24 NA01 NA25
 3K007 AB17 CC05 DB03
 5C094 AA03 BA29 CA19 CA24 DB03
 EA10 FA01 FA04 HA08
 5E344 AA02 AA12 AA22 BB02 BB04
 BB12 BB13 BB15 CC14 CC17
 CC23 CD04 CD14 DD06 EE06
 EE23

(19) Japan Patent Office
(JP)

(12) **Gazette of Unexamined
Patent Applications (A)**

(11) Publication Number
2003-216064
(P2003-216064A)

(43) Publication Date July 30, 2003 (2003.7.30)

(51) Int.Cl. ⁷	ID Codes	FI	Theme Codes (Ref.)
G09F 9/30	330	G09F 9/30	330Z 2H088
	365		365Z 2H092
G02F 1/13	505	G02F 1/13	505 3K007
1/1345		1/1345	5C094
1/1368		1/1368	5E344

Examination Request Received No. of Claims 12 OL (Total of 14 Pages) Continued on Last Page

(21) Appl. No. 2002-16119 (P2002-16119)
(22) Filing Date Jan. 24, 2002 (2002.1.24)

(71) Applicant 000002369
Seiko Epson Corporation
2-4-1, Nishishinjuku, Shinjuku-ku, Tokyo
(72) Inventor
Hayato NAKANISHI
Seiko Epson Corporation
3-3-5, Owa, Suwa-shi, Nagano-ken
(74) Agent 100095728
Masayoshi UEYANAGI (and 2 others)

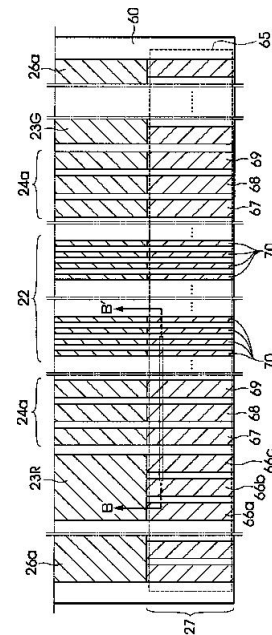
Continued on Last Page

(54) [Title of the Invention] Electro-optical Device and Electronic Device

(57) [Abstract]

[Problem] To provide an electro-optical device that is able to eliminate electrical resistance unevenness in a bonding area and prevent display problems such as contrast degradation by making the bonding conditions between the display substrate and the intermediate substrate the same throughout the entire bonding area, and to provide an electronic device including this electro-optical device.

[Solution] Provided is an electro-optical device comprising a display substrate on which are formed a plurality of light emitting elements and a switching element that supplies electric current supplied via power supply lines such as light emission power supply line 23R to the light-emitting elements in response to signals supplied via signal lines such as scan line drive circuit control signal line 24a, the electro-optical device characterized in that the power supply lines such as light emission power supply line 23R are wider than the signal lines such as scan line drive circuit control signal line 24a, and the power supply lines such as light emission power supply line 23R are provided with a plurality of external connection terminals, such as external connection terminals 66a, 66b, and 66c.



[Claims]

[Claim 1]

An electro-optical device comprising first wiring connected to a first external connection terminal and second wiring formed so as to be wider than the width of the first wiring, the electro-optical device characterized in that a plurality of second external connection terminals are provided for the second wiring.

[Claim 2]

The electro-optical device according to claim 1, wherein protruding portions are formed on the first external connection terminals and the second external connection terminals.

[Claim 3]

The electro-optical device according to claim 1 or claim 2, wherein a plurality of recessed portions are formed on the surfaces of the first external connection terminals and the second external connection terminals.

[Claim 4]

The electro-optical device according to any one of claim 1 to claim 3, wherein the widths of the second external connection terminals are substantially equal.

[Claim 5]

The electro-optical device according to any one of claim 1 to claim 4, wherein first intermediate wiring having a width equal to that of the first wiring and second intermediate wiring having a width equal to that of the second wiring are formed, and an intermediate substrate is provided in which the first wiring and the first intermediate wiring are electrically connected via a first external connection terminal, and the second wiring and the second intermediate wiring are electrically connected via a second external connection terminal.

[Claim 6]

An electro-optical device comprising a plurality of light-emitting elements and switching elements that supply current to each of the light-emitting elements via a power supply line in response to signals supplied via a signal line, the electro-optical device characterized in that the width of the power supply lines is wider than the width of the signal lines, and a plurality of first external connection terminals are provided for the power supply lines.

[Claim 7]

The electro-optical device according to claim 6, wherein a plurality of protruding portions are formed on the surfaces of the first external connection terminals and second external connection terminals provided for signal lines.

[Claim 8]

The electro-optical device according to claim 6 or claim 7, wherein a plurality of recessed portions are formed on the surfaces of the first external connection terminals and the second external connection terminals.

[Claim 9]

The electro-optical device according to any one of claim 6 to claim 8, wherein the widths of the second external connection terminals are substantially equal.

[Claim 10]

The electro-optical device according to any one of claim 6 to claim 9, wherein first intermediate wiring having a width equal to that of the signal lines and second intermediate wiring having a width equal to that of the power supply lines are formed, and an intermediate substrate is provided in which the signal lines and the first intermediate wiring are electrically connected via a first external connection terminal, and the power supply lines and the second intermediate wiring are electrically connected via a second external connection terminal.

[Claim 11]

The electro-optical device according to claim 10, wherein the first external connection terminals and the first intermediate wiring, and the second external connection terminals and the second intermediate wiring are bonded by an anisotropic conductive film.

[Claim 12]

An electronic device characterized by comprising an electro-optical device according to any one of claim 1 to claim 11.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to an electro-optical device and an electronic device, and in particular to an electro-optical device provided with an organic electroluminescent material and an electronic device provided with the electro-optical device.

[0002]

[Prior Art]

In recent years, color electro-optical devices have been developed with a structure in which light-emitting elements made of light-emitting materials such as organic fluorescent materials are interposed between pixel electrodes (anodes) and cathodes, particularly organic EL display devices that use organic electroluminescence (organic EL) materials as light-emitting materials. The following is a brief explanation of an electro-optical device (organic EL display device) of the prior art.

[0003]

FIG. 11 shows the wiring structure of an electro-optical device of the prior art. As shown in FIG. 11, an electro-optical device of the prior art comprises a plurality of scanning lines 901, a plurality of signal lines 902 extending in a direction intersecting the scanning lines 901, a plurality light emission power supply lines 903 extending parallel to the signal lines 902, and a pixel area A is provided at each intersection of a scanning line 901 and a signal line 902. Each signal line 902 is connected to a data drive circuit 904 equipped with a shift register, a level shifter, a video line, and an analog switch, and each scanning line 901 is connected to a scanning drive circuit 905 equipped with a shift register and a level shifter.

[0004]

Each pixel area A is provided with a switching thin-film transistor 913, through which scanning signals are supplied to a gate electrode via a scanning line 901, holding capacitance Cap, which holds image signals supplied from a signal line 902 via the switching thin-film transistor 913, a current thin-film transistor 914, which supplies image signals retained by the holding capacitance Cap to the gate electrode, a pixel electrode 911, through which a drive current flows from the light emission power supply wiring 903 when electrically connected to the light emission power supply wiring 903 via the

current thin-film transistor 914, and light-emitting layers 910 interposed between the pixel electrode 911 and the cathode 912. The cathode 912 is connected to a cathode power supply circuit 931.

[0005]

The light-emitting layers 910 include three types of light-emitting elements: a red light-emitting layer 910R, a green light-emitting layer 910G, and a blue light-emitting layer 910B. Each light-emitting layer 910R, 910G, and 910B is arranged in a stripe pattern. Light emission power supply lines 903R, 903G, and 903B, which are connected to each light-emitting layer 910R, 910G, and 910B via the current thin-film transistor 914, are each connected to a light emission power supply circuit 932. Light emission power supply wiring is wired separately for each color because the drive voltage of the light-emitting layers 910 differs for each color.

[0006]

In this configuration, when a scanning signal is supplied to scanning line 901 and the switching thin-film transistor 913 is turned on, a charge corresponding to the image signal supplied to signal line 902 at this time is held in the holding capacitance Cap. The ON/OFF state of the current thin film transistor 914 is determined based on the amount of charge held by the holding capacitance Cap. Current flows from the light emission power supply lines 903R, 903G, and 903B to the pixel electrode 911 via the current thin-film transistor 914, and drive current flows to the cathode 912 via the light-emitting layers 910. At this time, light emission corresponding to the amount of electric current flowing through the light-emitting layers 910 is obtained from the light-emitting layers 910.

[0007]

[Problem to Be Solved by the Invention]

The electro-optical device shown in FIG. 11 is configured such that scanning lines 901, signal lines 902, cathodes 912, light-emitting power supply wiring 903 (903R, 903G, 903B), scanning drive circuits 905, and pixel areas A are formed on a transparent substrate (display substrate) such as glass, and cathode power supply circuits 931, light emission power supply circuits 932, and the data drive circuits 904 are arranged on a flexible substrate (intermediate substrate).

[0008]

In this configuration, the flexible substrate has to be bonded to the substrate to electrically connect the scanning lines 901, signal lines 902, cathodes 912, and light emission power supply wiring 903 to the circuits formed on the flexible substrate. The bonding and electrical connections between the substrate and the flexible substrate are achieved by placing an anisotropic conductive film containing conductive particles between the substrate and the flexible substrate and pressing the flexible substrate against the substrate.

[0009]

In order to stably emit light from the light-emitting layers 910 provided in the electro-optical device described above, the potential fluctuation in the drive current applied from the light-emitting power supply wiring 903 to the pixel electrodes 911 must be minimized. In particular, the electro-optical device shown in FIG. 11 is a current-driven electro-optical device, and in order to prevent display defects such as display unevenness and contrast degradation, voltage drops caused by wiring resistance of the cathodes 912 and the light emission power supply wiring 903 must be minimized. For this reason, cathodes 912 and light emission power supply wiring 903 are formed so as to be wider than the scanning lines 901 and signal lines 902.

[0010]

When bonding a substrate and a flexible substrate, there is a requirement that the bonding conditions be the same across the entire bonding area in order to ensure uniform electrical resistance, which occurs

primarily in the bonded area. In order to satisfy this requirement, the shape of the terminals provided in the bonded portion to which the various wiring is connected must be the same.

[0011]

However, because the electro-optical device shown in FIG. 11 is a current-driven electro-optical device, as mentioned above, it is difficult to narrow the wiring width of the cathodes 912 and the light emission power supply wiring 903 due to voltage drops caused by wiring resistance, etc. Also, because there are many scan lines 901 and signal lines 902, the line width and pitch of these lines must be reduced in order to accommodate all of them. As a result, it is difficult to make the line width of the scan lines 901 and signal lines 902 the same as the line width of the cathodes 912 and the light emission power supply wiring 903.

[0012]

In view of these circumstances, it is an object of the present invention to provide an electro-optical device that is able to eliminate electrical resistance unevenness in a bonding area and prevent display problems such as contrast degradation by making the bonding conditions between the display substrate and the intermediate substrate the same throughout the entire bonding area, and to provide an electronic device including this electro-optical device.

[0013]

[Means for Solving the Problem]

In order to solve this problem, a first aspect of the present invention is an electro-optical device comprising first wiring connected to a first external connection terminal and second wiring formed so as to be wider than the width of the first wiring, the electro-optical device characterized in that a plurality of second external connection terminals are provided for the second wiring. In this aspect of the present invention, since multiple external connection terminals are provided for the second wiring, which is wider than the first wiring, the wired substrate can be bonded to the display substrate under pressure conditions, such as the amount of pressure applied when establishing electrical connections, uniform throughout the entire bonded portion. This eliminates electrical resistance unevenness in the bonded portion, thereby preventing display defects such as display unevenness and contrast degradation caused by electrical resistance unevenness in the bonded portion. The electro-optical device according to the first aspect is also characterized in that protruding portions are formed on the first external connection terminals and the second external connection terminals. In this aspect of the present invention, since protruding portions are formed on either of the first external connection terminals and the second external connection terminals provided for the first wiring and the second wiring, the proportion of conductive particles in the anisotropic conductive film that overflows from both ends of the first external connection terminals and the second external connection terminals when bonding a wiring substrate to a display substrate using an anisotropic conductive film can be reduced, and conversely, the proportion remaining on the external connection terminal can be increased, making it extremely suitable for reducing electrical resistance in the bonded portion. The electro-optical device according to the first aspect is also characterized in that a plurality of recessed portions are formed on the surfaces of the first external connection terminals and the second external connection terminals. In this aspect of the present invention, since the first external connection terminals and the second external connection terminals are divided into a plurality of electrodes by the plurality of recessed portions formed on their surfaces, the pressure conditions, such as the amount of pressure applied to fix the wired substrate to the display substrate and ensure electrical connections, can be made more uniform. The electro-optical device according to the first aspect is also characterized in that the widths of the second external connection terminals are substantially equal. In this aspect of the present invention, since the widths of the second external connection terminals are set to be approximately equal, the pressure conditions, such as the amount of pressure applied when fixing the wired substrate to the display substrate and establishing electrical connections, can be set to a more preferable state. The electro-optical device according to the first aspect is also characterized in that first intermediate wiring having a width equal to that of the first wiring and second intermediate wiring having a width equal to that of the second wiring are formed, and an intermediate substrate is provided in which the first wiring and the first intermediate wiring are electrically connected via a first external connection terminal, and the second

wiring and the second intermediate wiring are electrically connected via a second external connection terminal. In order to solve the problem, a second aspect of the present invention is an electro-optical device comprising a plurality of light-emitting elements and switching elements that supply current to each of the light-emitting elements via a power supply line in response to signals supplied via a signal line, the electro-optical device characterized in that the width of the power supply lines is wider than the width of the signal lines, and a plurality of first external connection terminals are provided for the power supply lines. In this aspect of the present invention, a plurality of external connection terminals are provided for power supply lines that have been formed with an increased width due to the need to supply a large current to obtain light emission from light-emitting elements, even when mixed with thinner and narrower pitch signal lines to supply numerous signals. As a result, the pressure conditions, such as the amount of pressure applied to fix the wired substrate to the display substrate and ensure electrical connections, can be made more uniform. This eliminates electrical resistance unevenness in the bonded portion, thereby preventing display defects such as display unevenness and contrast degradation caused by electrical resistance unevenness in the bonded portion. The electro-optical device according to the first aspect is also characterized in that a plurality of protruding portions are formed on the surfaces of the first external connection terminals and second external connection terminals provided for signal lines. In this aspect of the present invention, since protruding portions are formed on either of the first external connection terminals and the second external connection terminals provided for the power supply lines and the signal lines, the proportion of conductive particles in the anisotropic conductive film that overflows from both ends of the first external connection terminals and the second external connection terminals when bonding a wiring substrate to a display substrate using an anisotropic conductive film can be reduced, and conversely, the proportion remaining on the external connection terminal can be increased, making it extremely suitable for reducing electrical resistance in the bonded portion. The electro-optical device according to the first aspect is also characterized in that a plurality of recessed portions are formed on the surfaces of the first external connection terminals and the second external connection terminals. In this aspect of the present invention, since the first external connection terminals and the second external connection terminals are divided into a plurality of electrodes by the plurality of recessed portions formed on their surfaces, the pressure conditions, such as the amount of pressure applied to fix the wired substrate to the display substrate and ensure electrical connections, can be made more uniform. The electro-optical device according to the second aspect is also characterized in that the widths of the second external connection terminals are substantially equal. The electro-optical device according to the second aspect is also characterized in that first intermediate wiring having a width equal to that of the signal lines and second intermediate wiring having a width equal to that of the power supply lines are formed, and an intermediate substrate is provided in which the signal lines and the first intermediate wiring are electrically connected via a first external connection terminal, and the power supply lines and the second intermediate wiring are electrically connected via a second external connection terminal. The electro-optical device according to the second aspect is also characterized in that the first external connection terminals and the first intermediate wiring, and the second external connection terminals and the second intermediate wiring are bonded by an anisotropic conductive film. The electronic device of the present invention is characterized by comprising any of the electro-optical devices described above.

[0014]

[Embodiments of the Invention]

The following is a detailed description of the electro-optical devices and electronic devices in embodiments of the present invention with reference to the drawings. Note that in the following description, each figure is drawn to a scale that allows each layer and each component to be recognized on the drawing, and, therefore, the scale of each layer and each component is different.

[0015]

FIG. 1 is an exploded perspective view of the electro-optical device in an embodiment of the present invention. As shown in FIG. 1, the electro-optical device 10 in the embodiment can be broadly divided into a display substrate 20 and an intermediate substrate 30 connected to the display substrate 20. The display substrate 20 is an active matrix organic EL device that uses thin film transistors (TFTs) as switching elements.

[0016]

A plurality of scanning lines 21 are formed on this display substrate 20, and a plurality of signal lines 22 extending in a direction intersecting the scanning lines 21 are also formed. In addition, the display substrate 20 is provided with display elements 20a in which a plurality of light-emitting elements are formed. Also, while not shown in FIG. 1, power supply lines and cathodes are also formed on the display substrate 20. In addition, external connection terminals 27 for the scanning lines 21, signal lines 22, power supply lines (not shown), and cathodes (not shown) are formed at one end of the display substrate 20.

[0017]

Note that the electro-optical device 10 shown in FIG. 1 is a schematic representation of the main components and that the actual scanning lines 21, signal lines 22, and external connection terminals 27 are formed in large numbers on the display substrate 20 at extremely narrow intervals. Note also that the connections between the external connection terminals 27 and the scanning lines 21 are omitted from FIG. 1.

[0018]

The intermediate substrate 30 has wiring 32 formed on a flexible base substrate 31 and has semiconductor chips 33 mounted at predetermined positions on the intermediate substrate 30. External connection terminals 34 are formed at one end of wiring 32 for electrical connection to wiring such as scanning lines 21 and signal lines 22 formed on display substrate 20. Note that in FIG. 1, only semiconductor chips 33 are mounted on the intermediate substrate 30, but resistors, capacitors, and other chip components may be mounted at predetermined positions other than those where the semiconductor chips 33 are mounted. The wiring 32 and external connection terminals 34 formed on the intermediate substrate 30 are also shown schematically with enlarged intervals and simplified structures to facilitate understanding of the structure.

[0019]

As shown in FIG. 1, the intermediate substrate 30 is fixed to the display substrate 20 via an anisotropic conductive film 40. At this time, external connection terminals 34 on the intermediate substrate 30 are electrically connected to external connection terminals 27 on the display substrate 20 via the anisotropic conductive film 40. This anisotropic conductive film 40 is a conductive polymer film used to electrically connect pairs of terminals in an anisotropic manner and is formed, for example, by dispersing a plurality of conductive particles 41b in a thermoplastic or thermosetting adhesive resin 41a, as shown in FIG. 2.

[0020]

FIG. 2 is a cross-sectional view showing how the display substrate 20 is bonded to the intermediate substrate 30 by the anisotropic conductive film 40. As shown in FIG. 2, conductive particles 41b are interposed between external connection terminals 27 formed on the display substrate 20 and external connection terminals 34 formed on the intermediate substrate 30, thereby electrically connecting the display substrate external connection terminals 27 to the intermediate substrate external connection terminals 34 as intermediate wiring. Conductive particles 41b are interposed between the substrates at sites other than those where external connection terminals 27, 34 are formed, but since there are no connection terminals at these sites, no electrical connection is established. In this way, electrical conductivity is established only between display substrate external connection terminals 27 and intermediate substrate external connection terminals 34.

[0021]

In order to bond the display substrate 20 and the intermediate substrate 30 using the anisotropic conductive film 40, the display substrate 20 is placed on a mounting platform (not shown) having a guide plate with a rough surface, and vacuum-suction is applied to the display substrate 20. At this time, the display substrate 20 is placed on the mounting platform so that at least the portion of the intermediate substrate 30 to be fixed to the display substrate 20 is positioned above the guide plate.

Here, the guide plate with a rough surface is used to reduce the contact area between the guide plate and the display substrate 20, suppress heat dissipation from the guide plate, and lower the temperature of the display substrate 20.

[0022]

When the display substrate 20 is placed on the mounting platform, an anisotropic conductive film 40 is applied to the portion of the display substrate 20 to which the intermediate substrate 30 is to be fixed. This is arranged with the semiconductor chip 33 mounted surface facing downward, and the intermediate substrate 30 is aligned so that the external connection terminals 34 are positioned above the anisotropic conductive film 40. Once this step has been completed, a heat and pressure head (not shown) is used to heat and press the back surface relative to the surface on which the external connection terminals 34 are formed to establish electrical connections between the intermediate substrate external connection terminals 34 and the external connection terminals 27 formed on the display substrate 20, and fix the intermediate substrate 30 to the display substrate 20. At this time, the temperature applied to the intermediate substrate 30 and the display substrate 20 from the heat and pressure head is from 100 to several hundred degrees Celsius, and the pressure applied is several megapascals. The intermediate substrate 30 can be fixed to the display substrate 20 by performing these steps.

[0023]

The following is an explanation of an electro-optical device 10 in this embodiment. FIG. 3 shows the wiring structure of the electro-optical device in this embodiment of the present invention. As shown in FIG. 3, this electro-optical device 10 comprises a plurality of scanning lines 21, a plurality of signal lines 22 extending in a direction intersecting the scanning lines 21, a plurality of light emission power supply lines 23 extending parallel to the signal lines 22, and a pixel area A is provided at each intersection of a scanning line 21 and a signal line 22.

[0024]

Each signal line 22 is connected to a data drive circuit 33a equipped with a shift register, a level shifter, a video line, and an analog switch. An inspection circuit 25 equipped with a thin-film transistor is also connected to each signal line 22. Each scanning line 21 is connected to a scanning drive circuit 24 equipped with a shift register and a level shifter.

[0025]

Each of the pixel areas A is provided with a switching thin-film transistor 52, holding capacitance Cap, a current thin-film transistor 53, a pixel electrode 51, light-emitting layers 50, and a cathode 26. The switching thin film transistor 52 has a gate electrode connected to a scanning line 21 and is turned ON/OFF in response to scanning signals supplied from scanning line 21. The holding capacitance Cap holds an image signal supplied from the signal line 22 via the switching thin-film transistor 52.

[0026]

The current thin-film transistor 53 has a gate electrode connected to the switching thin-film transistor 52 and the holding capacitance Cap, and the image signal stored in the holding capacitance Cap is supplied to the gate electrode. The pixel electrode 51 is connected to the current thin-film transistor 53, and when electrically connected to the light emission power supply wiring 23 via the current thin-film transistor 53, drive current flows from light emission power supply wiring 23. The light-emitting layers 50 are interposed between the pixel electrode 51 and the cathode 26.

[0027]

The light-emitting layers 50 include three types of light-emitting elements: a red light-emitting layer 50R, a green light-emitting layer 50G, and a blue light-emitting layer 50B. Each light-emitting layer 50R, 50G, and 50B is arranged in a stripe pattern. Light emission power supply lines 23R, 23G, and 23B, which are connected to each light-emitting layer 50R, 50G, and 50B via the current thin-film transistor 53, are each connected to a light emission power supply circuit 33c. Light emission power supply wiring

is wired separately for each color because the drive voltage of the light-emitting layers 50R, 50G, 50B differs for each color.

[0028]

In the electro-optical device of the present embodiment, electrostatic capacitance C_1 is formed between the cathode 26 and the light emission power supply lines 23R, 23G, 23B. When the electro-optical device 10 is driven, a charge is accumulated in the capacitance C_1 . During operation of the electro-optical device 10, if the potential of the drive current flowing through any of the light emission power supply wiring 23 fluctuates, the accumulated charge is discharged to the light emission power supply wiring 23 to suppress the potential fluctuation in the drive current. This maintains normal display of video on the electro-optical device 10.

[0029]

Note that in this electro-optical device 10, when a scanning signal is supplied from the scanning line 21 and the switching thin-film transistor 52 is turned ON, the potential of the signal line 22 at this time is held in the holding capacitance C_{ap} , and the ON/OFF state of the current thin-film transistor 53 is determined based on the potential held in the holding capacitance C_{ap} . Then, drive current flows from the light emission power supply lines 23R, 23G, 23B to the pixel electrodes 51 via a channel in the current thin-film transistor 53, and then the current flows to the cathode 26 via the light-emitting layers 50R, 50G, 50B. At this time, light emission corresponding to the amount of electric current flowing through the light-emitting layers 50 is obtained from the light-emitting layers 50.

[0030]

The specific configuration of the electro-optical device 10 in the present embodiment will now be described with reference to FIG. 4 and FIG. 5. FIG. 4 is a plan view of the electro-optical device in the present embodiment, and FIG. 5 is a cross-sectional view along line A-A' in FIG. 4. As shown in FIG. 4, the electro-optical device 10 in the present embodiment is roughly composed of a substrate 60, a pixel electrode group area (not shown), light-emitting power supply lines 23 (23R, 23G, 23B), and a display pixel portion 61 (inside the single dotted-line box in the figure).

[0031]

The substrate 60 is a transparent substrate made of, for example, glass. The pixel electrode group area is an area in which pixel electrodes (not shown) connected to the current thin-film transistor 53 shown in FIG. 3 are arranged in a matrix on the substrate 60. The light emission power supply wiring 23 (23R, 23G, 23B) is arranged around the pixel electrode group area and connected to each pixel electrode as shown in FIG. 4. The display pixel portion 61 is located at least in the pixel electrode group area and has a flat rectangular shape. This display pixel portion 61 is divided into a central actual display area (also referred to as the actual display area) 62 (inside the double dotted-line box in the figure) and a dummy area 63 (the area between the single dotted line and the double dotted line) located outside the actual display area 62.

[0032]

Scan line drive circuits 24 are arranged on both sides of the actual display area 62 in the figure. These scan line drive circuits 24 are located on the lower layer side (substrate 60 side) of the dummy area 63. Provided on the lower layer side of the dummy area 63 are scan line drive circuit control signal wiring 24a and scan line drive circuit power supply wiring 24b connected to a scan line drive circuit 24. The inspection circuit 25 described above is arranged at the upper side of the actual display area 62 in the figure. This inspection circuit 25 is located on the lower layer side (substrate side 2) of the dummy area 63 and enables inspection of quality and defects in the electro-optical device during manufacturing and at the time of shipment.

[0033]

As shown in FIG. 4, the light emission power supply lines 23R, 23G, and 23B are arranged around the dummy area 63. The light emission power supply wiring 23R, 23G, 23B extends from the lower side of the substrate 60 in FIG. 2 along the scanning line drive circuit control signal wiring 24a, turns at the point where the scanning line drive circuit control signal wiring 24a ends, and extends along the outside of the dummy area 63 to connect to the pixel electrodes (not shown) inside the actual display area 62. The substrate 60 also has cathode wiring 26a connected to a cathode 26. This cathode wiring 26a is formed with a somewhat C-shaped profile from above surrounding the light emission power supply wiring 23R, 23G, 23B.

[0034]

Next, as shown in FIG. 5, a circuit portion 11 is formed on the substrate 60, and a display pixel portion 61 is formed on the circuit portion 11. In addition, sealing material 13 is formed on the substrate 60 to surround the display pixel portion 61 with a ring shape, and a sealing substrate 14 is provided on the display pixel portion 61. The sealing substrate 14 bonded to the substrate 60 via the sealing material 13 is made of glass, metal, or resin. An adsorbent 15 is applied to the back side of the sealing substrate 14 so that water or oxygen entering the space between the display pixel portion 61 and the sealing substrate 14 can be absorbed. Alternatively, a getter material may be used instead of an adsorbent 15. The sealing material 13 is preferably made of, for example, a heat-curing resin or an ultraviolet-curing resin, and in particular an epoxy resin, which is a type of heat-curing resin.

[0035]

A pixel electrode group area 11a is provided in the central portion of the circuit portion 11. This pixel electrode group area 11a is provided with current thin-film transistors 53 and pixel electrodes 51 connected to the current thin-film transistors 53. The current thin-film transistors 53 are embedded in a base protection layer 281, a second interlayer insulating layer 283, and a first interlayer insulating layer 284 stacked on the substrate 60, and the pixel electrodes 51 are formed on the first interlayer insulating layer 284. The current thin-film transistors 53 are connected to one of the electrodes (source electrodes) formed on the second interlayer insulating layer 283, and the light emission power supply wiring 23 (23R, 23G, 23B) is connected to the other electrode. Note that the circuit portion 11 also includes the holding capacitance Cap and switching thin-film transistors 52, but these are omitted from FIG. 5. The signal lines 22 are also omitted from FIG. 5.

[0036]

Next, scanning line drive circuits 24 are provided on both sides of the pixel electrode group area 11a in FIG. 5. The scan line drive circuits 24 shown in FIG. 4 are equipped with a N-channel or P-channel thin-film transistor 24c that constitutes the inverter included in the shift register. This thin-film transistor 24c has the same structure as the current thin-film transistor 53, except that it is not connected to a pixel electrode 51. The inspection circuit 25 is omitted from FIG. 5, but this inspection circuit 25 is also equipped with a thin-film transistor in the same manner. The thin-film transistor provided in the inspection circuit 25 has the same structure as the current thin-film transistor 53, except that it is not connected to a dummy pixel electrode 51', which will be described later.

[0037]

As shown in FIG. 5, scan line drive circuit control signal wiring 24a is formed on the outer base protection layer 281 outside the scan line drive circuit 24. In addition, scan line drive circuit power supply wiring 24b is formed in the second interlayer insulation layer 283 outside the scan line drive circuit control signal wiring 24a. In addition, light emission power supply wiring 23 is formed to the outside of the scanning line drive circuit power supply wiring 24b. This light emission power supply wiring 23 has a double wiring structure consisting of two wires and is arranged outside the display pixel portion 61 as described above. This double wiring structure reduces wiring resistance.

[0038]

For example, the red light emission power supply wiring 23R on the left side of FIG. 5 consists of first wiring 23R₁ formed on the base protection layer 281 and second wiring 23R₂ formed on the first wiring

23R₁ via the second interlayer insulating layer 283. The first wiring 23R₁ and the second wiring 23R₂ are connected via contact holes 23R₃ that pass through the second interlayer insulating layer 283, as shown in FIG. 2. In this way, the first wiring 23R₁ is formed at the same hierarchical position as the cathode wiring 26a, and the second interlayer insulating layer 283 is disposed between the first wiring 23R₁ and the cathode wiring 26a. Further, as shown in FIG. 5, the cathode wiring 26a is electrically connected to the cathode wiring 26b formed on the second interlayer insulating layer 283 via contact holes, so that the cathode wiring 26a also has a double wiring structure. In this way, the second wiring 23R₂ is formed at the same hierarchical position as the cathode wiring 26b, and the first interlayer insulating layer 284 is disposed between the first wiring 23R₂ and the cathode wiring 26b. By adopting this structure, second capacitance C₂ is formed between the first wiring 23R₁ and the cathode wiring 26a, and between the second wiring 23R₂ and the cathode wiring 26b.

[0039]

Similarly, the light emission power supply wiring 23G and 23B for blue and green on the right side of FIG. 5 also have a double wiring structure, each consisting of first wiring 23G₁ and 23B₁ formed on the base protection layer 281, and second wiring 23G₂ and 23B₂ formed on the second interlayer insulating layer 283. The first wiring 23G₁, 23B₁ and the second wiring 23G₂, 23B₂ are connected via contact holes 23G₃, 23B₃ that pass through the second interlayer insulating layer 283, as shown in FIG. 4. In addition, second capacitance C₂ is formed between the first blue wiring 23B₁ and the cathode wiring 26a, and between the second blue wiring 23B₂ and the cathode wiring 26b.

[0040]

The spacing between the first wiring 23R₁ and the second wiring 23R₂ is preferably in the range of 0.6 to 1.0 μm. When the spacing is less than 0.6 μm, parasitic capacitance between the source metal and gate metal with different potentials, such as signal line 22 and scanning line 21, increases, which is undesirable. For example, in the actual display area 62, there are many points at which the source metal and gate metal intersect, and if the parasitic capacitance at these points is high, there is a risk of a time delay in video signals. As a result, the video signals cannot be written to the pixel electrodes 51 within the specified time, causing a decrease in contrast. The second interlayer insulation layer 283 material interposed between the first wiring 23R₁ and the second wiring 23R₂ is preferably SiO₂, but if formed to a thickness of 1.0 μm or more, there is a risk that the substrate 60 may crack due to stress from the SiO₂.

[0041]

In addition, cathodes 26 extending from the display pixel portion 61 are formed on the upper side of light emission power supply wiring 23R. As a result, the second wiring 23R₂ of the light emission power supply wiring 23R is disposed opposite a cathode 26 via the first interlayer insulating layer 284, thereby forming first capacitance C₁ between the second wiring 23R₂ and the cathode 26. Here, the distance between the second wiring 23R₂ and the cathode 26 is preferably in the range of 0.6 to 1.0 μm. When the spacing is less than 0.6 μm, the parasitic capacitance between pixel electrodes and the source metal, which have different potentials, increases, causing wiring delay in signal lines that use source metal. As a result, video signals cannot be written within the specified time, causing a decrease in contrast. The first interlayer insulating layer 284 material interposed between the second wiring 23R₂ and the cathodes 26 is preferably SiO₂ or an acrylic resin. However, if SiO₂ is formed to a thickness of 1.0 μm or more, there is a risk that the substrate 60 will crack due to stress. An acrylic resin can be formed to a thickness of approximately 2.0 μm, but this has a tendency to expand when it absorbs water, which may cause the pixel electrodes formed on top to crack.

[0042]

Thus, because the first capacitance C₁ is provided between the light emission power supply wiring 23 and the cathodes 26 on the display substrate 20, when the potential of the drive current flowing through the light emission power supply wiring 23 fluctuates, the charge accumulated in the first capacitance C₁ is supplied to the light emission power supply wiring 23, and the potential deficiency in the drive current is compensated for by this charge, suppressing potential fluctuations and maintaining normal video display of the light-emitting device 1. In particular, since the light emission power supply wiring 23 and

the cathodes 26 oppose each other on the outside of the display pixel portion 61, the interval between the light emission power supply wiring 23 and the cathodes 26 can be reduced to increase the amount of charge accumulated in the first capacitance C_1 , reduce the potential fluctuation of the drive current, and stabilize video display. Also, because the light emission power supply wiring 23 has a double wiring structure consisting of first wiring and second wiring, and second capacitance C_2 is provided between the first wiring and the cathode wiring, the charge accumulated in the second capacitance C_2 is also supplied to the light emission power supply wiring 23 to further suppress potential fluctuations and maintain normal video display on the light-emitting device 1.

[0043]

Light-emitting layers 50 and a bank portion (insulating portion) 122 are formed in the actual pixel area 62 of the display pixel portion 61. The light-emitting layers 50 are stacked on each pixel electrode 51 as shown in FIG. 5. A bank portion 122 is provided between each pixel electrode 51 and each light-emitting layer 50 to partition each light-emitting layer 50. A bank portion 122 is composed of an inorganic bank layer 122a located on the substrate 60 side on which is stacked an organic bank layer 122b located away from the substrate 60. A light-shielding layer may be provided between the inorganic bank layer 122a and the organic bank layer 122b.

[0044]

The inorganic and organic bank layers 122a, 122b are formed so as to extend upward onto the peripheral portion of the pixel electrodes 51, and the inorganic bank layer 122a is formed so as to extend toward the central portion of the pixel electrodes 51 relative to the organic bank layer 122b. Additionally, the inorganic material bank layer 122a is preferably composed of inorganic materials such as SiO_2 , TiO_2 , or SiN . The film thickness of the inorganic material bank layer 122a is preferably in the range of 50 to 200 nm, with 150 nm being especially good. When the film thickness is less than 50 nm, the inorganic bank layer 122a becomes thinner than the hole injection/transport layer described below, making it difficult to ensure the flatness of the hole injection/transport layer, which is undesirable. When the film thickness exceeds 200 nm, the step difference caused by the inorganic bank layer 122a becomes significant, making it difficult to ensure the flatness of the light-emitting layers stacked on the hole injection/transport layer, which is undesirable.

[0045]

The organic bank layer 122b is formed from a conventional resist material such as an acrylic resin or polyimide resin. The thickness of the organic bank layer 122b is preferably in the range of 0.1 to 3.5 μm , and a thickness of approximately 2 μm is especially good. When the thickness is less than 0.1 μm , the organic bank layer 122b becomes thinner than the total thickness of the hole injection/transport layer and the light-emitting layers described below, and there is a risk that the light-emitting layers will spill out from the upper opening, which is undesirable. When the thickness exceeds 3.5 μm , the step difference caused by the upper opening becomes significant, making it difficult to ensure step coverage of the cathodes 26 formed on the organic bank layer 122b, which is undesirable. The thickness of the organic material bank layer 122b is preferably 2 μm or more, as this improves the insulation between the cathodes 26 and the pixel electrodes 51. In this way, the light-emitting layers 50 are thinner than the bank portions 122.

[0046]

In addition, areas exhibiting hydrophilicity and areas exhibiting hydrophobicity are formed around the bank portions 122. The areas exhibiting hydrophilicity are the inorganic bank layer 122a and the pixel electrodes 51, and hydrophilic groups such as hydroxyl groups are introduced into these areas by plasma treatment using oxygen as a reaction gas. In addition, an area exhibiting hydrophobicity is the organic material bank layer 122b, into which fluorine and other water-repellent groups have been introduced by plasma treatment using tetrafluoromethane as the reaction gas.

[0047]

The light-emitting layers 50 are stacked on top of a hole injection/transport layer (not shown) stacked on top of pixel electrodes 51. Note that in the present specification, the configuration including the light-emitting layers 50 and the hole injection/transport layer is referred to as the functional layer, and the configuration including the pixel electrodes 51, the functional layer, and the cathode 26 is referred to as the light-emitting element. The hole injection/transport layer has the function of injecting holes into the light-emitting layers 50 and transporting holes within the hole injection/transport layer. By providing such a hole injection/transport layer between the pixel electrodes 51 and the light-emitting layers 50, device characteristics, such as the light-emitting efficiency and light-emitting layer 50 service life, are improved. In the light-emitting layers 50, holes injected from the hole injection/transport layer combine with electrons from the cathodes 26 to generate fluorescence. The light-emitting layers 50 comprise three types of light-emitting layers: a red light-emitting layer that emits red light (R), a green light-emitting layer that emits green light (G), and a blue light-emitting layer that emits blue light (B). As shown in FIG. 3 and FIG. 4, each light-emitting layer is arranged in a stripe pattern.

[0048]

Next, as shown in FIG. 5, dummy light-emitting layers 210 and dummy bank portions 212 are formed in the dummy region 63 of the display pixel portion 61. The dummy bank portions 212 are composed of a dummy inorganic bank layer 212a located on the substrate 60 side and a dummy organic bank layer 212b located away from the substrate 60, which are stacked together. The dummy inorganic bank layer 212a is formed over the entire surface of the dummy pixel electrodes 51'. The dummy organic bank layer 212b is formed between the pixel electrodes 51 in the same manner as the organic bank layer 122b. Furthermore, the dummy light-emitting layers 210 are formed on the dummy pixel electrode 51' via the dummy inorganic banks 212a.

[0049]

The dummy inorganic bank layers 212a and the dummy organic bank layers 211b are made of the same materials and have the same film thickness as the inorganic and organic bank layers 122a and 122b described above. The dummy light-emitting layers 210 are stacked on the dummy hole injection/transport layer (not shown), and the material and film thickness of the dummy hole injection/transport layer and the dummy light-emitting layers are the same as those of the hole injection/transport layer and the light-emitting layers 50 described above. Thus, as in the case of the light-emitting layers 50 described above, the dummy light-emitting layers 210 are thinner than the dummy bank portions 212.

[0050]

By placing a dummy area 63 around the actual display area 62, the thickness of light-emitting layers 50 in the actual display area 62 can be made uniform, thereby suppressing display unevenness. In other words, by providing a dummy area 63, the drying conditions can be maintained for the jetted composition ink within the actual display area 62 when the display elements are formed by the inkjet method, thereby preventing any unevenness in the thickness of the light-emitting layers 50 on the periphery of the actual display area 62.

[0051]

Next, the cathodes 26 are formed over the entire surface of the actual display area 62 and the dummy area 63 and extend to the substrate 60 outside of the dummy area 63, where they are disposed opposite the light emission power supply wiring 23 outside the dummy area 63, that is, outside the display pixel portion 61. In addition, the ends of the cathode 26 are connected to cathode wiring 26a formed in the circuit portion 11. The cathodes 26 serve to supply current to light-emitting layers 50 as a counter electrode to the pixel electrodes 51. These cathodes 26 are composed of a cathode layer 26b made of a laminate of, for example, lithium fluoride and calcium, and a reflective layer 26c laminated on top. In the 26 cathodes, only the reflective layer 26c extends to the outside of the display pixel portion 61. The reflective layer 26c reflects light emitted from light-emitting layers 50 toward the substrate 60 and are preferably composed of, for example, Al, Ag, a Mg/Ag laminate, etc. A protective layer for preventing oxidation, such as SiO₂ or SiN, may be provided on the reflective layer 26c.

[0052]

Also, as shown in FIG. 4, the intermediate substrate 30 is bonded to one end of the substrate 60 using the anisotropic conductive film 40 described above. The semiconductor chips 33 mounted on the intermediate substrate 30 include the data drive circuits 33a, cathode power supply circuits 33b, and light-emitting power supply circuits 33c shown in FIG. 3. The portion surrounded by dashed lines in FIG. 4 indicate the bonded portion between the display substrate 20 and the intermediate substrate 30. FIG. 6 is a top view of the bonded portion 65 shown in FIG. 4. In FIG. 6, the anisotropic conductive film 40 and the intermediate substrate 30 are omitted from the drawing.

[0053]

In the bonded portion 65, as shown in FIG. 6, a first external connection terminal having a width equal to the width of the wiring is provided for each of the narrow wiring lines, and a plurality of second external connection terminals having a width narrower than the width of the wiring are provided for the wide wiring lines. For example, a first external connection terminal 67, 68, 69 having a width equal to that of the scanning line drive circuit control signal wiring 24a is provided for each line of scanning line drive circuit control signal wiring 24a with a narrow line width. Meanwhile, second external connection terminals 66a, 66b, and 66c, which are narrower than the line width of the light emission power supply wiring 23R, are provided for the wide light emission power supply wiring 23R. In addition, a second external connection terminal 70 having a line width approximately equal to that of signal lines 22 is provided for each signal line 22, which is narrower than the scanning line drive circuit control signal wiring 24a. The number of the first external connection terminals and second external connection terminals is set based on the line width of the wiring formed on the substrate 60.

[0054]

Thus, the number of the first external connection terminals and second external connection terminals is changed based on the line width of the wiring formed on the substrate 60 in order to make the pressure application conditions as uniform as possible over the entire surface of the bonded portion 65. In other words, as explained with reference to FIG. 1 and FIG. 2, the display substrate 10 and the intermediate substrate 20 are bonded by the anisotropic conductive film 40, but when the bonding conditions (for example, terminal width, bonded area, pressure applied, etc.) differ, the electrical resistance in the bonded portion 65 varies depending on the position. If the electrical resistance in the bonded portion 65 varies depending on the position, display irregularities such as display unevenness and contrast degradation occur. Therefore, the number of external connection terminals is changed based on the line width of the wiring formed on the substrate 60 in the bonded portion 65, thereby keeping the pressure application conditions as uniform as possible. Also, by providing multiple external connection terminals, the bonded area can be increased. In other words, since an anisotropic conductive film can be placed between multiple external connection terminals n, strong bonding is possible.

[0055]

Next, the structure of the external connection terminals formed in the bonded portion 65 will be described in detail. FIG. 7 is a cross-sectional view of second external connection terminal 66c and second external connection terminals 70 along line B-B' in FIG. 6, and FIG. 8 is an enlarged view of the external connection terminals 70 in FIG. 7. As shown in FIG. 7 and FIG. 8, a base protection layer 281 is formed on the substrate 60, and a gate insulating layer 71 whose primary component is SiO₂ and/or SiN is formed on the base protection layer 281. This gate insulating layer 71 is formed to electrically insulate the channel region of the thin film transistors (not shown) and gate electrodes. In the present specification, "primary component" refers to the component with the highest content.

[0056]

Signal lines 22 and light emission power supply wiring 23R are formed on the gate insulating layer 71, and a second interlayer insulating layer 283 is formed on the signal lines 22 and the light emission power supply wiring 23R. The light emission power supply wiring 23 and the scanning line drive circuit control signal wiring 24a are formed at the same time as the scanning lines 21 shown in FIG. 3.

[0057]

The second layer insulation layer 283 has a plurality of contact holes H formed above signal lines 22 and light emission power supply wiring 23R. In addition, electrodes 73 are formed on the second interlayer insulating layer 283 above the light emission power supply wiring 23R, and electrodes 74, 75 are formed on the second interlayer insulating layer 283 above the signal lines 22.

[0058]

These electrodes 73, 74, and 75 are formed using sputtering or some other method after the contact holes H have been formed, so that recessed portions B are formed on the surface of the contact holes H due to the amount of metal deposited in the contact holes H. In this manner, electrical conductivity is established between the light emission power supply wiring 23R covered by the second interlayer insulating layer 283 and the electrodes 74 formed on the second interlayer insulating layer 283 via the contact holes H, and electrical conductivity is established between the signal lines 22 covered by the second interlayer insulating layer 283 and the electrodes 74, 75 formed on the second interlayer insulating layer 283.

[0059]

In addition, a first interlayer insulating layer 284 composed of an inorganic material such as SiN is formed for the purpose of electrical insulation on the end and side portions of the electrodes 73, 74, 75 formed on the second interlayer insulating layer 283, and between these electrodes 73, 74, and 75. Transparent electrodes 77 made of, for example, ITO are formed on the top, side, and peripheral portions of the electrodes 73, 74, 75, and a protective layer 78 made of SiO₂ is formed between the transparent electrodes 77 formed on the peripheral portions of the electrodes 73, 74, and 75 and the second external connection terminals 66c, 70, 70. Note that the electrodes 73, 74, 75 are formed at the same time as the gate lines shown in FIG. 3, and the transparent electrodes 77 are formed from ITO at the same time as the pixel electrodes (anodes).

[0060]

As shown in FIG. 7 and FIG. 8, a plurality of recessed portions B are formed on the surface of the second external connection terminals 66c, 70, 70 provided in the electro-optical device in the present embodiment, and these recessed portions B divide the second external connection terminals 66c, 70, 70 into a plurality of electrodes, so to speak. As shown in FIG. 6, the number of external connection terminals is changed according to the line width of the light emission power supply wiring 23R and signal lines 22, thereby ensuring uniform bonding conditions in the bonded portion 65. Since a plurality of recessed portions B are formed on the surface of the second external connection terminals 66c, 70, 70, the second external connection terminals 66c, 70, 70 are further divided into multiple electrodes, which is extremely suitable for equalizing the bonding conditions.

[0061]

Also, by forming a first interlayer insulating layer 284 at the ends of the electrodes 73, 74, 75, protruding portions 79 are formed at the ends of second external connection terminals 66c, 70, 70. These protruding portions 79 act to prevent the conductive particles 41b in the anisotropic conductive film 40 from spilling over onto the side portions of the second external connection terminals 66c, 70, 70 when the display substrate 10 and the intermediate substrate 20 are bonded using the anisotropic conductive film 40. As a result, more conductive particles 41b are disposed on the second external connection terminals 66c, 70, 70, providing an extremely excellent structure that reduces electrical resistance in the bonded portion 65.

[0062]

Because the display substrate 20 in the present embodiment described above is provided with a configuration for making the pressure conditions in the bonded portion 65 uniform, the external connection terminals 34 formed on the intermediate substrate 30 and bonded in the bonded portion 65 may be formed with the same line width as the light emission power supply wiring 23R and the scanning

line drive circuit control signal wiring 24a shown in FIG. 6. However, in order to bond the intermediate substrate 30 to the display substrate 20 under more uniform pressing conditions, the pattern of the second external connection terminals 66c, 70, 70, etc. formed in the bonded portion 65 is preferably the same as the pattern of the second external connection terminals 66c, 70, 70, etc. formed in the bonded portion 65.

[0063]

An electro-optical device in an embodiment of the present invention was described above, and the notebook-type personal computer 600 (electronic device) shown in FIG. 9 can be manufactured by incorporating the electro-optical device described above into a case along with a motherboard equipped with a CPU (central processing unit), a keyboard, a hard disk, and other electronic components. FIG. 9 is an example of an electronic device equipped with the electro-optical device in the embodiment of the present invention. In FIG. 9, 601 is a case, 602 is an LCD display, and 603 is a keyboard. FIG. 10 is a perspective view of a mobile phone serving as another example of an electronic device. The mobile phone 700 shown in FIG. 10 is composed of an antenna 701, a receiver 702, a transmitter 703, an LCD display 704, and an operating button portion 705.

[0064]

In the embodiments described above, the electronic devices were a notebook computer and a mobile phone, but the present invention is not limited to this example. The present invention can be applied to other types of electronic devices, such as liquid crystal projectors, multimedia-compatible personal computers (PCs), engineering workstations (EWS), pagers, word processors, televisions, video cameras with a viewfinder or monitor-type display, electronic organizers, electronic desktop calculators, car navigation systems, POS terminals, and devices equipped with touch panels.

[0065]

[Effect of the Invention]

As explained above, in the present invention, a plurality of second external connection terminals are provided for the second wiring, which is wider than the first wiring. This has the effect of equalizing the pressure conditions, such as the amount of pressure applied when bonding a wired substrate to a display substrate and establishing electrical connections across the entire bonded portion. As a result, electrical resistance unevenness can be eliminated in the bonded portion, preventing display defects such as display unevenness and contrast degradation caused by electrical resistance unevenness in the bonded portion.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1 is a perspective view of the electro-optical device in an embodiment of the present invention.

[FIG. 2]

FIG. 2 is a cross-sectional view showing the intermediate substrate 30 and the display substrate 20 bonded by the anisotropic conductive film 40.

[FIG. 3]

FIG. 3 is a schematic diagram showing the wiring structure of the electro-optical device in the embodiment of the present invention.

[FIG. 4]

FIG. 4 is a plan view of the electro-optical device in the embodiment.

[FIG. 5]

FIG. 5 is a cross-sectional view along line A-A' in FIG. 4.

[FIG. 6]

FIG. 6 is a plan view of the area around the bonded portion 65 in FIG. 4.

[FIG. 7]

FIG. 7 is a cross-sectional view of second external connection terminal 66c and second external connection terminal 70 along line B-B' in FIG. 6.

[FIG. 8]

FIG. 8 is an enlarged view of external connection terminal 70 in FIG. 7.

[FIG. 9]

FIG. 9 shows an example of an electronic device equipped with the electro-optical device in the embodiment of the present invention.

[FIG. 10]

FIG. 10 is a perspective view of a mobile phone serving as another example of an electronic device.

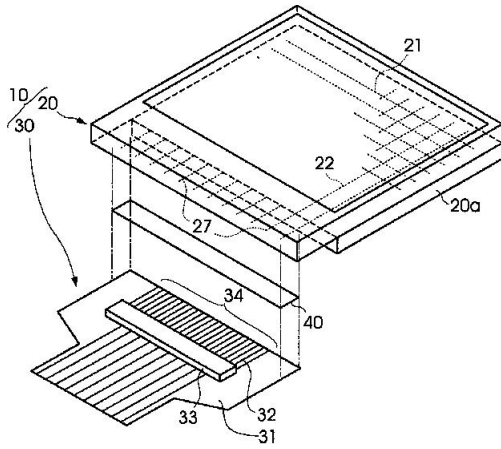
[FIG. 11]

FIG. 11 shows the wiring structure of an electro-optical device of the prior art.

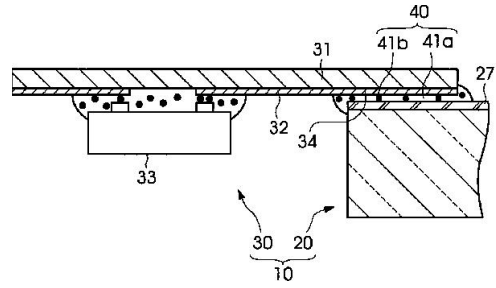
[Reference Numbers]

10: Electro-optical device
20: Display substrate
22: Signal line (first wiring)
23, 23R: Light emission power supply line (second wiring, power supply line)
24a: Scan line drive circuit control signal line (first wiring)
30: Intermediate substrate
40: Anisotropic conductive film
50: Light-emitting element
53: Switching element
66a, 66b, 66c: Second external connection terminal
67, 68, 69, 70: First external connection terminal
79: Protruding portion
B: Recessed portion

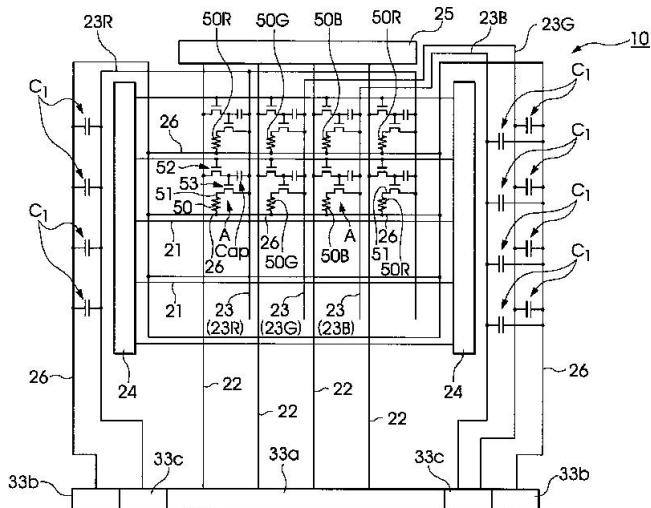
[FIG. 1]



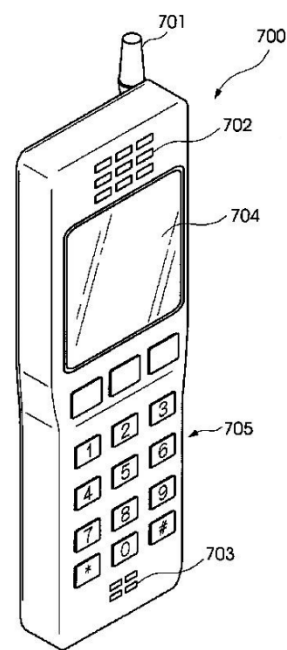
[FIG. 2]



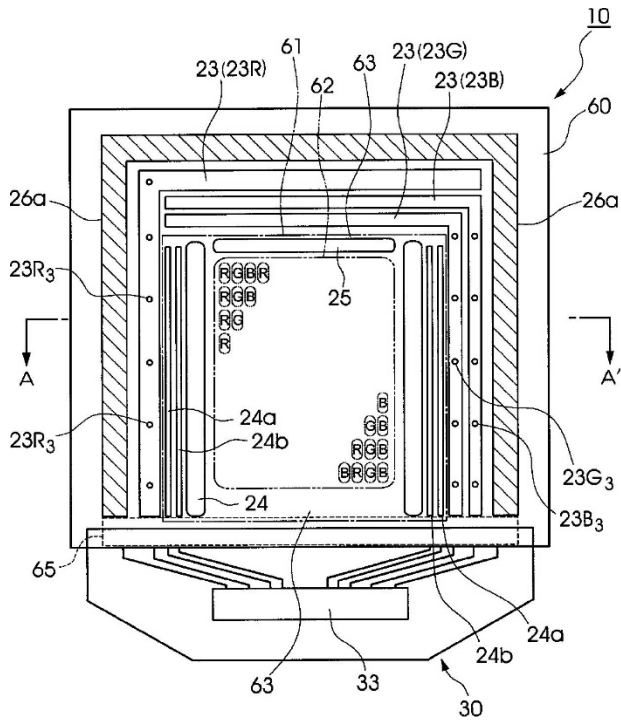
[FIG. 3]



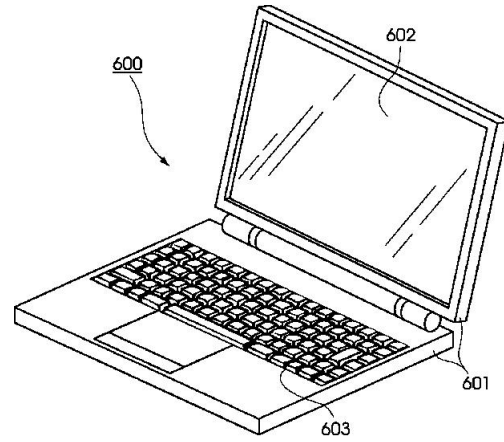
[FIG. 10]



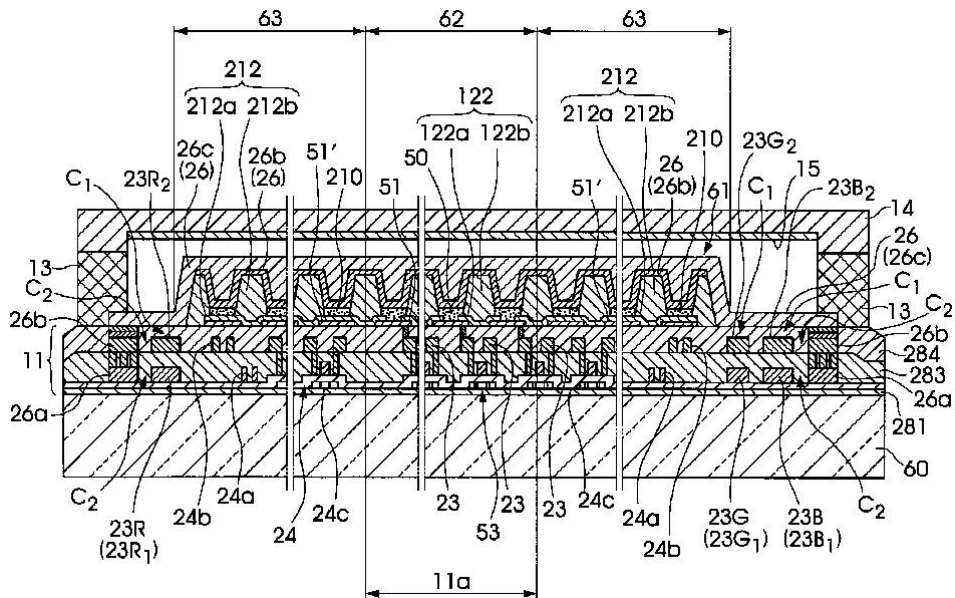
[FIG. 4]



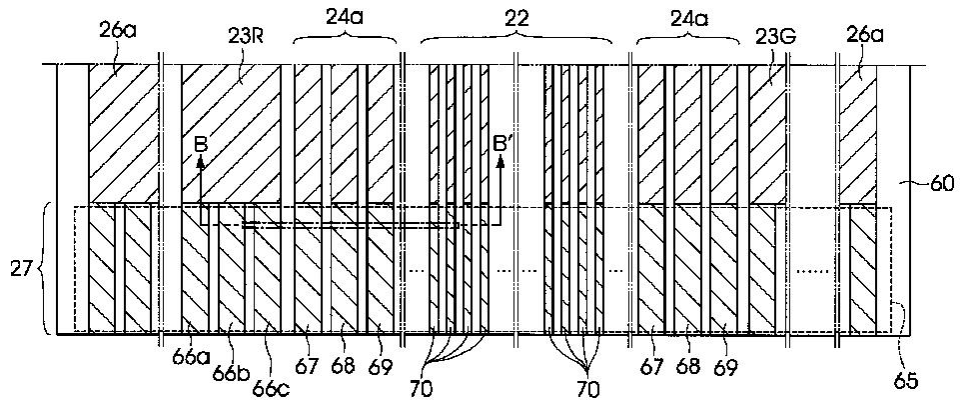
[FIG. 9]



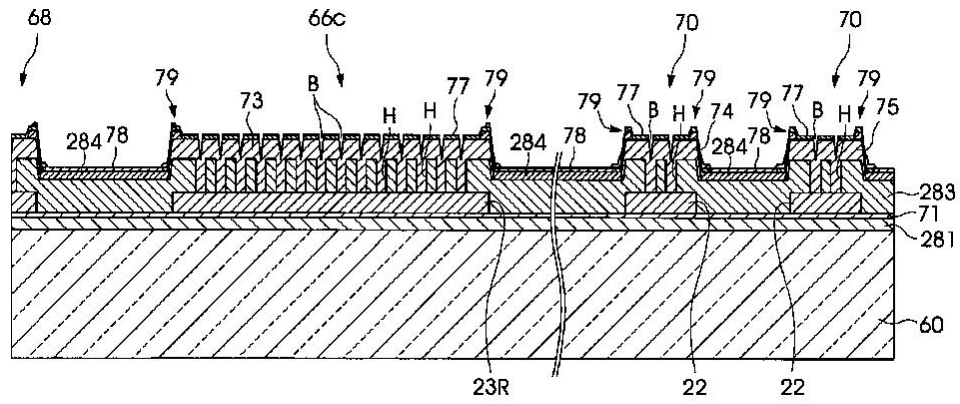
[FIG. 5]



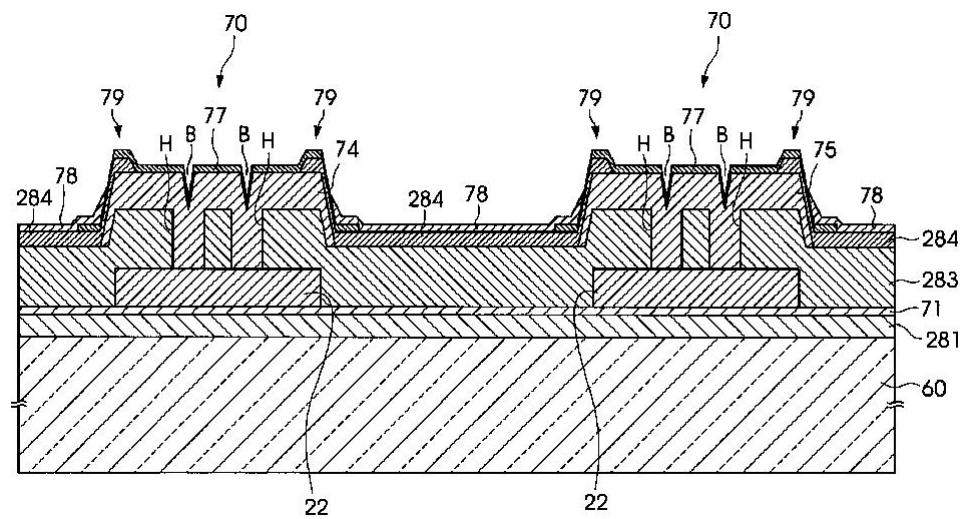
[FIG. 6]



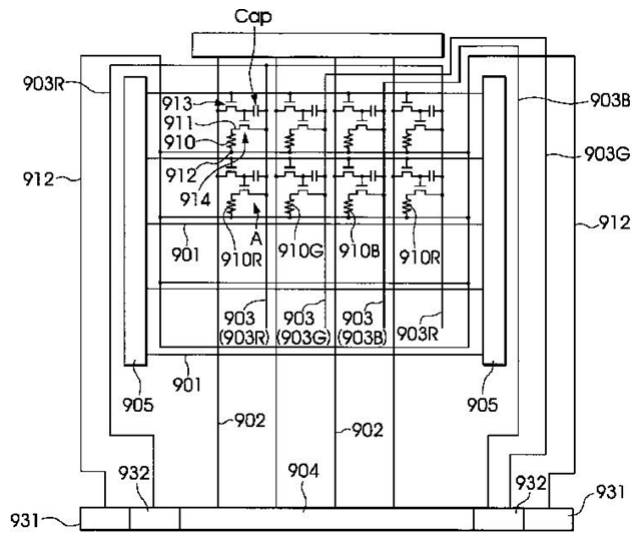
[FIG. 7]



[FIG. 8]



[FIG. 11]



Continued From Front Page

(51) Int.Cl. ⁷	ID Codes	FI	Theme Codes (Ref.)
H05B 33/06		H05B 33/06	A
33/14		33/14	C
H05K 1/14		H05K 1/14	A
3/36		3/36	

F Terms (Reference)	2H088	EA22	HA02	MA02	MA20					
	2H092	GA33	GA40	GA48	GA50	HA18	HA26	JA24	NA01	NA25
	3K007	AB17	CC05	DB03						
	5C094	AA03	BA29	CA19	CA24	DB03	EA10	FA01	FA04	HA08
	5E344	AA02	AA12	AA22	BB02	BB04	BB12	BB13	BB15	CC14
		CD14	DD06	EE06	EE23					CC17
										CC23
										CD04



TRANSLATION CERTIFICATION

Date: June 20, 2025

To whom it may concern:

I, Frank McGee, a translator fluent in the Japanese and English languages, on behalf of Morningside, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document(s) listed below in a form that best reflects the intention and meaning of the original text.

The document is designated as:

- JP2003216064A

Frank McGee