

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-47643

(P2000-47643A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 L 5 C 0 8 0

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平10-214598

(22) 出願日 平成10年7月29日 (1998.7.29)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 石井 賢哉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

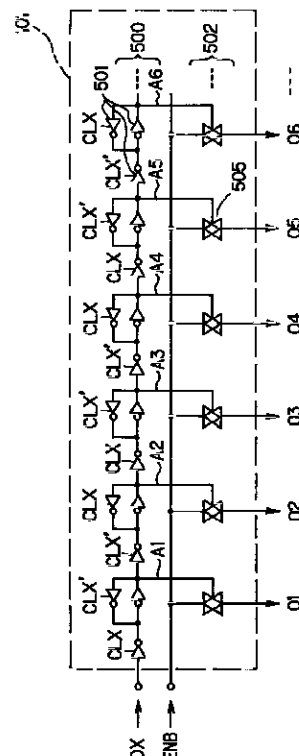
最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動回路及びこれを備えた電気光学装置

(57) 【要約】

【課題】 アクティブマトリクス駆動方式の液晶装置等のデータ線駆動回路において、比較的簡単な構成を用いて高周波数駆動に伴う表示画像の品位の劣化を効率的に防止する。

【解決手段】 液晶装置200は、マトリクス状に配置された複数の走査線31及びデータ線35と、データ線駆動回路101と、走査線駆動回路104と、サンプリング回路301とを備える。データ線駆動回路101は、シフトレジスタ500と、シフトレジスタ500からの転送信号とイネーブル信号との論理積をサンプリング回路駆動信号として夫々出力する複数のイネーブル回路502とを備える。イネーブル回路502は夫々、トランスマッションゲート505から構成されている。



【特許請求の範囲】

【請求項1】 複数の走査線及び複数のデータ線と、前記各走査線及びデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有する電気光学装置の駆動回路であって、前記駆動回路は、画像信号線の画像信号をサンプリング回路駆動信号に応じてサンプリングして前記複数のデータ線に夫々供給する複数のサンプリング回路と、所定周期のクロック信号に基づいて各段から転送信号を順次出力して前記サンプリング回路に駆動信号を供給するシフトレジスタと、

該転送信号と所定パルス幅を持つイネーブル用のクロック信号との論理積を前記サンプリング回路駆動信号として前記複数のサンプリングスイッチに夫々出力する複数のイネーブル回路とを備えており、該複数のイネーブル回路は夫々、前記転送信号が制御端子に供給されると共に前記イネーブル用のクロック信号が入力端子に入力され、出力端子から前記イネーブル用のクロック信号を前記転送信号の前記制御端子への入力に応じて前記サンプリング回路駆動信号として出力するトランスマッションゲートから構成されていることを特徴とする電気光学装置の駆動回路。

【請求項2】 前記複数のイネーブル回路は夫々、前記制御端子として、前記転送信号と前記転送信号の反転信号とが供給される一対の制御端子を備えたことを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】 前記シフトレジスタの各段から順次出力される前記転送信号の反転信号を夫々生成する複数のインバータを前記複数のトランスマッションゲート毎に更に備えたことを特徴とする請求項1又は2に記載の電気光学装置の駆動回路。

【請求項4】 前記シフトレジスタは各段から前記転送信号を出力しつつ、前記転送信号の反転信号を更に順次出力することを特徴とする請求項1又は2に記載の電気光学装置の駆動回路。

【請求項5】 前記イネーブル用のクロック信号の前記所定パルス幅は、前記転送信号のパルス幅よりも短く設定されていることを特徴とする請求項1から4のいずれか一項に記載の電気光学装置の駆動回路。

【請求項6】 前記画像信号は、相展開されることなく1本の前記画像信号線を介して前記サンプリング回路に供給され、前記シフトレジスタは、前記データ線毎に前記各段から前記転送信号を順次出力し、前記複数のサンプリングスイッチは、前記転送信号に応じて1個ずつ順次サンプリングすることを特徴とする請求項1から5のいずれか一項に記載の電気光学装置の駆動回路。

【請求項7】 前記画像信号は、 n (但し、 n は2以上の自然数) 相に相展開されて、 n 本の前記画像信号線を

介して前記サンプリング回路に供給され、前記シフトレジスタは、 n 本の相隣接するデータ線からなるグループ毎に前記各段から転送信号を順次出力し、前記複数のサンプリングスイッチは、前記転送信号に応じて前記グループ毎に同時にサンプリングを行うことを特徴とする請求項1から5のいずれか一項に記載の電気光学装置の駆動回路。

【請求項8】 前記走査線駆動回路及び当該データ線駆動回路は、前記基板上に形成されていることを特徴とする請求項1から7のいずれか一項に記載の電気光学装置の駆動回路。

【請求項9】 前記複数のイネーブル回路は夫々、前記トランスマッションゲートに代えて、前記転送信号が制御端子に供給されると共に前記イネーブル用のクロック信号が入力端子に入力され、出力端子から前記イネーブル用のクロック信号を前記転送信号の前記制御端子への入力に応じて前記サンプリング回路駆動信号として出力するP型とN型のいずれかからなる薄膜トランジスタから構成されていることを特徴とする請求項1から8のいずれか一項に記載の電気光学装置の駆動回路。

【請求項10】 請求項1から9のいずれか一項に記載の電気光学装置のデータ線駆動回路を含むことを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (以下適宜、TFTと称す) 駆動、薄膜ダイオード (以下適宜、TFDと称す) 駆動等によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置においてデータ線を駆動する駆動回路及びこれを備えた電気光学装置の技術分野に属する。

【0002】

【従来技術】この種のTFT駆動、TFD駆動等によるアクティブマトリクス駆動方式の液晶装置等の電気光学装置においては、縦横に夫々配列された多数の走査線及びデータ線並びにこれらの各交点に対応して多数の画素電極などがTFTアレイ基板等上に設けられている。

【0003】走査線駆動回路は、各走査線に対して走査信号を順次供給するように構成されている。

【0004】他方、データ線駆動回路は、画像信号線上の画像信号をデータ線毎にサンプリングするサンプリング回路に対して、上記走査信号の順次供給動作と平行して、サンプリング回路駆動信号を供給するように構成されている。より具体的には、データ線駆動回路は、データ線の配列方向であるX方向 (横方向) に対して複数段からなるX側シフトレジスタを有する。X側シフトレジスタは、外部の画像信号処理回路から入力され水平走査の基準となるX側クロック信号CLX (及びその反転信号CLX') の周期に基づいて、各段における転送信号をサンプリング回路駆動信号として夫々対応する走査線

に接続されたサンプリングスイッチに出力するように構成されている。このサンプリング回路駆動信号を受けて各サンプリングスイッチによりサンプリングされた画像信号が、各データ線に線順次や複数線同時に供給される。

【0005】ここで特に、この種の液晶装置等の電気光学装置の技術分野においては、表示画像の品位の向上という一般的要請に沿うべく画素ピッチの微細化が進められ、所謂XGAモード、SXGAモード等のように駆動周波数も高められてきている。

【0006】しかるに、上述の如くシフトレジスタから順次出力される転送信号を単純にサンプリング回路駆動信号として用いる方式のまま駆動周波数を高めたのでは、各サンプリングスイッチに対し割り当てられるサンプリング時間が短くなる。このため、各サンプリングスイッチにおけるサンプリング能力が不足する結果を招く。これに対し、サンプリングスイッチを構成するTFT等のトランジスタ特性自体を高めたり、その各種配線の抵抗や時定数などの配線特性自体を高めるのでは、生産コストの上昇や歩留まりの低下を招いてしまう。

【0007】そこで従来は高周波駆動に対処するため第1に、相展開と呼ばれる技術が導入されている。この相展開とは、1つのシリアルな画像信号を n （但し、 n は2以上の自然数）本おきのデータ線に夫々対応する n つのパラレルな画像信号に展開することをいう。より具体的には、画面表示領域の端から1、 $1+n$ 、 $1+2n$ 、 $1+3n$ 、…番目のデータ線に対応する画像信号を1本目の画像信号線に割り当て、画面表示領域の端から2、 $2+n$ 、 $2+2n$ 、 $2+3n$ 、…番目のデータ線に対応する画像信号を2本目の画像信号線に割り当て、画面表示領域の端から3、 $3+n$ 、 $3+2n$ 、 $3+3n$ 、…番目のデータ線に対応する画像信号を3本目の画像信号線に割り当てて、という具合に一定本数間隔のデータ線に対応する画像信号に展開するのである。例えば、3相展開の場合には、1、4、7、10、…本目のデータ線に対応する画像信号は、1本目の画像信号線に送信される画像信号とされ、2、5、8、11、…本目のデータ線に対応する画像信号は、2本目の画像信号線に送信される画像信号とされ、3、6、9、12、…本目のデータ線に対応する画像信号は、3本目の画像信号線に送信される画像信号とされるのである。このように相展開を行えば、各画像信号線についての駆動周波数を相展開数分の1にまで下げられるので、前述の如き高周波駆動に伴う弊害を未然に防止できる。また特に相展開を行うと共に、別々の画像信号線に接続された複数の隣接するサンプリングスイッチを同一のサンプリング回路駆動信号により一挙に駆動するように構成すれば、各サンプリングスイッチにおけるサンプリング時間を最大限に長く出来、しかも、一つのサンプリング回路駆動信号を複数のサンプリングスイッチに対して共用できるので、デー

タ線駆動回路及びサンプリング回路における駆動周波数を相対的に低められる。

【0008】更に、従来は高周波駆動に対処するため第2に、イネーブル回路が導入されている。このイネーブル回路とは、相前後するサンプリング回路駆動信号同士が、時間軸上で部分的に重なったまま、これらの信号に応じてサンプリングスイッチがサンプリングしてしまうことがないように、イネーブル信号と呼ばれるイネーブル用のクロック信号と各サンプリング回路駆動信号との論理積をとることにより、各サンプリング回路駆動信号のパルス幅を、イネーブル信号のパルス幅にまで狭める技術である。このようにパルス幅が制限されると、相前後する二つのサンプリング回路駆動信号の間には、若干の時間間隔が時間的マージンとして置かれることになる。このため、たとえ高周波数駆動に伴って、サンプリング回路、データ線駆動回路等を構成するTFT等の能動素子や各種配線におけるオン抵抗や配線抵抗、時定数、容量、遅延時間などの悪影響が相対的に増大しても、上述した時間的マージンにより、この悪影響を部分的に又は完全に吸収することが可能となるのである。この結果、画像信号が相展開されていない場合には相隣接するデータ線間における、或いは、画像信号が相展開されている場合には同一の画像信号に接続されていると共に相前後して駆動されるデータ線間における、所謂クロストークやゴーストが生じるのを効率的に防ぐことが可能となる。

【0009】

【発明が解決しようとする課題】液晶装置等の電気光学装置の技術分野においては、基本的に高画質化の要請は強く、このためには高精細な画像を実現すべく画素ピッチを更に微細化すると共により多数の走査線やデータ線を更に高周波数で駆動することが必要となってきた。

【0010】しかしながら、前述した従来の相展開を行うためには、外部の画像信号処理回路における信号処理負担が増加すると共に、複数の画像信号線を基板上に引き回すことが必要となり、また画像信号の上又は下を交差させる必要のあるサンプリング回路駆動信号線の配線等も複雑化してしまうという問題点がある。更に、このように複雑な信号処理を経て複雑な配線等を介して供給されるため、周波数及び相展開数の増加に伴って、何らかの些細な要因に敏感に反応して、相前後するサンプリング回路駆動信号同士が時間軸上で部分的に重なってしまうという問題点もある。

【0011】更に、前述した従来のイネーブル回路を用いた技術では、イネーブル用のクロック信号とサンプリング回路駆動信号との論理積をとるイネーブル回路は、NAND回路とインバータとが直列接続されて構成されている。このため、駆動周波数が高くなると、今度は、これらNAND回路とインバータとが含む複数の回路素

子におけるオン抵抗や容量、時定数などの影響が相対的に増大してしまい、特に本発明者らの研究によれば、NAND回路とインバータとが含む複数のゲートにおける遅延時間が、当該イネーブル回路を介して出力されるサンプリング回路駆動信号の精度の低下を招いてしまう。例えば、現在の技術水準では、この種のNANDゲート及びインバータにおける遅延時間は夫々、50 nsec (ナノ秒)程度であり、両者を直列に接続して構成したイネーブル回路における遅延時間は、両者の合計である100 nsec程度にまで増大してしまう。そして、最終的には、サンプリング回路におけるサンプリング動作が不正確、不規則或いは不安定となり、隣接するデータ線間(相展開を行わない場合)や同じ画像信号線に接続されており相前後するサンプリング回路駆動信号により駆動されるデータ線間(相展開を行う場合)における、クロストークやゴーストが生じてしまうという問題点がある。

【0012】そこで本発明は上述の問題点に鑑みなされたものであり、比較的簡単な構成を用いて高周波数駆動に伴う表示画像の品位の劣化を効率的に防止し得る電気光学装置のデータ線駆動回路及び該データ線駆動回路を内蔵する電気光学装置を提供することを課題とする。

【0013】

【課題を解決するための手段】本発明の電気光学装置の駆動回路は上記課題を解決するために複数の走査線及び複数のデータ線と、前記各走査線及びデータ線に接続されたスイッチング手段と、前記スイッチング手段に接続された画素電極とを有する電気光学装置の駆動回路であって、前記駆動回路は、画像信号線の画像信号をサンプリング回路駆動信号に応じてサンプリングして前記複数のデータ線に夫々供給する複数のサンプリング回路と、所定周期のクロック信号に基づいて各段から転送信号を順次出力して前記サンプリング回路に駆動信号を供給するシフトレジスタと、該転送信号と所定パルス幅を持つイネーブル用のクロック信号との論理積を前記サンプリング回路駆動信号として前記複数のサンプリングスイッチに夫々出力する複数のイネーブル回路とを備えており、該複数のイネーブル回路は夫々、前記転送信号が制御端子に供給されると共に前記イネーブル用のクロック信号が入力端子に入力され、出力端子から前記イネーブル用のクロック信号を前記転送信号の前記制御端子への入力に応じて前記サンプリング回路駆動信号として出力するトランスミッションゲートから構成されていることを特徴とする。

【0014】本発明の電気光学装置の駆動回路によれば、駆動回路では先ず、シフトレジスタの各段から、クロック信号に基づいて転送信号が順次出力される。すると、イネーブル回路により、この出力された転送信号とイネーブル用のクロック信号との論理積が、所定パルス幅を持つサンプリング回路駆動信号として出力される。

これと並行して、走査線駆動回路により、複数の走査線が順次駆動される。従って、順次出力されるサンプリング回路駆動信号及び走査信号に基づいて、走査線及びデータ線がマトリクス状に配置された画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。ここで本発明では特に、複数のイネーブル回路は夫々トランスミッションゲートからなる。そして、各トランスミッションゲートにおいては、転送信号が制御端子(即ち、TFTのゲート等)に供給されると共にイネーブル用のクロック信号が入力端子(即ち、TFTのソース及びドレインの一方等)に入力される。そして、出力端子(即ち、TFTのソース及びドレインの他方等)からは、イネーブル用のクロック信号が、転送信号の制御端子への入力に応じて、サンプリング回路駆動信号として出力される。従って、従来のNAND回路及びインバータとが直列配列されてなるイネーブル回路の場合と比較して、ゲート数が少なく、容量及び遅延時間についても小さくされている。この結果、同程度の薄膜形成技術を用いてTFTや配線等を形成することを想定すると、従来のイネーブル回路における例えば100 nsec程度の遅延時間を、半分の50 nsec程度までには容易に低減できる。更に、イネーブル回路における回路規模が小さくて済むので、高精細な画像表示のために画素ピッチを微細化する際にも有利である。

【0015】以上の結果、駆動周波数が高くても、トランスミッションゲートからなるイネーブル回路におけるオン抵抗や容量、時定数などの影響が相対的に小さいために、高精度のサンプリング回路駆動信号を供給することが可能となり、よって、サンプリング回路におけるサンプリング動作が正確且つ安定したものとなり、隣接するデータ線間(相展開を行わない場合)や同じ画像信号線に接続されており相前後するサンプリング回路駆動信号により駆動されるデータ線間(相展開を行う場合)における、クロストークやゴーストの発生を低減できる。

【0016】本発明の電気光学装置の駆動回路の一例の態様では、前記複数のイネーブル回路は夫々、前記制御端子として、前記転送信号と前記転送信号の反転信号とが供給される一対の制御端子を備える。

【0017】この態様によれば、転送信号及びその反転信号が一対の制御端子(即ち、一対のTFTにおける一対のゲート等)に供給されるのに応じて、トランスミッションゲートにおけるイネーブル用のクロック信号に対する伝送動作が高精度で制御される。この結果、画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。

【0018】本発明の電気光学装置の駆動回路の他の態様では、前記シフトレジスタの各段から順次出力される前記転送信号の反転信号を夫々生成する複数のインバータを前記複数のトランスミッションゲート毎に更に備える。

【0019】この態様によれば、シフトレジスタにより、転送信号が順次出力されるのに並行して、インバータにより、その反転信号が順次生成される。よって、転送信号及びその反転信号が制御端子に供給されるのに応じて、トランスミッションゲートにおけるイネーブル用のクロック信号に対する伝送動作が高精度で制御される。この結果、画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。

【0020】或いは、本発明の電気光学装置の駆動回路の他の態様では、前記シフトレジスタは各段から前記転送信号を出力しつつ、前記転送信号の反転信号を更に順次出力する。

【0021】この態様によれば、シフトレジスタにより、転送信号が順次出力されるのに並行して、その反転信号も順次出力される。よって、転送信号及びその反転信号が制御端子に供給されるのに応じて、トランスミッションゲートにおけるイネーブル用のクロック信号に対する伝送動作が高精度で制御される。この結果、画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。

【0022】本発明の電気光学装置の駆動回路の他の態様では、前記イネーブル用のクロック信号の前記所定パルス幅は、前記転送信号のパルス幅よりも短く設定されている。

【0023】この態様によれば、順次出力される転送信号のパルス幅よりも短いイネーブル用のクロック信号に基づいて、トランスミッションゲートにより、サンプリング回路駆動信号は生成される。この結果、複数のイネーブル回路から相前後して出力される二つのサンプリング回路駆動信号の間には夫々、イネーブル用のクロック信号の長さに対応して若干の時間間隔が時間的マージンとして置かれることになる。このため、高周波数駆動に伴って、当該データ線駆動回路やサンプリング回路を構成するTFT等の能動素子や各種配線におけるオン抵抗や配線抵抗、時定数、容量、遅延時間などの悪影響が相対的に増大しても、上述した時間的マージンにより、この悪影響を部分的に又は完全に吸収することが可能となるのである。以上の結果、高周波数駆動の場合にも、クロストークやゴーストが生じるのを効率的に防ぐことが可能となる。

【0024】本発明の電気光学装置の駆動回路の他の態様では、前記画像信号は、相展開されることなく1本の前記画像信号線を介して前記サンプリング回路に供給され、前記シフトレジスタは、前記データ線毎に前記各段から前記転送信号を順次出力し、前記複数のサンプリングスイッチは、前記転送信号に応じて1個ずつ順次サンプリングする。

【0025】この態様によれば、画像信号は、相展開されることなく、1本の画像信号線を介してサンプリング回路に供給される。他方で、シフトレジスタの各段から

は、データ線毎に転送信号が順次出力される。すると、1本の画像信号線上の画像信号は、複数のサンプリングスイッチにより、転送信号に応じて1個ずつ順次サンプリングされる。よって、画像信号が相展開されていない場合にも、トランスミッションゲートから出力される高精度のサンプリング回路駆動信号に基づいて、画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。

【0026】本発明の電気光学装置の駆動回路の他の態様では、前記画像信号は、 n （但し、 n は2以上の自然数）相に相展開されて、 n 本の前記画像信号線を介して前記サンプリング回路に供給され、前記シフトレジスタは、 n 本の相隣接するデータ線からなるグループ毎に前記各段から転送信号を順次出力し、前記複数のサンプリングスイッチは、前記転送信号に応じて前記グループ毎に同時にサンプリングを行う。

【0027】この態様によれば、画像信号は、相展開されており、 n 本の画像信号線を介してサンプリング回路に供給される。他方で、シフトレジスタの各段からは、 n 本のデータ線からなるグループ毎に転送信号が順次出力される。すると、 n 本の画像信号線上の画像信号は、複数のサンプリングスイッチにより、転送信号に応じてグループ毎に同時にサンプリングされる。よって、画像信号が相展開されている場合にも、トランスミッションゲートから出力される高精度のサンプリング回路駆動信号に基づいて、画面表示領域において、フィールド走査やフレーム走査等が良好に行われる。更にこの態様では、相展開によりシフトレジスタやサンプリング回路における駆動周波数を $1/n$ に下げることが出来るので有利である。

【0028】本発明の電気光学装置の駆動回路の他の態様では、前記走査線駆動回路及び当該データ線駆動回路は、前記基板上に形成されている。

【0029】この態様によれば、走査線駆動回路及びデータ線駆動回路は、電気光学装置の基板上に形成されており、所謂駆動回路内蔵型の電気光学装置が実現される。

【0030】本発明の電気光学装置の駆動回路の他の態様では、前記複数のイネーブル回路は夫々、前記トランスミッションゲートに代えて、前記転送信号が制御端子に供給されると共に前記イネーブル用のクロック信号が入力端子に入力され、出力端子から前記イネーブル用のクロック信号を前記転送信号の前記制御端子への入力に応じて前記サンプリング回路駆動信号として出力するP型とN型のいずれかからなる（片チャンネル型の）薄膜トランジスタから構成されている。

【0031】この態様によれば、複数のイネーブル回路は夫々P型あるいはN型のいずれか一方のチャンネルのTFTからなる。そして、各P型あるいはN型のチャンネルのTFTにおいては、転送信号が制御端子（即ち、ゲー

ト)に供給されると共にイネーブル用のクロック信号が入力端子(即ち、ソース及びドレインの一方)に入力される。そして、出力端子(即ち、ソース及びドレインの他方)からは、イネーブル用のクロック信号が、転送信号の制御端子への入力に応じて、サンプリング回路駆動信号として出力される。従って、従来のNAND回路及びインバータとが直列配列されてなるイネーブル回路の場合と比較して、ゲート数が遥かに少なく、容量及び遅延時間についても遥かに小さくされている。この結果、同程度の薄膜形成技術を用いてTFTや配線等を形成することを想定すると、従来のイネーブル回路における例えば100nsec程度の遅延時間を、50nsec未満程度までには容易に低減できる。更に、イネーブル回路における回路規模が非常に小さくて済むので、高精細な画像表示のために画素ピッチを微細化する際にも有利である。

【0032】本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学装置のデータ線駆動回路或いはその各種態様を含む。

【0033】本発明の電気光学装置によれば、上述した本発明のデータ線駆動回路を含むので、比較的簡単な構成を用いて、高周波数で駆動され且つ高精細である高品位画像を表示することが可能である液晶装置、EL(ElectroLuminescence)装置等の各種の電気光学装置を実現できる。

【0034】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0035】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0036】(第1の実施の形態)先ず、第1の実施の形態について図1から図4を参照して説明する。図1は、データ線駆動回路を備えた電気光学装置の一例としての液晶装置の全体ブロック図であり、図2は、このデータ線駆動回路の回路図であり、図3は、図2のイネーブル回路部分を拡大して示す回路図であり、図4は、データ線駆動回路における各種信号のタイミングチャートである。尚、本実施の形態は、本発明をTFT駆動によるアクティブマトリクス駆動方式の液晶装置に適用したものである。

【0037】図1において、液晶装置200は、一对の基板間に液晶が封入されてなる液晶表示部1a、データ線駆動回路101、走査線駆動回路104及びサンプリング回路301を備えて構成されている。

【0038】これらの駆動回路等は、例えば石英基板、ハードガラス或いはシリコン基板等からなるTFTアレ基板10上の周辺に位置する周辺領域に設けられている。TFTアレ基板10上の中央に位置する画面表示領域には、マトリクス状に設けられた複数の画素電極11と、X方向に複数配列されており夫々がY方向に沿っ

て伸びるデータ線35(ソース電極線)と、Y方向に複数配列されており夫々がX方向に沿って伸びる走査線31(ゲート電極線)と、各データ線35と画素電極11との間に夫々介在すると共に該間における導通状態及び非導通状態を、走査線31を介して夫々供給される走査信号に応じて夫々制御する複数のTFT30とが形成され、液晶表示部1aが構築されている。またTFTアレ基板10上には、画素電極11に印加した電圧を長く維持する蓄積容量のための配線である容量線31'(蓄電容量電極)が、走査線31と平行に形成されている。

【0039】データ線駆動回路101は、サンプリング回路301を駆動することにより、画像信号線400から供給される画像信号Viをデータ信号印加の基準クロック信号であるX側クロック信号CLX(及びその反転クロックCLX')に応じてサンプリングして、複数のデータ線35に対しデータ信号として夫々印加する。

【0040】走査線駆動回路104は、マトリクス状に配置された複数の画素部からなる液晶表示部1aにおいて、データ信号及び走査信号により走査線31に垂直な方向(Y方向)に垂直走査を行うべく、走査信号印加の基準クロックであるY側クロック信号CLY(及びその反転クロックCLY')に基づいて、複数の走査線31に対し走査信号を順次印加するように構成されている。

【0041】サンプリング回路301は、複数のデータ線35に夫々接続された複数のサンプリングスイッチ302を備える。各サンプリングスイッチ302には、画像信号Viが供給され、データ線駆動回路101に含まれる後述のシフトレジスタ回路からの転送信号により各サンプリングスイッチ302は順次閉じられる。即ち、画像信号Viをデータ線35毎に転送信号に応じてサンプリングして、複数のデータ線35にデータ信号として夫々印加するように構成されている。

【0042】より具体的には、サンプリングスイッチ302は、例えばPチャネル型又はNチャネル型の型チャネル型TFT若しくは相補型のTFTなどから構成されており、画像入力信号線400がサンプリングスイッチ302のソース電極に接続されており、サンプリング回路駆動信号線306がサンプリングスイッチ302のゲート電極に接続されている。そして、画像入力信号線400を介して画像信号Viが入力されると共にサンプリング回路駆動信号線306を介してデータ線駆動回路101からサンプリング回路駆動信号が入力されると、画像入力Viをサンプリングして、各データ線35に印加するように構成されている。

【0043】次に、図2から図4を参照して、データ線駆動回路101の構成について詳細に説明する。

【0044】図2において、データ線駆動回路101は、複数段からなるシフトレジスタ回路500及び複数のイネーブル回路502を備える。

【0045】シフトレジスタ回路500は、図2に示す

ように、左から右へ向かう方向に対応する転送方向で各段から転送信号A1、A2、A3、…が順次出力されるように、外部の画像信号処理装置から供給される所定周期のクロック信号CLX及びその反転信号CLX'の2値レベルが変化する毎に転送信号に帰還をかけて次段に転送する3つのクロックインバータ501を夫々含んで構成されている。尚、シフトレジスタ回路500には、転送信号の転送をスタートさせるためのシフトレジスタスタート信号DXが図中左側から入力され、各クロックインバータ501の駆動に必要な電源等も外部から供給されるように配線されている。

【0046】また、複数のイネーブル回路502は、本実施の形態では画像信号は相展開されないため、データ線35毎に設けられており、転送信号A1、A2、A3、…とイネーブル用のクロック信号の一例としてのイネーブル信号ENBとの論理積を演算し、走査信号O1、O2、O3、…としてサンプリング駆動信号線306に夫々出力するように構成されている(図4参照)。より具体的な回路構成としては、各イネーブル回路502は、図2に示すように、転送信号A1、A2、A3、…が入力されると共にイネーブル信号ENBが入力されるタイミングで、走査信号O1、O2、O3、…を出力するトランスミッションゲート505から構成されている。

【0047】ここで、図3を参照して、トランスミッションゲート505の具体的構成について説明を加える。

【0048】図3(a)に示すように、複数のイネーブル回路502を夫々構成するトランスミッションゲート505は、転送信号Ai及びその反転信号Ai'が制御端子の一例である一対のTFTのゲートに夫々供給され、イネーブル信号ENBが、入力端子の一例である一対のTFTのソースに夫々入力され、出力端子の一例たる一対のTFTのドレインから、イネーブル信号ENBが、転送信号Aiのゲートへの入力に応じて、サンプリング回路駆動信号Oiとして出力されるように構成されている。

【0049】ここに、反転信号Ai'は、図3(b)に示すように、イネーブル回路502'の内部に、インバータ506aを設けることにより生成してもよい。或いは、図3(c)に示すように、シフトレジスタ500'の内部に、インバータ506bを設けることにより生成してもよい。好ましくは、基板上のスペースに余裕があり、設計上配線し易い領域に、このようなインバータ506a又は506bを形成すればよい。

【0050】図3(a)の回路図から明らかなように、イネーブル回路502を構成するトランスミッションゲート505は、従来のNAND回路及びインバータとが直列配列されてなるイネーブル回路の場合と比較して、ゲート数が少なく、容量及び遅延時間についても小さくされている。

【0051】この結果、本実施の形態によれば、同程度の薄膜形成技術を用いてTFTや配線等を形成することを想定すると、従来のイネーブル回路における例えば100nsec程度の遅延時間を、半分の50nsec程度までには容易に低減できる。更に、イネーブル回路502における回路規模が小さくて済むので、高精細な画像表示のために画素ピッチを微細化する際にも有利である。

【0052】ここで、図4を参照して、シフトレジスタ回路500及びイネーブル回路502の動作について説明する。

【0053】図4のタイミングチャートに示すタイミングで、スタート信号DX、クロック信号CLX(及びその反転信号CLX')並びにイネーブル信号ENBが入力されると、上述のように構成されたシフトレジスタ回路500からは、クロック信号CLXの周期だけ順次遅れる転送信号A1、A2、A3、…が順次出力される。すると、イネーブル回路502により、この転送信号A1、A2、A3、…のパルス幅がイネーブル信号ENBのパルス幅に制限されて夫々なるサンプリング回路駆動信号O1、O2、O3、…が、サンプリング回路301に順次供給される。

【0054】尚、図4のタイミングチャートに示すように、転送信号A1、A2、A3、…よりも、イネーブル信号ENBのパルス幅は、短く設定してあるため、複数のイネーブル回路502から相前後して出力される二つのサンプリング回路駆動信号OiとOi+1の間には夫々、イネーブル信号ENBの長さに対応して若干の時間間隔ΔTが時間的マージンとして置かれることになる。このため、高周波数駆動に伴って、データ線駆動回路101やサンプリング回路301を構成するTFT等の能動素子や各種配線におけるオン抵抗や配線抵抗、時定数、容量、遅延時間などの悪影響が相対的に増大しても、上述した時間的マージン(時間間隔ΔT)により、この悪影響を部分的に又は完全に吸収することが可能となるのである。以上の結果、本実施の形態によれば、イネーブル回路502の作用により、高周波数駆動の場合にも、クロストークやゴーストが生じるのを効率的に防ぐことが可能となる。

【0055】以上説明したように構成されているため、走査線駆動回路104並びにデータ線駆動回路101及びサンプリング回路301から順次出力される走査信号O1、O2、O3、…及びデータ信号に基づいて、図1に示した液晶表示部1aにおける、フィールド走査やフレーム走査等が良好に行われる。そして特に、駆動周波数が高くても、トランスミッションゲート505からなるイネーブル回路502におけるオン抵抗や容量、時定数などの影響が相対的に小さいために、高精度のサンプリング回路駆動信号O1、O2、O3、…を供給することが可能となり、よって、サンプリング回路301の各サンプリングスイッチ302におけるサンプリング動作

が正確且つ安定したものとなり、隣接するデータ線31間における、クロストークやゴーストの発生を低減できる。

【0056】(第2の実施の形態)次に、第2の実施の形態について図5を参照して説明する。ここに図5は、第2の実施の形態におけるイネーブル回路を構成するP型あるいはN型のいずれからなるTFT(以下、片チャンネル型のTFTと称す)の回路図である。

【0057】第2の実施の形態は、第1の実施の形態と比べて、図1に示したのと同じ全体構成を持つが、図2に示したイネーブル回路502が、トランスミッションゲート505ではなく、図5に示した片チャンネル型TFT507からなる点及び片チャンネル型TFT507を動作させるために、シフトレジスタ回路から転送信号 A_i ($i=1, 2, 3, \dots$)の反転信号 A_i' を生成する必要が無い点が異なり、その他の構成については第1の実施の形態の場合と同様であるので、それらの説明は省略する。

【0058】即ち、図5において、複数のイネーブル回路502”は夫々、片チャンネル型TFT507から構成されており、片チャンネル型TFT507は、転送信号 A_i が制御端子の一例であるTFTのゲートに供給され、イネーブル信号ENBが、入力端子の一例であるTFTのソースに入力され、出力端子の一例たるTFTのドレインから、イネーブル信号ENBが、転送信号 A_i のゲートへの入力に応じて、サンプリング回路駆動信号として出力されるように構成されている。

【0059】図5の回路図から明らかのように、イネーブル回路502”を構成する片チャンネル型TFT507は、従来のNAND回路及びインバータとが直列配列されてなるイネーブル回路の場合と比較して、ゲート数が遙かに少なく、容量及び遅延時間についても遙かに小さくされている。

【0060】この結果、本実施の形態によれば、同程度の薄膜形成技術を用いてTFTや配線等を形成することを想定すると、従来のイネーブル回路における例えば100nsec程度の遅延時間を、半分の50nsec未満程度までには容易に低減できる。更に、イネーブル回路502”における回路規模が小さくて済むので、高精細な画像表示のために画素ピッチを微細化する際にも有利である。

【0061】(第3の実施の形態)次に、第3の実施の形態について図6を参照して説明する。ここに図6は、駆動回路を同一基板上に備えた電気光学装置の一例としての液晶装置の全体ブロック図である。

【0062】第3の実施の形態は、第1の実施の形態と比べて、相展開された画像信号が複数の画像信号線を介して供給される点及びこれに対応して、各サンプリング回路駆動信号を複数のサンプリングスイッチに同時に供給する点が異なり、その他の構成については第1の実施

の形態の場合と同様であるので、それらの説明は省略する。

【0063】即ち、図6において、画像信号VID1~VID6は、外部の画像信号処理回路により6相に相展開されており、6本の画像信号線400'を介してサンプリング回路301に入力されている。データ線駆動回路101内のイネーブル回路によりパルス幅が制限されてなるサンプリング回路駆動信号 S_i ($i=1, 2, 3, \dots$)は、6つに夫々分岐するサンプリング回路駆動信号線306'を介して6個の隣接するサンプリングスイッチ302に入力される。従って、これらの6個のサンプリングスイッチ302の群毎に同時に、サンプリング回路301は駆動される。

【0064】尚、サンプリング回路301のサンプリング能力に応じて、当該サンプリング回路301に入力する画像信号VIDの相展開の数が定まる。例えば、当該サンプリング回路301におけるサンプリング能力が高ければ、第1の実施の形態のように1本のデータ線35に対して順次に、相展開されていない画像信号VIDを供給するように構成してもよいし、若しくは、3本、12本、24本等のデータ線に対して3相展開、12相展開、24相展開等された画像信号VIDを供給するように構成してもよい。尚、この数としては、カラー画像信号が3つの色に係る信号からなることとの関係から、3の倍数であることが制御や回路を簡易化する上で好ましい。

【0065】以上の結果、第3の実施の形態によれば、第1の実施の形態に対し、相展開技術を組み込むことにより、同時に駆動される複数のサンプリングスイッチ302の個数に応じて、データ線駆動回路101のシフトレジスタ回路500における駆動周波数を、6(同時駆動の本数)分の1程度に低めることも可能となる。従って、シフトレジスタ回路500に係るクロックドインバータ、配線等における回路精度、回路規模、配線抵抗、時定数、容量、遅延時間等について要求される仕様が低くても済む。

【0066】(液晶装置の全体構成)以上のように構成された液晶装置の各実施の形態の全体構成を図7及び図8を参照して説明する。尚、図7は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図8は、対向基板20を含めて示す図7のH-H'断面図である。

【0067】図7及び図8において、TFTアレイ基板10の上には、液晶50を封入するためのシール材52がその縁に沿って設けられており、その内側に並行して、遮光性の金属等の材料から成り、画面表示領域と周辺領域とを区切るための周辺見切りとしての遮光膜53が設けられている。シール材52の外側の周辺領域には、データ線駆動回路101及び実装端子102がTFTアレイ基板10の一辺に沿って設けられており、走査

線駆動回路104が、周辺領域においてこの一辺に隣接する2辺に沿って設けられている。走査線31に供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。更にTFTアレ基板10の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電氣的導通をとるための導通材からなる銀点106が設けられている。そして、シール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。

【0068】以上図1から図8を参照して説明した各実施の形態における液晶装置のTFTアレ基板10上には更に、画像信号のデータ線35への書込み負荷軽減のために各データ線35について画像信号に先行するタイミングで所定電位のプリチャージ信号を書き込むプリチャージ回路を形成してもよいし、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の射出光が射出する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブル-STN）モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0069】尚、以上説明した各実施の形態において、走査線駆動回路101を図7に示したように画面表示領域の左右両側に2分割して設け、更に複数の走査線31を画面表示領域の左右両側から交互に噛み合う櫛歯状に配線するように構成してもよい。このように構成すれば、2分割された走査線駆動回路101により、櫛歯状に配線された走査線31が画面表示領域の左右両側から駆動されるので、走査線駆動回路101を構成するシフトレジスタ回路のY方向の回路ピッチを倍に出来る。但し、図7のように各走査線を両側から駆動した方が、走査信号の遅延時間を低減する観点からは有利である。

【0070】また、以上の各実施の形態では、画素電極11及びTFT30から、画素部の一例が構成されている。しかしながら、画素部は、この一例に限られるものではない。例えば、データ線35及び走査線31のうち的一方を対向電極として対向基板に設けて、TFTアレ

基板10に形成されたデータ線35及び走査線31のうちの他方と画素電極11との間に、双方向ダイオード特性を夫々有するTFD駆動素子等の2端子型非線形素子を夫々介在させることにより、当該対向電極、画素電極11及び2端子型非線形素子から画素部の他の例を構成してもよい。その他、各種のスイッチング素子、更には各種の液晶材料（液晶相）、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0071】更にまた、以上の各実施の形態では、走査線駆動回路及びデータ線駆動回路は、基板上に形成されており、駆動回路内蔵型の液晶装置が実現されているが、上述の如き構成を有するデータ線駆動回路（及び走査線駆動回路）をTAB（テープオートメテッドボンディング）実装技術等を利用して基板に対して外付けして構成することも可能である。

【0072】本実施の形態を用いた応用例として液晶プロジェクタの構成について図9を用いて説明する。

【0073】液晶プロジェクタ1100は、上述の電気光学装置としての液晶装置を含む液晶モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクタとして構成されている。液晶プロジェクタ1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び射出レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

【0074】

【発明の効果】以上詳細に説明したように本発明の電気光学装置の駆動回路によれば、イネーブル回路をトランスミッションゲートから構成することにより、比較的簡単な構成を用いて高周波数駆動に伴う表示画像の品位の劣化を効率的に防止し得る電気光学装置のデータ線駆動回路を実現できる。

【図面の簡単な説明】

【図1】第1の実施の形態の全体構成を示すブロック図である。

【図2】第1の実施の形態のデータ線駆動回路の回路図である。

【図3】第1の実施の形態のデータ線駆動回路に含まれるイネーブル回路の回路図である。

【図4】第1の実施の形態のデータ線駆動回路のタイミングチャートである。

【図5】第2の実施の形態におけるイネーブル回路を構成する片チャンネル型のTFTの回路図である。

【図6】第3の実施の形態の全体構成を示すブロック図である。

【図7】各実施の形態の液晶装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図8】図7のH-H'断面図である。

【図9】本実施の形態の液晶装置を用いた液晶プロジェクトの構成図である。

【符号の説明】

1 a…液晶表示部

10…TFTアレイ基板

11…画素電極

31…走査線(ゲート電極)

35…データ線(ソース電極)

101…データ線駆動回路

104…走査線駆動回路

200…液晶装置

301…サンプリング回路

302…サンプリングスイッチ

500…シフトレジスタ回路

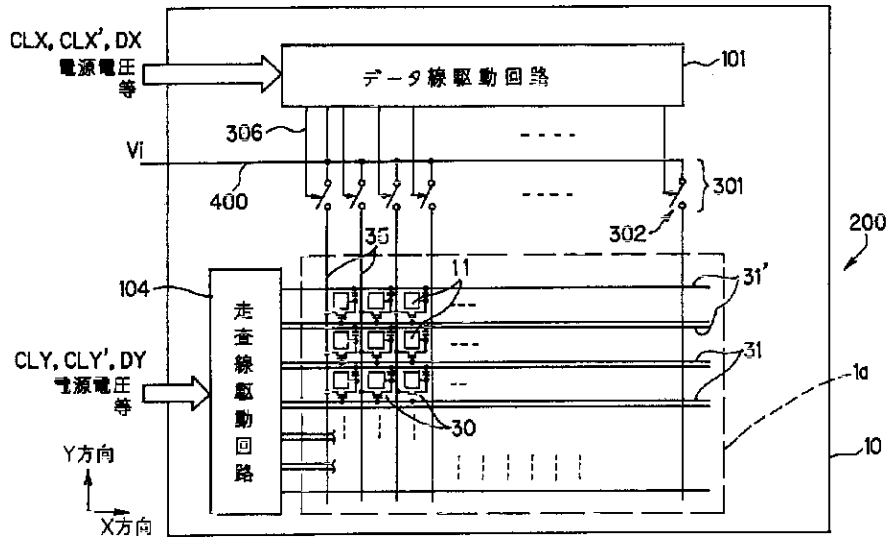
501…クロックインバータ

502…イネーブル回路

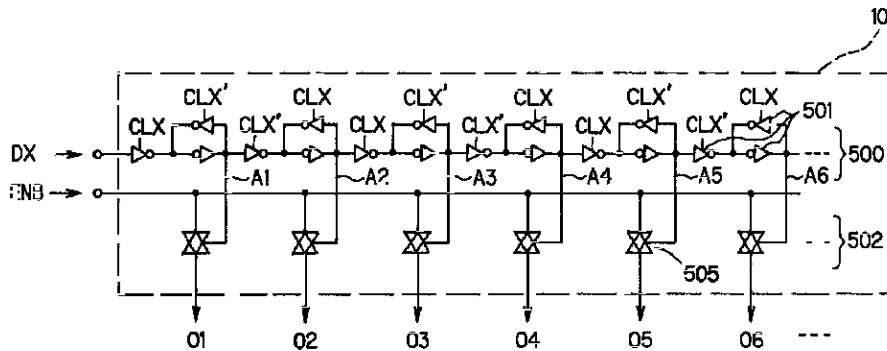
505…トランスミッションゲート

507…片チャンネル型TFT

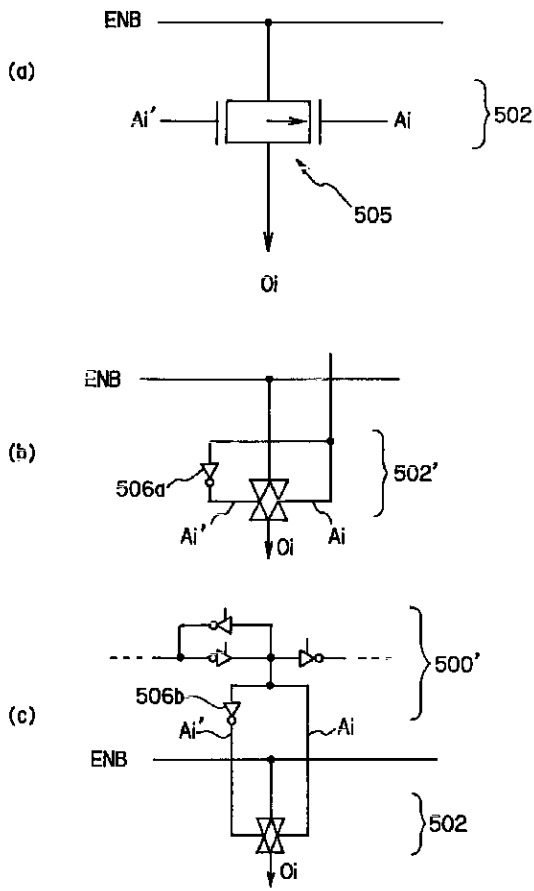
【図1】



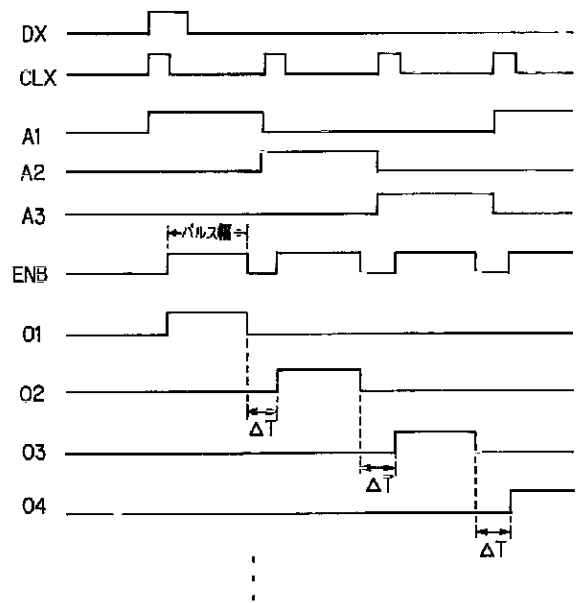
【図2】



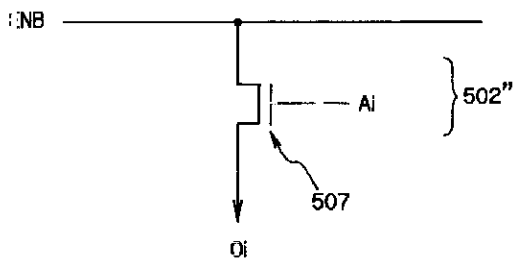
【図3】



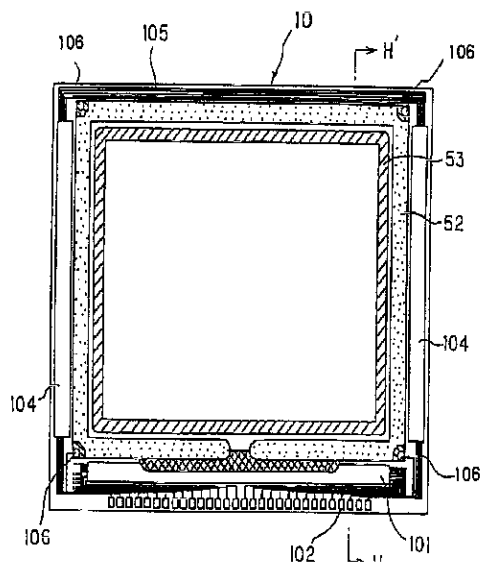
【図4】



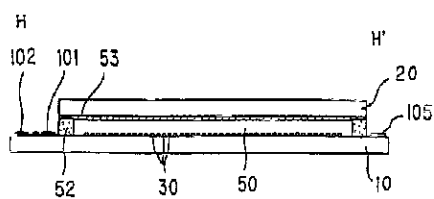
【図5】



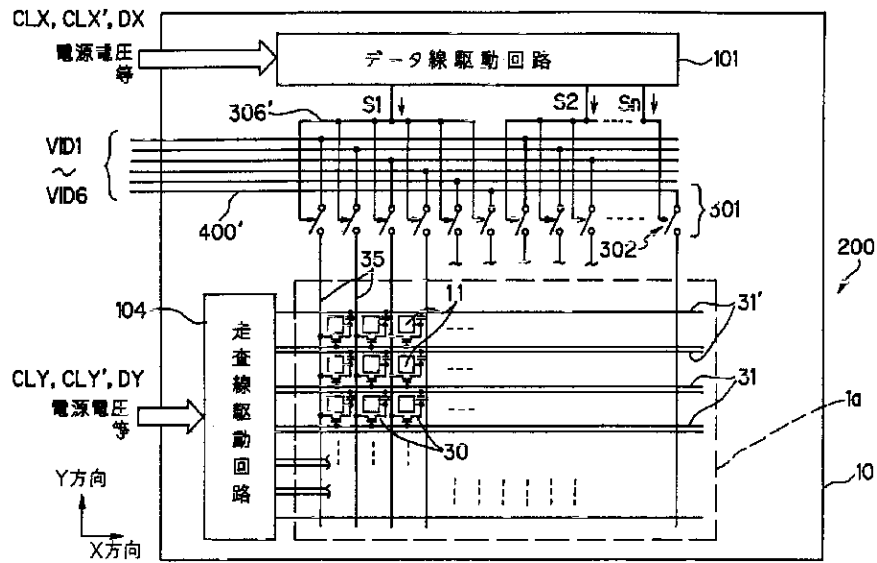
【図7】



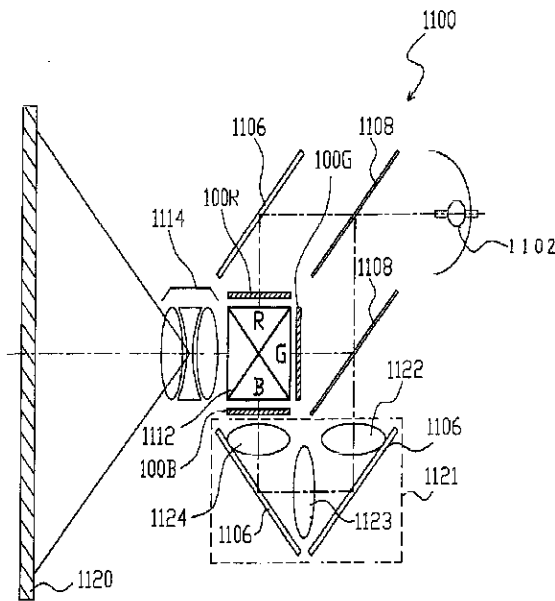
【図8】



【図6】



【図9】



フロントページの続き

Fターム(参考) 2H093 NA34 NC09 NC23 NC25 NC26
NC34 ND15 ND39 ND49 ND50
ND53 ND54 ND55 NG02
5C006 AA01 AA16 AA22 AF44 AF72
BB16 BB29 BC02 BC03 BC06
BC13 BC16 BF03 BF11 BF26
BF27 BF31 BF49 EA01 EC11
FA14 FA23 FA24 FA36 FA43
5C080 AA10 BB05 CC03 DD07 DD08
DD10 DD22 EE30 FF11 JJ02
JJ03 JJ04 JJ06

(19) Japan Patent Office (JP)

(12) Japanese Unexamined Patent Application Publication (A)

(11) Japanese Unexamined Patent Application Publication Number

2000-47643 (P2000-47643A)

(43) Publication date: February 18, 2000

(51) Int. Cl. 7	ID Code	FI	Theme Code (Reference)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	505	G02F 1/133	5C006
G09G 3/20	623	G09G 3/20	623 L
			5C080

Request for examination: Not yet requested: Number of claims: 10 Online (Total of 13 pages)

(21) Application number	H10-214598	(71) Applicant	000002369 Seiko Epson Corp. 2-4-1 Nishishinjuku, Shinjuku-ku, Tokyo-to
(22) Date of application	July 29, 1998	(72) Inventor	SHII, Masaya c/o 3-3-5 Owa, Suwa City, Nagano Prefecture
		(74) Agent	100093388 Patent Attorney SUZUKI, Kisaburo (and 2 others)

Continued on last page.

(54) [TITLE OF THE INVENTION] Electro-Optical Device Driving Circuit and Electro-Optical Device Equipped with the Same

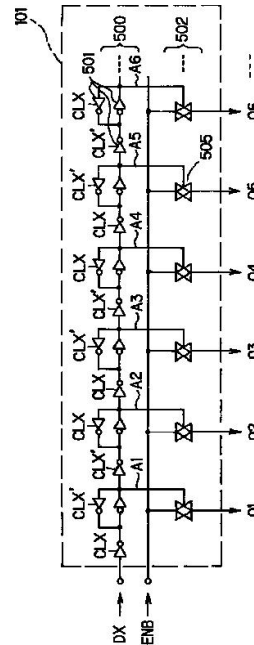
(57) [ABSTRACT]

[PROBLEM]

A data line driving circuit for, for example, a liquid crystal device of an active matrix driving method that efficiently prevents degradation of display image quality accompanying high-frequency driving, using a relatively simple configuration.

[MEANS FOR RESOLUTION]

A liquid crystal device 200 comprising: a plurality of scan lines 31 and data lines 35, arranged in the form of a matrix; a data line driving circuit 101; a scan line driving circuit 104; and a sampling circuit 301. The data line driving circuit 101 comprises a shift register 500, and a plurality of enable circuits 502 that each outputs, as a sampling circuit driving signal, the logical product of an enable signal and a transfer signal from the shift register 500. Each of the enable circuits 502 is configured from a transmission gate 505.



[PATENTS CLAIMS]

[CLAIM 1]

An electro-optical device driving circuit comprising a plurality of scan lines and a plurality of data lines, switching means connected to each of the scan lines and data lines, and a pixel electrode connected to the switching means, wherein:

the driving circuit comprises:

a plurality of sampling circuits for sampling, and for supplying to each of the plurality of data lines, an image signal of an image signal line in response to a sampling circuit driving signal;

a shift register for outputting sequentially transfer signals from each stage based on a clock signal of a prescribed period, and for supplying a driving signal to the sampling circuit; and

a plurality of enable circuits for outputting respectively, to the plurality of sampling switches, a logical product of the transfer signal and an enable clock signal, having a prescribed pulse width, as sampling circuit driving signals, wherein:

each of the plurality of enable circuits is structured from a transmission gate wherein the enable clock signal is inputted into an input terminal when the transfer signal is supplied to a control terminal, and the enable clock signal is outputted, as the sampling circuit driving signal, from an output terminal in response to the input of the transfer signal into the control terminal.

[CLAIM 2]

The electro-optical device driving circuit set forth in claim 1, wherein:

each of the plurality of enable circuits comprises a pair of control terminals, as the aforementioned control terminal, to which is supplied, respectively, the transfer signal and an inverted signal of the transfer signal.

[CLAIM 3]

The electro-optical device driving circuit set forth in claim 1 or 2, further comprising:

a plurality of inverters for generating respective inverted signals of the transfer signals that are outputted sequentially from each of the stages of the shift register, provided for each of the plurality of transmission gates.

[CLAIM 4]

The electro-optical device driving circuit set forth in claim 1 or 2, wherein:

the shift register also outputs sequentially an inverted signal of the transfer signal while outputting the transfer signal from each stage.

[CLAIM 5]

The electro-optical device driving circuit set forth in any one of claims 1 through 4, wherein:

a prescribed pulse width of the enable clock signal is set to be shorter than a pulse width of the transfer signal.

[CLAIM 6]

The electro-optical device driving circuit set forth in any one of claims 1 through 5, wherein:

the image signal is supplied to the sampling circuit through a single image signal line without undergoing phase expansion;

the shift register sequentially outputs the transfer signal from each stage to each of the data lines; and

the plurality of sampling switches sequentially samples one sample at a time in response to the transfer signal.

[CLAIM 7]

The electro-optical device driving circuit set forth in any one of claims 1 through 5, wherein:

the image signal is supplied to the sampling circuit through n image signal lines after phase expansion into n phases (where n is a natural number no less than 2);

the shift register outputs transfer signals sequentially from each of the stages, to each group comprising data lines of n adjacent phases; and

the plurality of sampling switches carries out sampling simultaneously for each group in response to the transfer signal.

[CLAIM 8]

The electro-optical device driving circuit set forth in any one of claims 1 through 7, wherein:

the scan line driving circuit and data line driving circuit are formed on the aforementioned substrate.

[CLAIM 9]

The electro-optical device driving circuit set forth in any one of claims 1 through 8, wherein:

each of the plurality of enable circuits is configured from a thin film transistor, made from either P-type or the N-type, wherein the transfer signal is supplied to the control terminal and the enable clock signal is inputted into the input terminal, to output, from an output terminal, as the sampling circuit driving signal, the enable clock signal, in response to inputting of the transfer signal into the control terminal.

[CLAIM 10]

An electro-optical device comprising a data line driving circuit of the electro-optical device set forth in any one of claims 1 through 9.

[DETAILED EXPLANATION OF THE INVENTION]

[0001]

[FIELD OF TECHNOLOGY OF THE PRESENT INVENTION]

The present invention is included in the field of driving circuits for driving data lines in electro-optical devices such as liquid crystal devices of an active matrix driving type through thin film transistor (which may be termed "TFT" hereafter) driving, thin film diode (which may be termed "TFD" hereafter) driving, or the like, and to the technical field of electro-optical devices comprising such driving circuits.

[0002]

[PRIOR ART]

In electro-optical devices such as liquid crystal devices of an active matrix driving type that are driven by such TFT driving or TFD driving, or the like, large numbers of scan lines and data lines, each laid out vertically or horizontally, and large numbers of pixel electrodes corresponding to each of the intersections therebetween, and the like, are provided on a TFT array substrate, or the like.

[0003]

The scan line driving circuitry is configured so as to supply scan signals sequentially to each of the scan lines.

[0004]

On the other hand, the data line driving circuitry is configured so as to supply, to sampling circuits for sampling for each data line the image signal on the image

signal line, a sampling circuit driving signal in parallel with the operation of supplying the scan signals sequentially. More specifically, the data line driving circuit comprises a X-side shift register, comprising a plurality of stages, for the X direction (the crosswise direction), which is the direction in which the data lines are laid out. The X-side shift register is configured so as to output transfer signals in each stage, as sampling circuit driving signals, to sampling switches that are connected respectively to corresponding scan lines, based on the period of the X-side clock signal CLX (and the inverted signal CLX' thereof) that serve as references for horizontal scanning, inputted from an external image signal processing circuit. The image signals sampled by each of the sampling switches upon receipt of the sampling circuit driving signal are supplied either sequentially by line, or simultaneously for a plurality of lines, to each of the data lines.

[0005]

Here, in the technical field of electro-optical devices, such as this type of liquid crystal device, the pixel pitches have been reduced accompanying demands for improved display image quality, and driving frequencies have also been increased, such as with the "XGA mode," "SXGA mode," and the like.

[0006]

However, because the driving circuitry has been enlarged while still using a method wherein the transfer signal outputted sequentially from the shift register, as described above, is used simply as the sampling circuit driving signal, the sampling time allocated to each sampling switch has become shorter. Because of this, this may result in an inadequate ability to sample at each of the sampling switches. In response, the requirements of the transistors, such as the TFTs that structure the sampling switches, themselves are being made more stringent, and the requirements for the interconnections, such as the resistances, time constants, and the like, for the various types of interconnections, themselves are also being made more stringent, which may lead to increased production costs and reduced yields.

[0007]

Given this, firstly, conventionally a technology known as "phase expansion" has been introduced first in order to handle high-frequency driving. This phase expansion refers to expanding a single serial image signal to n parallel image signals corresponding to n respective data lines (where n is a natural number no less than 2). More specifically, expansion is to image signals corresponding to the data lines at intervals of a prescribed number of lines, with image signals corresponding to the 1st, 1+nth, 1+2nth, 1+3nth, ... data lines from the edge of the screen display region assigned to a first image signal line, image signals corresponding to the 2nd, 2+nth, 2+2nth, 2+3nth, ... data lines from the edge of the screen display region assigned to a second image signal line, and image signals corresponding to the 3rd, 3+nth, 3+2nth, 3+3nth, ... data lines from the edge of the screen display region assigned to a third image signal line. For example, in the case of three-phase expansion, image signals corresponding to the 1st, 4th, 7th, 10th, ..., data lines are image signals sent on a first image signal line, image signals corresponding to the 2nd, 5th, 8th, 11th, ... data lines are image signals sent on a second image signal line,

and image signals corresponding to the 3rd, 6th, 9th, 12th, ... data lines are image signals sent on a third image signal line. The use of such phase expansion makes it possible to prevent in advance the deleterious effects accompanying high-frequency driving, as described above, because the driving frequencies for the individual image signal lines are reduced commensurately with the number of phases of expansion. Moreover, if, in particular, the configuration is such that, together with carrying out phase expansion, a plurality of mutually adjacent sampling switches that are connected to each of the individual signal lines are driven as a group by the same sampling circuit driving signal, the sampling time at each individual sampling switch can be maximized, and a single sampling circuit driving signal can be used in common for a plurality of sampling switches, enabling the driving frequencies for the data line driving circuit and sampling circuits to be reduced.

[0008]

Furthermore, secondly, conventionally an enable circuit has been introduced for handling high-frequency driving. This enable circuit is a technology for narrowing the pulse width for each sampling circuit driving signal to the pulse width of the enable circuit through taking the logical product of each of the sampling circuit driving signals and the enable clock signal, known as the "enable signal," so that the sampling circuit driving signals of adjacent phases will not be partially overlapping on the time axis, with the sampling switches to carry out sampling in response thereto. Limiting the pulse width in this way provides a slight time margin between two sampling circuit driving signals of adjacent phases. This makes it possible to absorb the adverse effects partially or completely through the time margin described above, notwithstanding more adverse effects that accompany high-frequency driving such as in ON resistance, interconnection resistance, time constants, capacitance, time delays, and the like, in various types of interconnections and in active elements, such as TFTs that structure the sampling circuits, data line driving circuits, and the like. This makes it possible to prevent effectively the occurrence of crosstalk and ghosting between the data lines of adjacent phases when the image signal has not undergone phase expansion, or between the data lines that are connected to a given image signal and are driven in adjacent phases when the image signals have been subjected to phase expansion.

[0009]

[PROBLEM BY THE PRESENT INVENTION]

In the technical field of electro-optical devices, such as liquid crystal devices, fundamentally there is a strong demand for improved image quality, and because of this, it has become necessary not only to further reduce the pixel pitches in order to achieve high-resolution images, but also to drive large numbers of scan lines and data lines at even higher frequencies.

[0010]

However, in order to carry out the conventional phase expansion, as described above, along with the increased signal processing loads on the external image signal processing circuit, there is the need to route a plurality of image signal lines on the substrate, and thus there is a problem in that this complicates, for example, interconnections of the sampling circuit driving signal lines

that must cross either over or under the image signals. Moreover, there is also a problem in that, accompanying an increase in frequency and in the number of phases for expansion, sampling circuit driving signals that are of adjacent phases end up partially overlapping each other on the time axis, sensitively reacting to even the slightest causes, due to supply through complex interconnections, and the like, after having been subjected to such complex signal processing.

[0011] Moreover, in the technology that uses conventional enable circuits, as described above, the enable circuits that take the logical product of the sampling circuit driving signal and the enable clock signal are structured through connecting a NAND circuit and an inverter in series. Because of this, when the driving frequency is high this causes a relative increase in effects of, for example, the ON resistance, capacitance, time constant, and the like, in the plurality of circuit elements including the NAND circuit and inverter, and, according to the research of the present inventors in particular, the delay time in the plurality of gates included in the NAND circuits and inverters may reduce the accuracy of the sampling circuit driving signals that are outputted through these enable circuits. For example, in the current state of the art, the delay times are about 50 ns (nanoseconds) each for this type of NAND gate and inverter, and thus the delay time in an enable circuit that is structured through connecting these in series will be the total of both, increasing to about 100 ns. Given this, ultimately there is a problem in that the sampling operations in the sampling circuits are inaccurate, irregular, or unstable, and there is crosstalk and ghosting between adjacent data lines (when phase expansion is not carried out), or between data lines that are connected to given image signal lines and driven through sampling circuit driving signals of adjacent phases (when phase expansion is carried out).

[0012] The present invention was created in contemplation of the problem areas set forth above, and the object is to provide a data line electro-optical device driving circuit that is able to prevent effectively degradation of display image quality accompanying high-frequency driving, doing so to the use of a relatively simple structure, and to provide an electro-optical device comprising such a data line driving circuit.

[0013] [MEANS FOR SOLVING THE PROBLEM]

In order to solve the issues set forth above, an electro-optical device driving circuit according to the present invention is an electro-optical device driving circuit comprising a plurality of scan lines and a plurality of data lines, switching means connected to each of the scan lines and data lines, and a pixel electrode connected to the switching means, wherein: the driving circuit comprises: a plurality of sampling circuits for sampling, and for supplying to each of the plurality of data lines, an image signal of an image signal line in response to a sampling circuit driving signal; a shift register for outputting sequentially transfer signals from each stage based on a clock signal of a prescribed period, and for supplying a driving signal to the sampling circuit; and a plurality of

enable circuits for outputting respectively, to the plurality of sampling switches, a logical product of the transfer signal and an enable clock circuit, having a prescribed pulse width, as sampling circuit driving signals, wherein: each of the plurality of enable circuits is structured from a transmission gate wherein the enable clock signal is inputted into an input terminal when the transfer signal is supplied to a control terminal, and the enable clock signal is outputted, as the sampling circuit driving signal, from an output terminal in response to the input of the transfer signal into the control terminal.

[0014] Given the electro-optical device driving circuit according to the present invention, the driving signal first outputs transfer signals sequentially, based on clock signals, from each of the stages of the shift register. Given this, the logical product of the outputted transfer signal and enable clock signal are outputted from the enable circuit as a sampling circuit driving signal having a prescribed pulse width. In parallel with this, a plurality of scan lines is driven sequentially by the scan line driving circuit. Consequently, in a screen display region wherein scan lines and data lines are laid out in the form of a matrix, field scanning, frame scanning, and the like, can be carried out well based on the sequentially outputted sampling circuit driving signals and scan signals. Here, in the present invention, in particular the plurality of enable circuits are structured from respective transmission gates. In each of the transmission gates, transfer signals are supplied to control terminals (that is, TFT gates, or the like), and enable clock signals are inputted into input terminals (such as, for example, the source or the drain of a TFT). Given this, the enable clock signal from the output terminal (that is, the other one of the source or drain of the TFT) is outputted, as the sampling circuit driving signal, in response to the input of the transfer signal into the control terminal. Consequently, when compared to the conventional enable circuit wherein a NAND circuit and an inverter are arranged in series, the number of gates is reduced, reducing the capacitance and delay time as well. The result, when envisioning forming TFTs, interconnections, and the like, using the same thin film forming technologies, is the ability to reduce easily the delay time, which has been, for example, about 100 ns in a conventional enable circuit, by half, to about 50 ns. Because the scope of circuitry in the enable circuit is reduced, this is useful also when reducing the pixel pitch for a high resolution image display.

[0015] The result of the above is the ability to supply high-precision sampling circuit driving signals wherein the effects of ON resistance, capacitance, time constants, and the like in the enable circuit, comprising transmission gates, are relatively small, despite higher driving frequencies, thus enabling the sampling operations in the sampling circuit to be accurate and stabilized, enabling a reduction in the occurrence of crosstalk and ghosting between adjacent data lines (if phase expansion is not carried out), or between data lines that are connected to identical image signal lines and that are driven by sampling circuit driving signals of adjacent phases (when phase expansion is carried out).

[0016]

In one aspect of the electro-optical device driving circuit according to the present invention, each of the plurality of enable circuits comprises a pair of control terminals, as the aforementioned control terminal, to which is supplied, respectively, the transfer signal and an inverted signal of the transfer signal.

[0017]

In this aspect, the transmission operation for the enable clock signal in the transmission gate is controlled with high-precision depending on the supply of the transfer signal and the inverted signal thereof to the pair of control terminals (that is, to a pair of gates in a pair of TFTs, or the like). The result is that field scanning, frame scanning, and the like, in the screen display region, is carried out well.

[0018]

In another aspect of the electro-optical device driving circuit according to the present invention, a plurality of inverters for generating respective inverted signals of the transfer signals that are outputted sequentially from each of the stages of the shift register is further provided, for each of the plurality of transmission gates.

[0019]

Given this aspect, the inverted signals are generated sequentially by an inverter in parallel with the transfer signals being outputted sequentially from the shift register. Thus the transmission operation for the enable clock signal in the transmission gate is controlled with high-precision in response to the supply of the transfer signal and of the inverted signal thereof to the control terminals. The result is that field scanning, frame scanning, and the like, in the screen display region, is carried out well.

[0020]

Conversely, in another aspect of the electro-optic device driving circuit according to the present invention, the shift register also outputs sequentially an inverted signal of the transfer signal while outputting the transfer signal from each stage.

[0021]

In this aspect, the inverted signal is also outputted sequentially, in parallel with the sequential outputting of the transfer signal, from the shift register. Thus the transmission operation in the transmission gate relating to the enable clock signal is controlled with high-precision in response to the supplying of the transfer signal and the inverted signal thereof to the control terminal. The result is that field scanning, frame scanning, and the like, in the screen display region, is carried out well.

[0022]

In another aspect of the electro-optical device driving circuit according to the present invention, a prescribed pulse width of the enable clock circuit is set to be shorter than a pulse width of the transfer signal.

[0023]

In this aspect, the sampling circuit driving signal is generated by the transmission gate based on an enable clock signal that is shorter than the pulse width of the transfer signals that are outputted sequentially. The result is that a slight time interval that corresponds to the shortness of the enable clock signal is placed, as a temporal margin, between each of the two sampling circuit driving signals that are outputted in adjacent phases from the plurality of enable circuits. This enables the adverse effects

accompanying high-frequency driving to be absorbed partially or completely through the temporal margin, described above, despite a relative increase in adverse effects from, for example, ON resistance, interconnection resistance, time constants, capacitance, delay times, and the like, in various types of interconnections and active elements, such as TFTs, that structure the data line driving circuit and sampling circuit. The result of the above is the ability to prevent effectively the occurrence of crosstalk and ghosting, even when driving at high frequencies.

[0024]

In another aspect of the electro-optical device driving circuit according to the present invention, the image signal is supplied to the sampling circuit through a single image signal line without undergoing phase expansion, the shift register sequentially outputs the transfer signal from each stage to each of the data lines, and the plurality of sampling switches sequentially samples one sample at a time in response to the transfer signal.

[0025]

In this aspect, the image signal is supplied to the sampling circuit through a single image line, without having undergone phase expansion. On the other hand, the transfer signal is outputted sequentially to each data line from each of the stages of the shift register. Given this, the image signal, on the single image signal line, is sampled sequentially, one at a time, by the plurality of sampling switches in response to the transfer signal. Thus the field scan, frame scan, and the like in the screen display region is carried out well based on the high-precision sampling circuit driving signal that is outputted from the transmission gate despite the image signal having not undergone phase expansion.

[0026]

In another aspect of the electro-optical device driving circuit according to the present invention, the image signal is supplied to the sampling circuit through n image signal lines after phase expansion into n phases (where n is a natural number no less than 2), the shift register outputs transfer signals sequentially from each of the stages, to each group comprising data lines of n adjacent phases, and the plurality of sampling switches carries out sampling simultaneously for each group in response to the transfer signal.

[0027]

In this aspect, the image signal is subjected to phase expansion and supplied to sampling circuits through n image signal lines. On the other hand, transfer signals, from each phase of the shift register, are outputted sequentially to each group that comprises n data lines. Given this, the image signal on the n image signal lines is sampled simultaneously, by a group, by a plurality of sampling switches, in response to the transfer signal. The result is that field scanning, frame scanning, and the like, are carried out well in the screen display region, based on the high-precision sampling circuit driving signal that is outputted from the transmission gate, even when the image signal has been subjected to phase expansion. Moreover, this aspect has the benefit that the driving frequency in the phase register and sampling circuit can also be reduced to $1/n$ through the phase expansion.

[0028]

In another aspect of the electro-optical driving circuit according to the present invention, the scan line driving circuit and data line driving circuit are formed on the aforementioned substrate.

[0029]

In this aspect, the scan line driving circuit and data line driving circuit are formed on the substrate of the electro-optical device, enabling achievement of an electro-optical device with built-in driving circuitry.

[0030]

In another aspect of an electro-optical device driving circuit according to the present invention, each of the plurality of enable circuits is configured from a (single channel-type) thin film transistor, made from either P-type or the N-type, wherein the transfer signal is supplied to the control terminal and the enable clock circuit is inputted into the input terminal, to output, from an output terminal, as the sampling circuit driving signal, the enable clock circuit, in response to inputting of the transfer signal into the control terminal.

[0031]

In this aspect, a plurality of enable circuits are configured from respective TFTs of channels that are either the P-type or N-type. Given this, enable clock signals are inputted into an input signal (which is either the source or drain) in each TFT with either a P-type or N-type channel, while the transfer signal is provided to the control terminal (that is, to the gate). Given this, the enable clock signal is outputted as the sampling circuit driving signal, in response to the input of the transfer signal to the control terminal, from the output terminal (which is the other of the source or drain). Consequently, when compared to a conventional enable circuit wherein a NAND circuit and an inverter are arranged in parallel, the number of gates is reduced substantially, reducing substantially the capacitance and delay time as well. The result is the ability to reduce easily the delay time, which is, for example, about 100 ns in a conventional enable circuit, to less than about 50 ns, when envisioning formation of TFTs, interconnections, and the like, when using an equivalent thin-film fabrication technology. Moreover, because only an extremely limited scope of circuitry is required in the enable circuit, this is beneficial also when reducing the pixel pitch for high-resolution image displays.

[0032]

In order to solve the problems set forth above, an electro-optical device according to the present invention includes the electro-optical device data line driving circuit according to the present invention, described above, or any of the aspects thereof.

[0033]

The electro-optical device according to the present invention includes the data line driving circuit according to the present invention, described above, thereby enabling various types of electro-optical devices, such as liquid crystal devices, EL (electroluminescence) devices, and the like, that are capable of displaying high-quality images, driven at high frequencies with high-resolution, using a relatively simple structure.

[0034]

These operations and other benefits of the present invention will become apparent from the embodiments explained next.

[0035]

[EMBODIMENTS OF THE INVENTION]

Embodiments according to the present invention will be explained below based on the drawings.

[0036]

(FIRST EMBODIMENT)

A first embodiment will be explained first in reference to FIG. 1 through FIG. 4. FIG. 1 is an overall block diagram of a liquid crystal device as an example of an electro-optical device equipped with a data line driving circuit; FIG. 2 is a circuit diagram of the data line driving circuit; FIG. 3 is a circuit diagram depicting the enable circuit part of FIG. 2 enlarged; and FIG. 4 is a timing chart of the various types of signals in the data line driving circuit. Note that in the present embodiment the present invention is applied to a liquid crystal device of an active matrix driving type through TFT driving.

[0037]

In FIG. 1, a liquid crystal device 200 is structured comprising a liquid crystal displaying portion 1a wherein a liquid crystal is filled between a pair of substrates, a data line driving circuit 101, a scan line driving circuit 104, and a sampling circuit 301.

[0038]

These driving circuits, and the like, are provided in a peripheral region positioned at the periphery of a TFT array substrate 10 comprising, for example, quartz glass, hard glass, a silicon substrate, or the like. A plurality of pixel electrodes 11, provided in the form of a matrix, respective data lines 35 (source electrode lines) laid out in a plurality in the X direction and extending in the Y direction, a plurality of scan lines 31 (gate electrode lines) laid out in a plurality in the Y direction and extending in the X direction, a plurality of TFTs 30, interposed between each of the data lines 35 and pixel electrodes 11, for controlling respectively, in response to scan signals supplied through the respective scan lines 31, the conductive state or nonconductive state between each of the data lines 35 and pixel electrodes 11, and a liquid crystal displaying portion 1a are structured in a screen display region that is positioned in the center of the TFT array substrate 10. Additionally, capacitance lines 31' (power storage capacitance electrodes) that are interconnections for storage capacitors to maintain the voltages that are applied to the pixel electrodes 11 are formed in parallel with the scan lines 31 on the TFT array substrate 10.

[0039]

In response to a X-side clock signal CLX (and an inverted clock signal CLX' thereof), which are referenced clock signals for applying the data signals, the data line driving circuit 101 drives the sampling circuit 301 to sample the image signal Vi supplied from the image signal line 400, for application as data signals to the plurality of data lines 35.

[0040]

The scan line driving circuit 104 is configured so as to apply scan signals sequentially to the plurality of scan lines 31, based on a Y-side clock signal CLY (and an inverted clock CLY' thereof), which is a reference clock for scan

signal application, so as to carry out vertical scanning in the Y direction, which is perpendicular to the scan lines 31, based on the data signal and the scan signal, in the liquid crystal displaying portion 1a that is configured from a plurality of pixel portions that are arranged in the form of a matrix.

[0041]

The sampling circuit 301 comprises a plurality of sampling switches 302 connected respectively to a plurality of data lines 35. Each sampling switch 302 is supplied an image signal V_i , where the individual sampling switches 302 are closed sequentially through transfer signals from the shift register circuit, described below, which is included in the data line driving circuit 101. That is, the configuration is such that the image signal V_i is sampled in response to the transfer signal for each data line 35 and is applied respectively, as data signals, to a plurality of data lines 35.

[0042]

More specifically, the sampling switch 302 is structured from, for example, a P channel-type or N channel-type typed-channel-type TFT or a complementary TFT, where an image input signal line 400 is connected to the source electrode of a sampling switch 302, and a sampling circuit driving signal line 306 is connected to a gate electrode of the sampling switch 302. Given this, the configuration is such that, when a sampling circuit driving signal is inputted from the data line driving circuit 101 through the sampling circuit driving signal line 306 while the image signal V_i is inputted from the image input signal line 400, the image input V_i is sampled and applied to each data line 35.

[0043]

A configuration for the data line driving circuit 101 will be explained in detail next in reference to FIG. 2 through FIG. 4.

[0044]

In FIG. 2, the data line driving circuit 101 is equipped with a shift register circuit 500 that comprises multiple stages, and a plurality of enable circuits 502.

[0045]

The shift register circuit 500 is configured including three clocked inverters 501 each for transferring, to the subsequent stage, through returning the transfer signal with each change in the binary levels of the clock circuit CLX and the inverted signal CLX' thereof, which are of a prescribed period and are supplied from an external image signal processing device, so as to output sequentially transfer signals A1, A2, A3, ..., from each stage, in the transfer direction corresponding to the direction from right to left, as illustrated in FIG. 2. Note that a shift register start signal DX, for starting the transfer of the transfer signal, is inputted from the left side in the figure into the shift register circuit 500, and the power supply, and the like, that is required for driving each clocked inverter 501 is connected so as to be supplied from the outside.

[0046]

Additionally, in the present embodiment, the plurality of enable circuits 502 is provided for each data line 35, because the image signal is not phase-expanded, and each is configured to calculate the logical product of the transfer signal A1, A2, A3, ..., and an enable signal ENB, as an example of an enable clock signal, and so as to output them,

as scan signals O1, O2, O3, ..., respectively, to the sampling driving signal lines 306 (referencing FIG. 4). As a more specific circuit configuration, each enable circuit 502 is structured from a transmission gate 505, for outputting the scan signal O1, O2, O3, ..., with the timing with which the transfer signals A1, A2, A3, ..., are inputted and the enable signal ENB is inputted, as illustrated in FIG. 2.

[0047]

Here an explanation for a specific configuration for the transmission gate 505 will be added in reference to FIG. 3.

[0048]

As depicted in FIG. 3 (a), the transmission gate 505 for structuring each of the plurality of enable circuits 502 is configured so that a transfer signal A_i , and the inverted signal A_i' thereof, will be supplied to each of the gates of a pair of TFTs (as examples of control terminals), and the enable signal ENB is inputted into each of the sources of the pair of TFTs (as examples of input circuits), and, in response to the transfer signal being A_i being inputted into the gate, the enable signal ENB is outputted, as a sampling circuit driving signal O_i , from the drains of the pair of TFTs (as examples of output terminals).

[0049]

Here, as depicted in FIG. 3 (b), the inverted signal A_i' may be generated through the provision of an inverter 506a within the enable circuit 502'. Conversely, as depicted in FIG. 3 (c), it may be generated through the provision of an inverter 506b within the shift register 500'. Preferably such an inverter 506a or 506b is formed in a region wherein there is surplus space on the substrate and wherein interconnection is easy in the design.

[0050]

As can be appreciated from the circuit diagram in FIG. 3 (a), the transmission gate 505 for structuring the enable circuit 502 has fewer gates, and reduced capacitance and delay time, when compared to the conventional enable circuit wherein a NAND circuit and an inverter are laid out in series.

[0051]

The result is that the present embodiment enables the delay time of about 100 ns, for example, in a conventional enable circuit to be reduced easily by half, to about 50 ns, envisioning fabrication of TFTs and interconnections using the same thin film fabrication technology. Moreover, the scope of circuitry in the enable circuit 502 may be kept small, which is beneficial when reducing the pixel pitch for high-resolution image display.

[0052]

The operation of the shift register circuit 500 and enable circuit 502 will be explained here in reference to FIG. 4.

[0053]

In the timing chart depicted in FIG. 4, when the start signal DX, the clock signal CLX (and the inverted signal CLX' thereof), and the enable signal ENB are inputted, the transfer signals A1, A2, A3, ... that are delayed sequentially with the period of the clock signal CLX, are outputted sequentially from the shift register circuit 500 that is structured as described above. Given this, sampling circuit driving signals O1, O2, O3, wherein the pulse width of the transfer signals A1, A2, and A3 have been limited to the pulse width of the enable signal ENB, are supplied

sequentially to the sampling circuit 301 by the enable circuit 502.

[0054]

Note that because the pulse width of the enable signal ENB is set to be shorter than that of the transfer signals A1, A2, A3, ..., as depicted in the timing chart of FIG. 4, slight time intervals ΔT , corresponding to the shortness of the enable signal ENB, are provided as a temporal margin between each of the two sample circuit driving signals O_i and O_{i+1} that are outputted in adjacent phases from a plurality of enable circuits 502. Because of this, it is possible to absorb partially or perfectly the adverse effects, through the temporal margins (the time interval ΔT), described above, despite a relative increase in the adverse effects of the ON resistance, interconnection resistance, time constants, capacitance, delay times, and the like, in the various types of interconnections and active elements such as the TFTs, and the like, that structure the data line driving circuit 101 and the sampling circuit 301 accompanying high-frequency driving. The result of the above is the ability to prevent crosstalk and ghosting effectively, even when driving at a high frequency, through the effects of the enable circuit 502 in the present embodiment.

[0055]

The configuration as explained above enables field scanning, frame scanning, and the like, to be carried out well in the liquid crystal displaying portion 1a, depicted in FIG. 1, based on the data signal and scan signals O1, O2, O3, ..., outputted sequentially from the scan line driving circuit 104, the data line driving circuit 101, and the sampling circuit 301. In particular, even if the driving frequency is high, the effects of the ON resistance, capacitance, time constant, and the like, in the enable circuit 502 made from the transmission gates 505 are relatively small, enabling high-precision supplying of the sampling circuit driving signals O1, O2, O3, ..., thereby allowing the sampling operations in the various sampling switches 302 of the sampling circuit 301 to be accurate and stable, thereby reducing the occurrence of crosstalk and ghosting between adjacent data lines 31.

[0056]

(SECOND EMBODIMENT)

A second embodiment will be explained next in reference to FIG. 5. Here FIG. 5 is a circuit diagram of a TFT configured to be P-type or N-type, for structuring the enable circuit of the second embodiment (hereinafter termed a "single channel-type TFT").

[0057]

When compared to the first embodiment, the second embodiment has the same overall structure as depicted in FIG. 1, but is configured from a single channel-type TFT 507, depicted in FIG. 5, and the enable circuit 502 depicted in FIG. 2 differs in the point that it has no transmission gate 505 and there is no need to generate an inverted signal A_i' of the transfer signal A_i ($i = 1, 2, 3, \dots$) from the shift register circuit in order to operate the single channel-type TFT 507, where the other structures are the same as in the first embodiment, so explanations thereof will be omitted.

[0058]

That is, in FIG. 5 the configuration is such that a plurality of enable circuits 502" are each structured from a single channel type TFT 507, where, in the single channel

type TFT 507, the transfer signal A_i is supplied to the gate of the TFT (an example of a control terminal), the enable signal ENB is inputted into the source of the TFT (an example of an input terminal), and the enable signal ENB is outputted from the drain of the TFT (an example of an output terminal), as the sampling circuit driving signal, in response to inputting of the transfer signal A_i into the gate.

[0059]

As can be appreciated from the circuit diagram in FIG. 5, the single channel type TFT 507 for structuring the enable circuit 502," when compared to the conventional enable circuit wherein a NAND circuit and an inverter are arranged in series, has substantially fewer gates and has substantially less capacitance and delay time.

[0060]

The result is that the present embodiment, when envisioning forming TFTs, interconnections, and the like, using the same thin film forming technologies, is the ability to reduce easily the delay time, which has been, for example, less than about 100 ns in a conventional enable circuit, by half, to about 50 ns. Because the scope of circuitry in the enable circuit 502" is reduced, this is useful also when reducing the pixel pitch for a high resolution image display.

[0061]

(THIRD EMBODIMENT)

A third embodiment will be explained next in reference to FIG. 6. Here FIG. 6 is an overall block diagram of a liquid crystal device, as an example of an electro-optical device, with the driving circuit provided on the same substrate.

[0062]

When compared to the first embodiment, the third embodiment differs in the point that a phase-expanded image signal is supplied through a plurality of image signal lines, and the point that individual sampling circuit driving signals are supplied simultaneously to a plurality of sampling switches, to accommodate the phase expanded image signal, where the other structures are similar to those in the first embodiment and explanations thereof will be omitted.

[0063]

Specifically, in FIG. 6 the image signals VID1 through VID6 are phase-expanded into six phases by an external image signal processing circuit, and are inputted into the sampling circuit 301 through six image signal lines 400'. The sampling circuit driving signals S_i ($i = 1, 2, 3, \dots$) that have the pulse widths thereof limited by the enable circuit in the data line driving circuit 101 are inputted into six adjacent sampling switches 302 through sampling circuit driving signal lines 306' that are each branched into six branches. Consequently, the sampling circuit 301 is driven simultaneously for each group of six sampling switches 302.

[0064]

The number of phases for phase expansion of the image signal VID that is inputted into the sampling circuit 301 is determined by the sampling capability of the sampling circuit 301. For example, if the sampling capability in the sampling circuit 301 is increased, the configuration may be one such that the image signal VID that has not undergone phase expansion is supplied sequentially to a single data line 35, such as in the first embodiment, or the

configuration may be such that image signals VID that have undergone 3-phase expansion, 12-phase expansion, 24-phase expansion, or the like, are inputted into 3, 12, 24, or the like, data lines. Note that a multiple of three is preferred in order to simplify control and circuitry given that the color image signal is structured from signals relating to three colors.

[0065]

The result of the above is that the third embodiment enables a reduction in the driving frequency of the shift register circuit 500 of the data line driving circuit 101 to about 1/6 that of the first embodiment (where the denominator is the number of lines that are driven simultaneously), depending on the number of sampling switches 302 that are driven simultaneously through the incorporation of phase expansion technology. Consequently, this enables a relaxation in the required specifications for circuit accuracy, circuit scope, interconnection resistance, time constant, capacitance, delay time, and the like, in the clocked inverter interconnections, and the like, in the shift register circuit 500.

[0066]

(OVERALL STRUCTURE OF LIQUID CRYSTAL DEVICE)

Overall structures for various embodiments of a liquid crystal device configured as described above will be explained in reference to FIG. 7 and FIG. 8. Note that FIG. 7 is a plan view of a TFT array substrate 10 and the various structural elements formed thereon when viewed from the opposing substrate 20 side, and FIG. 8 is a cross-sectional drawing along the section H-H' of FIG. 7, shown including the opposing substrate 20.

[0067]

In FIG. 7 and FIG. 8, a seal member 52 is provided on the edge of the TFT array substrate 10, along the edge thereof, in order to seal the liquid crystal 50, where a light blocking film 53, formed from a material such as metal that is able to occlude light, is formed as a peripheral margin for partitioning the screen display region and the peripheral region, provided in parallel with the seal member 52 toward the inside thereof. The data line driving circuit 101 and packaging terminals 102 are provided along one edge of the TFT array substrates 10 in a region to the outside of the seal member 52, and a scan line driving circuit 104 is provided along the two edges that are adjacent to this one edge, in the peripheral region. Insofar as there are no problems with delays of scan signals supplied to the scan lines 31, the scan line driving circuits 104 may instead be provided on only a single side, of course. Moreover, the data line driving circuits 101 may be arranged on both sides along the edges of the screen display region. For example, the configuration may be such that data lines of odd numbered columns are supplied image signals from data line driving circuits that are disposed along one edge of the screen display region, and data lines of even numbered columns are supplied image signals from data line driving circuits that are disposed along the edge on the opposite side of the screen display region. Moreover, a plurality of interconnections 105, for connecting between the scan line driving circuits 104 that are provided on both sides of the scan display region, may be provided on the remaining edge of the TFT array substrate 10. Moreover, a silver dot 106 made from a conductive material, for

achieving electrical conductance between the TFT array substrate 10 and the opposing substrate 20, is provided at least one location at a corner portion of the opposing substrate 20. The opposing substrate 20, which has a shape that is essentially identical to that of the seal member 52, is secured by the seal member 52 to the TFT substrate 10.

[0068]

Precharge circuits for writing precharge signals of a prescribed electropotential to each of the data lines 35 with a timing that precedes that of the image signals, for reducing the writing load of the image signals on the data lines 35, and testing circuits, and the like, for testing for quality, defects, and the like, of the liquid crystal device during manufacturing and at the time of shipping, may be formed on the TFT array substrate 10 of the liquid crystal device in any of the embodiments explained in reference to FIG. 1 through FIG. 8. Moreover, polarizing films, retardation films, polarizing plates, and the like, may be arranged, in prescribed directions, depending the operating mode such as, for example, TN (twist nematic) mode, STN (super TN) mode, DSTN (double-STN) mode, or the normally white mode/normally black mode, on the side of the opposing substrate 20 into which emitted light is incident, and the side of the TFT array substrate 10 from which the light is emitted.

[0069]

Note that in each of the embodiments explained above, the configuration may be one in which the scan line driving circuit 101 is provided divided in half, into two sides, on the left and right of the screen display region, as depicted in FIG. 7, and a plurality of scan lines 31 are interconnected in the form of alternating the meshing comb teeth from the left and right sides of the screen display region. In such a structure, the scan lines 31 that are interconnected in the form of comb teeth are driven by the scan line driving circuit 101, which is divided into two parts, and driven from both the left and right sides of the screen display region, enabling the Y-direction circuit pitch of the shift register circuits for structuring the scan line driving circuit 101 to be doubled. Note that driving the individual scan lines from both sides, as in FIG. 7, is beneficial from the perspective of reducing delay times of the scan signals.

[0070]

In each of the embodiments above, an example of a pixel portion was structured from a pixel electrode and a TFT 30. However, the pixel portion is not limited to this example. For example, the configuration may be one wherein the data line 35 or the scan line 31 may be provided on the opposing substrate as the opposing electrode, and two terminal-type nonlinear elements, such as TFD driving elements that have bidirectional diode characteristics, are interposed between the pixel electrode 11 and the other, of the data line 35 and scan line 31, that is formed on the TFT array substrate 10, as another example of a pixel portion, structured from the opposing electrode, the pixel electrode 11, and a two terminal-type nonlinear element. The present embodiment can also be applied to various other types of switching elements, and also various types of liquid crystal materials (liquid crystal phases), operating modes, liquid crystal arrangements, driving methods, and the like.

[0071]

Furthermore, in each of the embodiments set forth above, a liquid crystal device with built-in driving circuitry may be achieved through forming the scan line driving circuit and data line driving circuit on the substrate. The data line driving circuit (and scan line driving circuit), having the features as described above, may be structured through application to the substrate using a TAB (Tape Automated Bonding) packaging technology. [0072]

The structure of a liquid crystal projector, as an example of an application using the present embodiment, will be explained using FIG. 9. [0073]

A liquid crystal projector 1100 is structured as a projector that uses light valves 100R, 100G, and 100B, for RGB, respectively, through preparing three liquid crystal modules that include liquid crystal devices as electro-optical devices as described above. In the liquid crystal projector 1100, when a projected beam is produced from a lamp unit 1102 that is a white light source, such as a metal halide lamp, it is split, by three mirrors 1106 and two dichroic mirrors 1108 into light components R, G, and B that correspond to the three primary colors RGB, and are guided respectively to the light valves 100R, 100G, and 100B that correspond to the respective colors. At this time, in order to prevent optical loss of the B beam in particular due to a long optical path, the B beam is guided through a lens system 1121 comprising an incident lens 1122, a relay lens 1123, and an emission lens 1124. Additionally, the beam components corresponding to the three primary colors that are modulated respectively by the light valves 100R, 100G, and 100B are recombined by a dichroic prism 1112, to be projected, as a color image, onto a screen 1120 through a projection lens 1114. [0074]

[EFFECTS OF THE INVENTION]

The driving circuit of the electro-optical device of the present invention, as explained in detail above, enables achievement of a data line driving circuit, for an electro-optical device, able to prevent effectively degradation of

quality of the display image accompanying high-frequency driving, doing so through a relatively simple structure.

[BRIEF DESCRIPTIONS OF THE DRAWINGS]

FIG. 1 is a block diagram depicting the overall structure of a first embodiment.

FIG. 2 is a circuit diagram of a data line driving circuit according to the first embodiment.

FIG. 3 is a circuit diagram of an enable circuit including the data line driving circuit of the first embodiment.

FIG. 4 is a timing chart of a data line driving circuit of the first embodiment.

FIG. 5 is a circuit diagram for a single channel-type TFT for structuring an enable circuit in a second embodiment.

FIG. 6 is a block diagram depicting the overall structure of a third embodiment.

FIG. 7 is a plan view of a TFT array substrate, and the various structural elements that are formed thereon, in liquid crystal devices of various embodiments, viewed from the opposing substrate side.

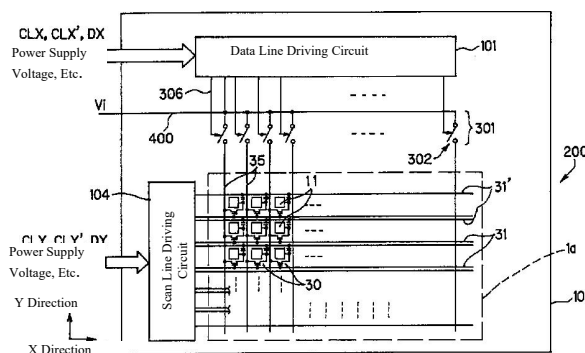
FIG. 8 is a cross-sectional drawing along the section H-H' in FIG. 7.

FIG. 9 is a structural diagram of a liquid crystal projector that uses a liquid crystal device according to the present embodiment.

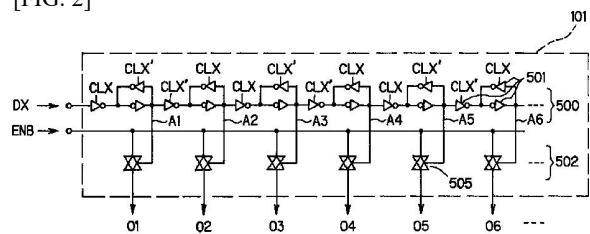
[EXPLANATIONS OF REFERENCE SYMBOLS]

- 1a: Liquid Crystal Displaying Portion
- 10: TFT Array Substrate
- 11: Pixel Electrode
- 31: Scan Line (Gate Electrode)
- 35: Data Line (Source Electrode)
- 101: Data Line Driving Circuit
- 104: Scan Line Driving Circuit
- 200: Liquid Crystal Device
- 301: Sampling Circuit
- 302: Sampling Switch
- 500: Shift Register Circuit
- 501: Clocked Inverter
- 502: Enable Circuit
- 505: Transmission Gate
- 507: Single Channel-Type TFT

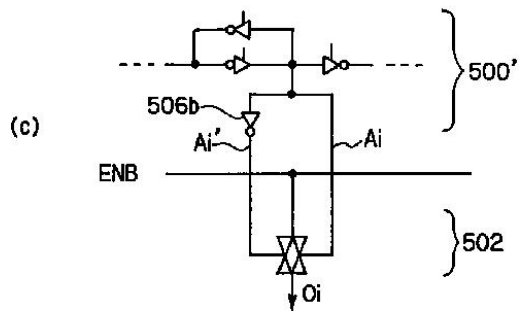
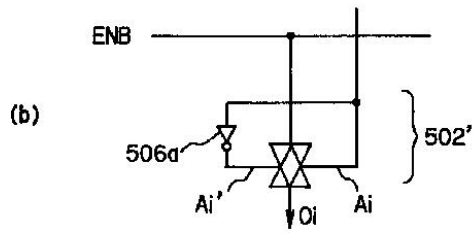
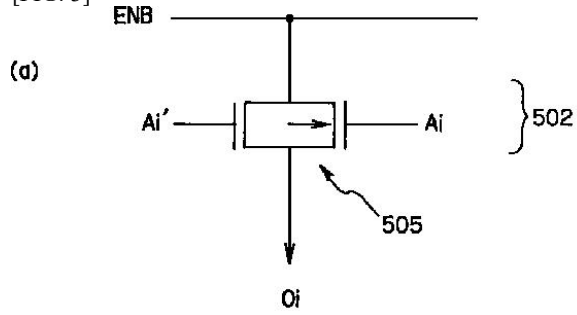
[FIG. 1]



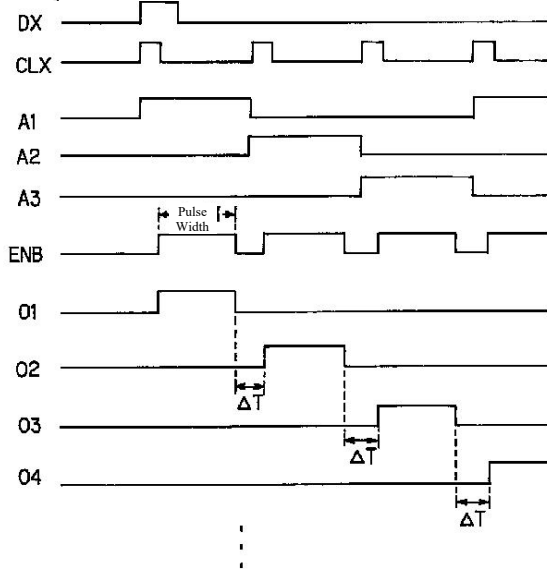
[FIG. 2]



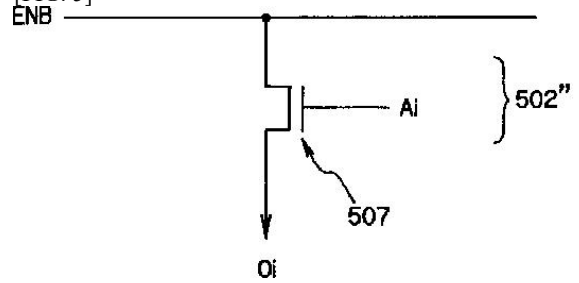
[FIG. 3]



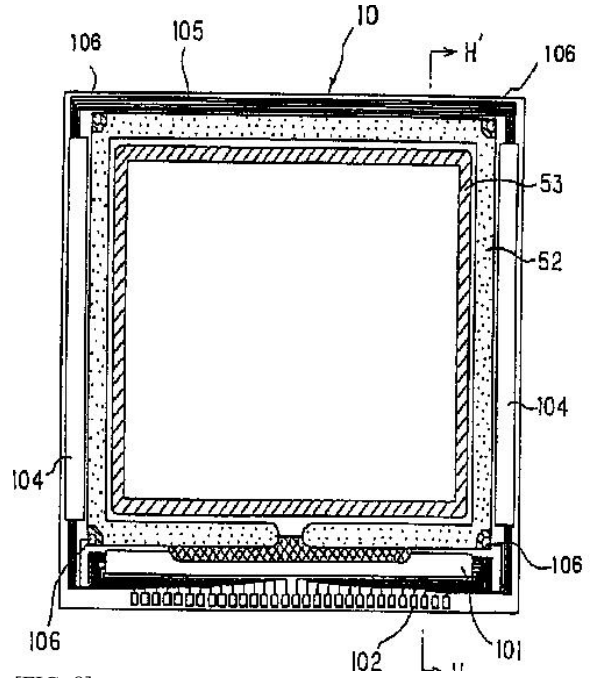
[FIG. 4]



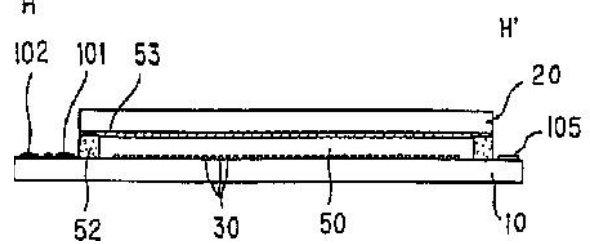
[FIG. 5]



[FIG. 7]



[FIG. 8]



Continued from front page.

F terms	2H093 NA34 NC09 NC23 NC25 NC26
(Reference)	NC34 ND15 ND39 ND49 ND50
	ND53 ND54 ND55 NG02
5C006	AA01 AA16 AA22 AF44 AF72
	BB16 BB29 BC02 BC03 BC06
	BC13 BC16 BF03 BF11 BF26
	BF27 BF31 BF49 EA01 EC11
	FA14 FA23 FA24 FA36 FA43
5C080	AA10 BB05 CC03 DD07 DD08
	DD10 DD22 EE30 FF11 JJ02
	JJ03 JJ04 JJ06

TRANSLATION CERTIFICATION

Date: July 8, 2025

To whom it may concern:

This is to certify that the attached translation is an accurate representation of the documents received by this office. The translation was completed from:

- Japanese

To:

- English (USA)

The documents are designated as:

- JP2000047643A_Original

Emily Paras, Project Manager in this company, attests to the following:

“To the best of my knowledge, the aforementioned documents are a true, full and accurate translation of the specified documents.”

A handwritten signature in black ink, appearing to read "Emily Paras". The signature is written in a cursive style with a horizontal line underneath it.

Signature of Emily Paras