

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド ¹ (参考)
H01L 21/768		H01L 21/312	Z 5F033
21/312		21/314	M 5F058
21/314		21/90	J

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号	特願2001 - 96641(P 2001 - 96641)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目 1 番 1 号
(22)出願日	平成13年 3 月29日(2001.3.29)	(72)発明者	深澤 雄二 神奈川県横浜市磯子区新杉田町 8 番地 株 株式会社東芝横浜事業所内
		(74)代理人	100097629 弁理士 竹村 壽

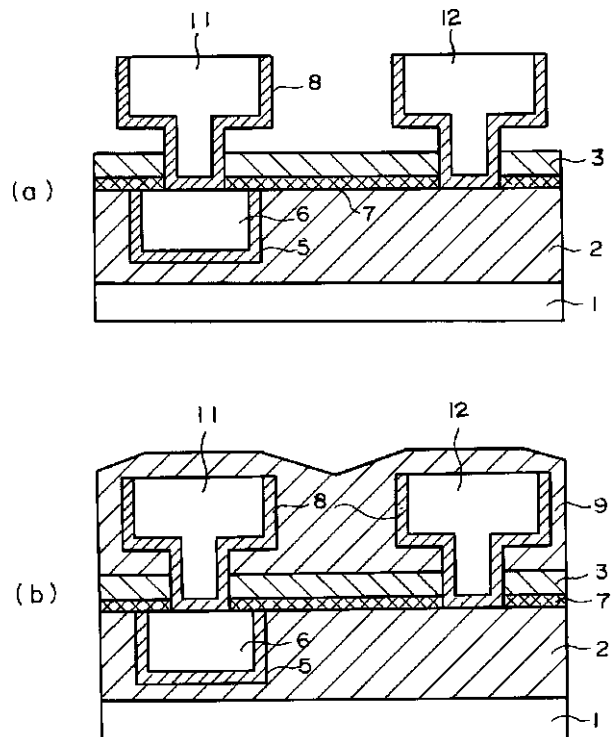
最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【課題】 Low - k 膜に Cu などの金属配線を埋め込み形成する際に、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトリソを剥離するためのアッシングによって受ける Low - k 膜に対するダメージの影響をなくした半導体装置の製造方法を提供する。

【解決手段】 半導体基板 1 上に絶縁膜 3 を形成し、この絶縁膜 3 にコンタクト 1 3 及びダミーコンタクト 1 4 を有する Cu 配線 1 1、1 2 を形成する。その後絶縁膜 3 を除去し、その後に Low - k 膜 9 を形成する。絶縁膜 3 は最終的に除去されてしまうので、プラズマあるいはアッシングによって受ける Low - k 膜に対するダメージの影響をなくせる。また、ダミーコンタクトは、絶縁膜を除去した時に Low - k 膜が形成されるまで配線が倒れたり剥離しないように支持するものである。



【特許請求の範囲】

【請求項 1】 半導体素子が形成された半導体基板上に下層の第 1 の配線が埋め込み形成された第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝にビアホールを形成してこのビアホール内に前記下層配線を露出させ、同時にダミービアホールを形成してこのダミービアホール内に前記第 1 の絶縁膜を露出させる工程と、

前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第 2 の絶縁膜上に配線材料を堆積させる工程と、

前記堆積された配線材料の表面を研磨して前記配線溝に第 2 の配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記第 1 の配線と前記第 2 の配線とを接続するコンタクトを形成する工程と、

前記第 2 の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、

前記第 2 の配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜表面を平坦化して第 2 の配線の表面を露出させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 前記ダミーコンタクトは、前記下層にある第 1 の配線の直上には形成しないことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 不純物拡散領域を有する半導体素子が形成された半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、前記第 1 の絶縁膜及び前記第 2 の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝内にビアホールを形成してこのビアホール内に前記前記不純物拡散領域を露出させ、同時に前記第 2 の絶縁膜を前記フォトレジストをマスクにしてエッチングして前記配線溝内にダミービアホールを形成し、その後このダミービアホール内に前記第 1 の絶縁膜を露出させる工程と、

前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第 2 の絶縁膜上に配線材料を堆積させる工程と、

前記堆積された配線材料の表面を平坦化して前記配線溝に配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記配線と前記不純物拡散領域とを接続するコンタクトを形成する工程と、

前記第 2 の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、

前記配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜表面を平坦化して前記配線の表面を露出させる工程とを備えたことを特徴とする半導体装置の製造方法。

10 【請求項 4】 前記低誘電率絶縁膜は、シリコン酸化膜より、比誘電率が小さいことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記低誘電率絶縁膜は、有機絶縁膜、シラン系絶縁膜、フッ素化カーボン系絶縁膜から選択された 1 つであることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】半導体装置の製造方法に係り、とくに低誘電率絶縁膜（以下、Low - k 膜という）に埋め込まれる Cu 配線の形成方法に関するものである。

【0002】

30 【従来の技術】従来の Low - k 膜材料を用いた Cu 配線の形成方法としては、図 8 及び図 9 に示す方法がある。まず、シリコンなどの半導体基板 10 上にシリコン酸化膜などの下地絶縁膜 100 を形成する。下地絶縁膜 100 の表面は、平坦化され、Cu シングルダマシシ法により下層配線が形成されている。下層配線は、下層 Cu 配線 102 とこの下層 Cu 配線を包み込む Ta や Ta N などのバリアメタル層 101 から構成されている。次に、下層配線を被覆するように下地絶縁膜 100 上にビアホールを形成するための R I E (Reactive Ion Etching) などの異方性エッチングのオーバーエッチングを阻止するシリコン窒化膜 (SiN) ストッパー 103 を形成する。そして、さらに、その上に Low - k 膜材料を塗布して Low - k 膜 107 を形成する (図 8 (a))。その後、所定のパターンが形成されたフォトレジスト 109 を Low - k 膜 107 上に形成し、リソグラフィによって下層 Cu 配線 102 とコンタクトをとるためのビアホール 110 のパターンを形成する (図 8 (b))。

40 【0003】さらに、リソグラフィによってこのビアホール 110 に接続する上部配線パターン用の配線溝 111 を形成する (図 9 (a))。この後 Ta あるいは Ta N などのバリアメタル層 112 を形成し、その上に Cu をプラズマ法などによって堆積させた後にメッキ法によってビアホール及び配線溝を含んだ Low - k 膜 107 の全面に Cu を成膜する。その後、化学的機械的研磨 (CMP (Chemical Mechanical Polishing)) 法によ

50 て配線溝及びビアホールを含んだ配線溝部にのみ Cu を

残す方法、いわゆるCuデュアルダマシン法により、ビアホールが形成された配線溝には下層Cu配線と接続されたコンタクトを有する上層配線104が形成され、ビアホールが形成されていない配線溝には上層配線105が形成される(図9(b))。

【0004】

【発明が解決しようとする課題】Low-k膜材料としてはフッ素化カーボン系、シラン系や有機系など様々な種類が提案されているが、いずれの材料も従来の絶縁膜である酸化膜と比較すると機械的強度や対プラズマ耐性が弱いことが特徴である。このようなLow-k膜を用いて前述のようにフォトレジストをマスクにビアホールや配線溝を加工するプラズマを用いたドライエッチングやこの後のレジスト剥離のアッシングを行うと、Low-k膜そのものがプラズマダメージを受け、膜自身が変質を起こしたりする。つまり、プラズマやアッシングなどに曝らされた配線溝やビアホールなどの表面にはLow-k膜のダメージ層108が形成される。その結果、配線のはがれの原因になったり、実質の絶縁容量が増加してしまうなどの問題があった。これらプラズマによって受けるダメージ層は、HF液などによって除去できるが、この場合は加工寸法が変化してしまい結果として配線間ショートなどの問題を引き起こすことになる。本発明は、このような事情によりなされたものであり、Low-k膜にCuなどの金属配線を埋め込み形成する際に、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによって受けるLow-k膜に対するダメージの影響をなくした半導体装置の製造方法を提供する。

【0005】

【課題を解決するための手段】本発明は、半導体基板上に絶縁膜を形成し、この絶縁膜にコンタクト及びダミーコンタクトを有するCuなどの金属配線を形成してからこの絶縁膜を除去し、この絶縁膜を除去した後にLow-k膜を形成して、この金属配線、コンタクト及びダミーコンタクトをLow-k膜に埋め込むことを特徴としている。Low-k膜にCuなどの金属配線を埋め込み形成する絶縁膜は最終的に除去されてしまうので、ビアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによって受けるLow-k膜に対するダメージの影響をなくすることができる。また、ダミーコンタクトは、絶縁膜を除去した時にLow-k膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、配線を支持するコンタクトがないか、あっても十分配線を支持することができない数しかない場合に付設される。つまり、コンタクト及びダミーコンタクトは、その1本が支持できる所定長さの単位配線長を有している。したがって、コンタクト及びダミーコンタクトは、前記所定

長さの単位配線長ごとに設ける必要がある。

【0006】本発明の半導体装置の製造方法は、半導体素子が形成された半導体基板上に下層の第1の配線が埋め込み形成された第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝にビアホールを形成してこのビアホール内に前記下層配線を露出させ、同時にダミービアホールを形成してこのダミービアホール内に前記第1の絶縁膜を露出させる工程と、前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第2の絶縁膜上に配線材料を堆積させる工程と、前記堆積された配線材料の表面を研磨して前記配線溝に第2の配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記第1の配線と前記第2の配線とを接続するコンタクトを形成する工程と、前記第2の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、前記第2の配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第3の絶縁膜を形成する工程と、前記第3の絶縁膜表面を平坦化して第2の配線の表面を露出させる工程とを備えたことを特徴としている。前記ダミーコンタクトは、前記下層にある第1の配線の直上には形成しないようにしても良い。

【0007】本発明の半導体装置の製造方法は、不純物拡散領域を有する半導体素子が形成された半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第1の絶縁膜及び前記第2の絶縁膜をパターニングされたフォトレジストをマスクにしてエッチングして配線溝及びこの配線溝内にビアホールを形成してこのビアホール内に前記前記不純物拡散領域を露出させ、同時に前記第2の絶縁膜を前記フォトレジストをマスクにしてエッチングして前記配線溝内にダミービアホールを形成しこのダミービアホール内に前記第1の絶縁膜を露出させる工程と、前記配線溝内部、前記ダミービアホール内部及び前記ビアホール内部を含む第2の絶縁膜上に配線材料を堆積させる工程と、前記堆積された配線材料の表面を平坦化して前記配線溝に配線を形成し、前記ダミービアホールにダミーコンタクトを形成し、前記ビアホールに前記配線と前記不純物拡散領域とを接続するコンタクトを形成する工程と、前記第2の絶縁膜一部もしくは全部を除去して少なくとも前記ダミーコンタクトの一部もしくは前記コンタクトの一部を露出させる工程と、前記配線、前記ダミーコンタクト及び前記コンタクトを被覆するように低誘電率絶縁膜からなる第3の絶縁膜を形成する工程と、前記第3の絶縁膜表面を平坦化して前記配線の表面を露出させる工程とを備えたことを特徴としている。前記低誘電率絶縁膜は、シリコン酸化膜より、比誘電率が小さいよ

うにしても良い。前記低誘電率絶縁膜は、有機絶縁膜、シラン系絶縁膜、フッ素化カーボン系絶縁膜から選択された1つであるようにしても良い。

【 0 0 0 8 】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。まず、図 1 乃至図 4 を参照して第 1 の実施例を説明する。図は、いずれも半導体装置の製造工程断面図である。半導体素子が形成されたシリコンなどの半導体基板 1 上に膜厚が約 8 0 0 n m であるシリコン酸化膜などの第 1 の絶縁膜 2 を C V D 法などにより形成する。第 1 の絶縁膜 2 の表面は、平坦化され、深さ約 4 0 0 n m の配線溝が形成されている。そして、この配線溝には C u シングルダマシ法などにより下層配線が埋め込まれている。下層配線は、下層 C u 配線 6 とこの下層 C u 配線を包み込むように形成された T a や T a N などのバリアメタル層 5 から構成されている。次に、この下層配線を被覆するように第 1 の絶縁膜 2 上に第 2 の絶縁膜としてピアホールを形成するための R I E などの異方性エッチングのオーバーエッチングを阻止する膜厚約 5 0 n m のシリコン窒化膜 (S i N) ストッパー 7 を形成する。そして、さらに、その上に膜厚が約 8 0 0 n m のシリコン酸化膜などからなる第 3 の絶縁膜 3 を C V D 法などにより形成する (図 1 (a)) 。

【 0 0 0 9 】その後、所定のパターンが形成されたフォトレジスト 1 5 を第 3 の絶縁膜 3 上に形成し、リソグラフィによって下層 C u 配線 6 とコンタクトをとるためのピアホール 1 6 のパターン及び他の導電層とは電気的に接続しないダミーピアホール 1 7 のパターンを形成する (図 1 (b)) 。さらにリソグラフィによってピアホール 1 6 に接続する上層配線パターン用の配線溝 1 8 を形成し、ダミーピアホール 1 7 に接続する上層配線パターン用の配線溝 1 9 を形成する (図 2 (a)) 。その後配線溝 1 8 、 1 9 、ピアホール 1 6 及びダミーピアホール 1 7 の内部を含む第 3 の絶縁膜 3 上に T a あるいは T a N などのバリアメタル層 8 を形成し、その上に C u をプラズマ法などによって形成した後にメッキ法によってダミーピアホール 1 7 、ピアホール 1 6 及び配線溝 1 8 、 1 9 内部を含む第 3 の絶縁膜 3 の全面に C u を成膜する。その後、 C M P 法によって配線溝 1 8 、 1 9 及びダミーピアホール 1 7 、ピアホール 1 6 のみ C u を残す方法、いわゆる C u デュアルダマシ法により、ピアホール 1 6 を含んだ配線溝 1 8 には、 C u からなる上層 C u 配線 1 1 及び下層 C u 配線 6 と接続されたコンタクト 1 3 を形成し、ダミーピアホール 1 7 を含んだ配線溝 1 9 には、上層 C u 配線 1 2 及びダミーコンタクト 1 4 が形成される (図 2 (b)) 。

【 0 0 1 0 】次に、第 3 の絶縁膜 3 の一部を、例えば、 H F を含むエッチング液によって除去し、コンタクト 1 3 及びダミーコンタクト 1 4 の側面の一部を露出させる (図 3 (a)) 。この時、シリコン酸化膜である第 3 の

絶縁膜 3 のエッチング量のコントロールによって上層 C u 配線の露出度が調整され、第 3 の絶縁膜 3 のエッチング量が上層 C u 配線の深さより多くなると、上層 C u 配線下の絶縁膜が除去されることによって上層 C u 配線は、宙に浮いた状態になり、結果として配線不良を引き起こす。したがって、先に形成したダミーコンタクトはエッチングによる配線不良を防ぐ役目を果たす。次に、上層 C u 配線 1 1 、 1 2 の一部をエッチングによって露出させた後に、メチルシロキサン系もしくはポリアリレン系などの L o w - k 膜である第 4 の絶縁膜 9 を塗布法によって上層 C u 配線膜 1 1 、 1 2 が被覆されるように半導体基板 1 の全面に形成させる (図 3 (b)) 。その後、第 4 の絶縁膜 9 である L o w - k 膜の表面を C M P 処理して平坦化する。この平坦化処理を行うことにより、配線溝上の L o w - k 膜は、除去されて上層 C u 配線 1 1 、 1 2 が露出する (図 4) 。

【 0 0 1 1 】下層 C u 配線 6 とバリアメタル層 5 から構成された下層配線は、更に下層の金属配線と接続されるか或いは、下層 C u 配線 6 と接続されたタングステンなどのコンタクトを設け、このコンタクトにより半導体基板に形成された M O S トランジスタのソース/ドレイン領域の 1 つである不純物拡散領域と電気的に接続されるようにすることができる。この実施例のようにダミーピアホール、ピアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによってダメージを受ける絶縁膜は剥離してしまうので、 L o w - k 膜に対するダメージはなくなり、安定した配線構造が得られる。また、ダミーコンタクトは、絶縁膜を除去した時に L o w - k 膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、機械的強度の高い配線が得られる。

【 0 0 1 2 】次に、図 5 及び図 6 を参照して第 2 の実施例を説明する。図 5 及び図 6 は、半導体装置の製造工程断面図である。半導体素子、例えば、 M O S トランジスタが形成されたシリコンなどの半導体基板 2 1 上にシリコン酸化膜などの第 1 の絶縁膜 2 3 を C V D 法などにより形成する。半導体基板 2 1 の表面領域には M O S トランジスタのソース/ドレイン領域として用いられる不純物拡散領域 2 2 が形成されている。そして、前記第 1 の絶縁膜 2 3 の上に膜厚が約 8 0 0 n m のシリコン酸化膜などからなる第 2 の絶縁膜 2 9 を C V D 法などにより形成する。その後、所定のパターンが形成されたフォトレジストを第 2 の絶縁膜 2 9 上に形成し、リソグラフィによって不純物拡散領域 2 2 とコンタクトをとるためのピアホールのパターン及び他の導電層とは電気的に接続しないダミーピアホールのパターンを形成する。さらに、リソグラフィによってピアホールに接続する配線パターン用の配線溝を形成し、また、ダミーピアホールに接続する配線パターン用の配線溝を形成する。

【 0 0 1 3 】その後、これら配線溝、ピアホール及びダ

ミーピアホールを含む第2の絶縁膜29上にTaあるいはTa_Nなどのバリアメタル層28を形成し、その上にCuをプラズマ法などによって形成した後にメッキ法によってダミーピアホール、ピアホール及び配線溝内部を含む第2の絶縁膜29の全面にCuを成膜する。その後、CMP法によって配線溝及びダミーピアホール、ピアホールのみCuを残す方法、いわゆるCuデュアルダマシン法により、ピアホールを含んだ配線溝にはCuからなる配線24及び不純物拡散領域22と接続されたコンタクト26を形成し、ダミーピアホールを含んだ配線溝にはCu配線25及び底面が第1の絶縁膜23に接するダミーコンタクト27が形成される(図5(a))。

【0014】次に、第2の絶縁膜29を、例えば、HFを含んだエッチング液によって除去して、配線24、25、コンタクト26及びダミーコンタクト27を露出させる(図5(b))。この時、シリコン酸化膜である第2の絶縁膜29のエッチング量のコントロールによってCu配線の露出度が調整され、第2の絶縁膜29のエッチング量がCu配線の深さより多くなると、Cu配線下の絶縁膜が除去されることによってCu配線は、宙に浮いた状態になり、結果として配線不良を引き起こす。したがって、先に形成したダミーコンタクトは、エッチングによる配線不良を防ぐ役目を果たす。次に、Cu配線24、25をエッチングによって露出させた後に、Low-k膜である第3の絶縁膜20を塗布法によってCu配線膜24、25が被覆されるように半導体基板21の全面に形成させる(図6(a))。この後、第3の絶縁膜20であるLow-k膜の表面をCMP処理して平坦化する。この平坦化処理を行うことにより、配線溝上のLow-k膜は、除去されてCu配線24、25が露出してこの半導体装置の配線構造が形成される(図6(b))。

【0015】この実施例のようにダミーピアホール、ピアホールや配線溝を形成するためのドライエッチング用プラズマあるいはフォトレジストを剥離するためのアッシングによってダメージを受ける絶縁膜は剥離してしまうので、Low-k膜に対するダメージはなくなり、安定した配線構造が得られる。また、ダミーコンタクトは、絶縁膜を除去した時にLow-k膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、機械的強度の高い配線が得られる。

【0016】次に、図7を参照して第3の実施例を説明する。図7は、半導体装置の平面図及びこの平面図のA-A線に沿う部分の断面図である。半導体素子が形成されたシリコンなどの半導体基板31上に膜厚が約800nmであるシリコン酸化膜などの第1の絶縁膜22が形成されている。第1の絶縁膜22の表面は平坦化され、深さ約400nmの配線溝が形成されている。この配線溝には下層配線が埋め込まれている。下層配線は、下層

Cu配線36とこの下層Cu配線36を包み込むように形成されたTaやTa_Nなどのバリアメタル層35から構成されている。この下層配線を被覆するように第1の絶縁膜32上に第2の絶縁膜としてピアホールを形成するためのRIEなどの異方性エッチングのオーバーエッチングを阻止する膜厚約50nmのシリコン窒化膜(SiN)ストッパー37が形成されている。さらに、その上にシリコン酸化膜などからなる第3の絶縁膜33が形成されている。

【0017】第3の絶縁膜33の上にはLow-k膜である第4の絶縁膜39が形成されている。そして、上層配線及びコンタクトなどは、第3及び第4の絶縁膜33、39に埋め込まれている。第3及び第4の絶縁膜33、39にはピアホールを有する配線溝及びダミーピアホールを有する配線溝が形成されている。ピアホールを含んだ配線溝には、上層Cu配線40及び下層Cu配線36と接続されたコンタクト42を形成し、ダミーピアホールを含んだ配線溝には、上層Cu配線41及び底面が第1の絶縁膜32に接するダミーコンタクト43が形成されている。前述した実施例ではダミーコンタクトは、コンタクトと同様に柱状であったが、ダミーコンタクトは、下層の配線や半導体基板に接続されるものではなく、したがって、配線間あるいは配線-不純物拡散領域間を接続するために存在するコンタクトが形状的にも制限が加えられるのとは異なり、下に配線や不純物拡散領域がない限り自由な形状が許される。

【0018】この実施例では、コンタクトが柱状であるのに対して、柱状体が連続的につながった状態の板状体である。このような構造であるので、絶縁膜を剥離するときでも機械的強度が十分確保されるので配線構造の強度が向上する。また、ダミーコンタクトは、下層の配線と接続するわけではないので、必ずしも、コンタクトと同じ柱状体などのような形状に一致させる必要はない。例えば、この実施例に示されているように、複数のダミーコンタクトを連続させて連続体とすることが可能である。これは下地の絶縁膜の状態に依存する。

【0019】

【発明の効果】Low-k膜を層間絶縁膜を用いた場合に、従来のCu配線においては、Low-k膜にピアホールパターンや配線パターンを形成する際にプラズマダメージを与えやすく、結果として配線剥がれや実質の絶縁容量の増加を招いていた。このダメージ層を除去する工程の追加も可能であるが、この場合はピア径や配線寸法の増加を招いていた。これに対して本発明ではLow-k膜は、プラズマにさらされることがないので、このような問題は回避される。また、ダミーコンタクトは、絶縁膜を除去した時にLow-k膜が形成されるまで配線が倒れたり剥離しないように支持するものであり、本発明の絶縁膜を除去する方法を十分に支持することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の半導体装置の製造工程断面図。

【図 2】本発明の第 1 の実施例の半導体装置の製造工程断面図。

【図 3】本発明の第 1 の実施例の半導体装置の製造工程断面図。

【図 4】本発明の第 1 の実施例の半導体装置の製造工程断面図。

【図 5】本発明の第 2 の実施例の半導体装置の製造工程断面図。

【図 6】本発明の第 2 の実施例の半導体装置の製造工程断面図。

【図 7】本発明の第 3 の実施例の半導体装置の製造工程断面図。

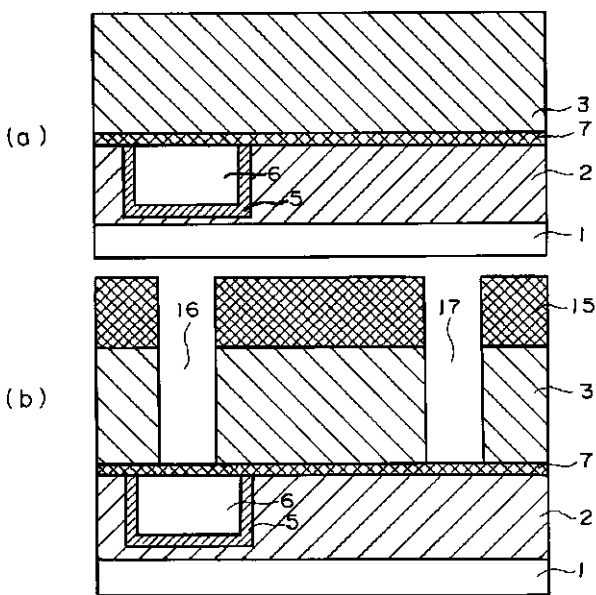
【図 8】従来の半導体装置の製造工程断面図。

【図 9】従来の半導体装置の製造工程断面図。

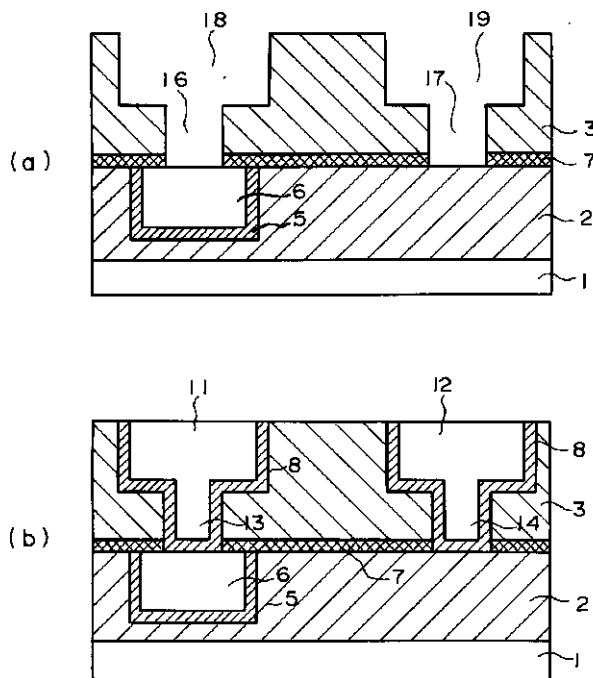
【符号の説明】

- 1、10、21、31・・・半導体基板、
- 2、3、21、23、29、107・・・絶縁膜、
- 5、8、28、35、38、101、112・・・バリアメタル層、
- 6、11、12、24、25、36、40、41、102、104、105・・・Cu配線、
- 7、37、103・・・窒化シリコンストッパー、
- 9、20、39、107・・・絶縁膜 (Low-k 膜)、
- 13、26、42、113・・・コンタクト、
- 14、27、43・・・ダミーコンタクト、
- 16、110・・・ピアホール、 17・・・ダミーピアホール、
- 18、19、111・・・配線溝。

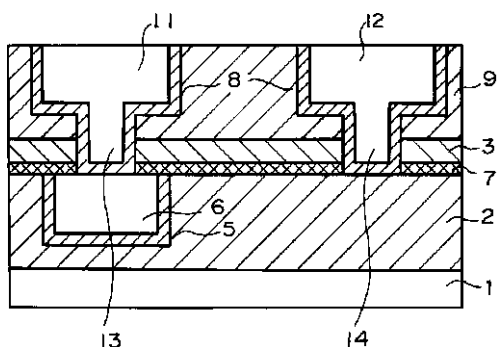
【図 1】



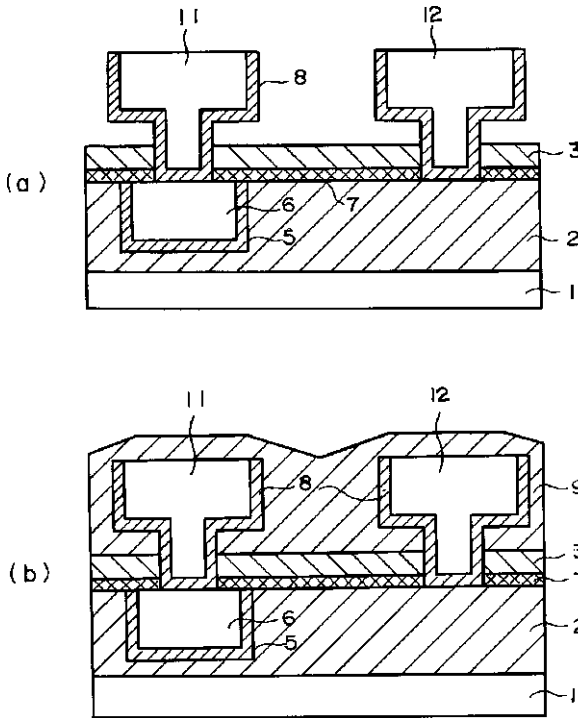
【図 2】



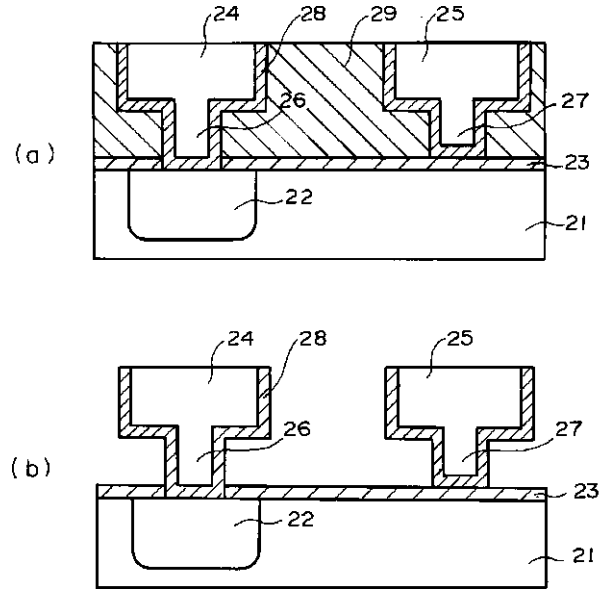
【図 4】



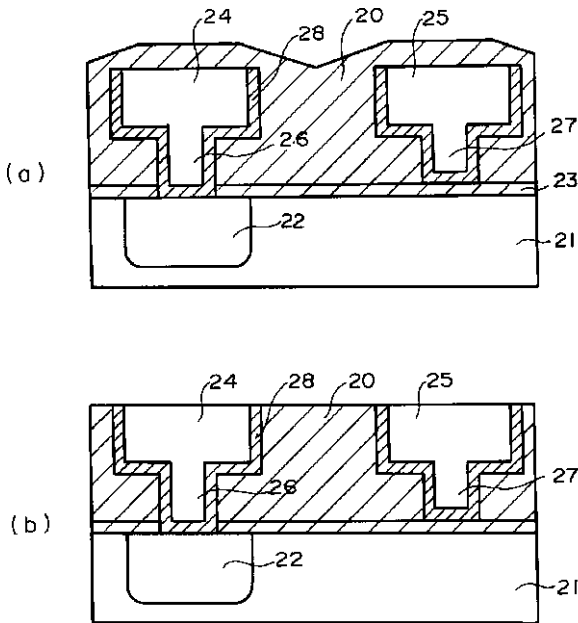
【図3】



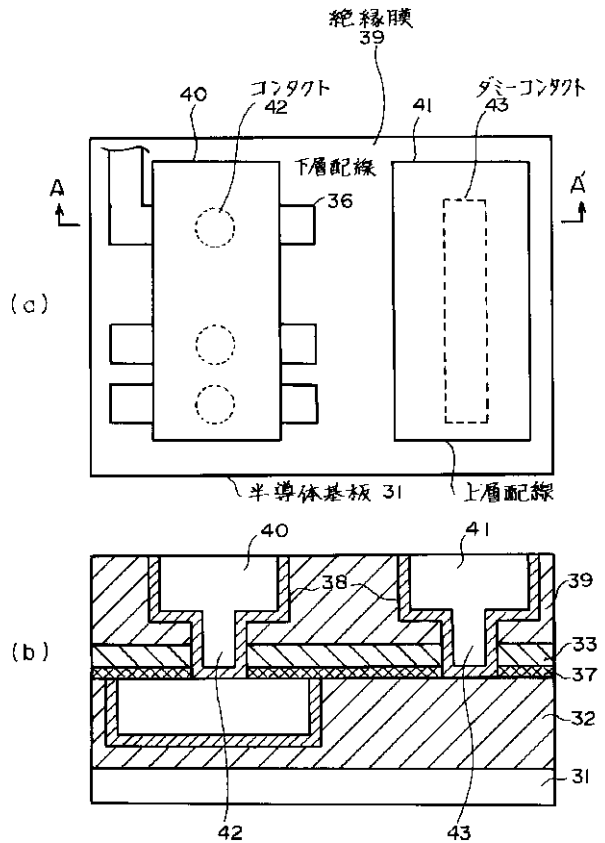
【図5】



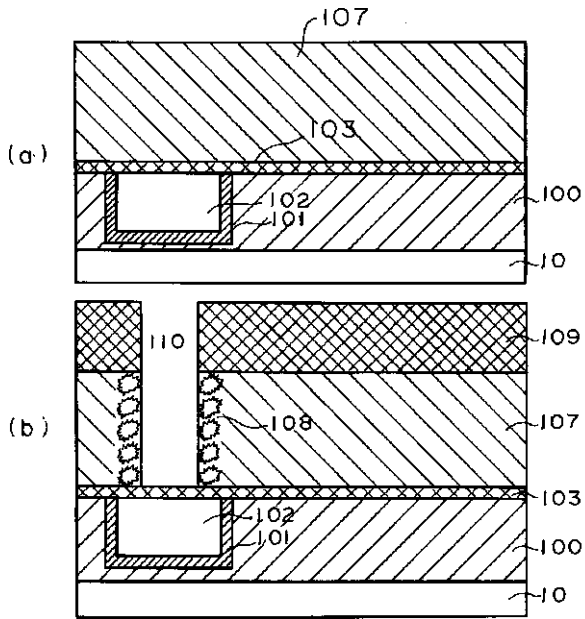
【図6】



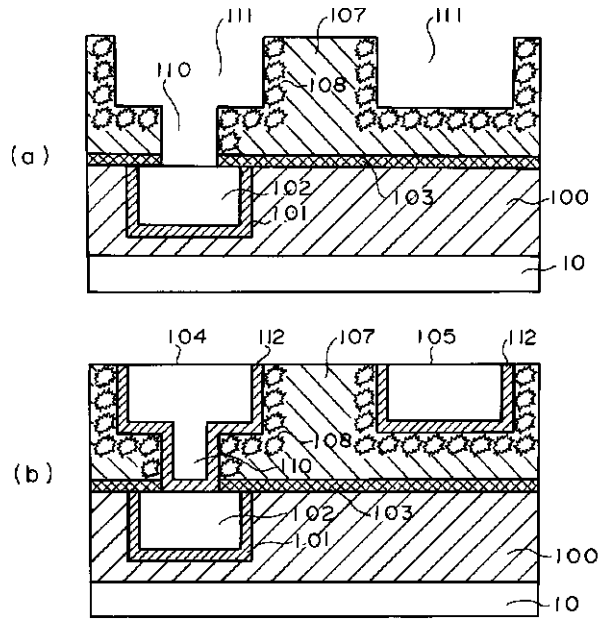
【図7】



【図8】



【図9】



フロントページの続き

- Fターム(参考) 5F033 HH11 HH21 HH32 JJ01 JJ11
 JJ21 JJ32 KK11 KK21 KK32
 MM01 MM02 MM12 MM13 PP26
 QQ09 QQ10 QQ13 QQ16 QQ19
 QQ25 QQ37 QQ48 RR04 RR06
 RR21 SS11 VV01 XX00 XX14
 XX23
 5F058 AA10 AC03 AC05 AE01 AE10
 AF04 AG10 AH02 BD01 BD02
 BD04 BD09 BF02 BH20 BJ02

(19) Japan Patent Office (JP)

(12) Gazette of Unexamined
Patent Applications (A)

(11) Publication Number
2002-299437
(P2002-299437A)

(43) Publication Date October 11, 2002 (2002.10.11)

(51) Int.Cl. ⁷	ID Codes	FI	Theme Codes (Ref.)
H01L 21/768		H01L 21/312	Z 5F033
		21/314	M 5F058
		21/90	J

Examination Request Not Yet Received No. of Claims 5 OL (Total of 8 Pages)

(21) Appl. No. 2001-96641 (P2001-96641)

(22) Filing Date March 29, 2001 (2001.3.29)

(71) Applicant 000003078

Toshiba Corporation
1-1-1, Shibaura, Minato-ku,
Tokyo

(72) Inventor Yuji FUKAZAWA

Toshiba Corporation,
Yokohama Works
8, Shinsugita-cho, Isogo-ku,
Yokohama

(74) Agent 100097629

Hisashi TAKAMURA, Attorney

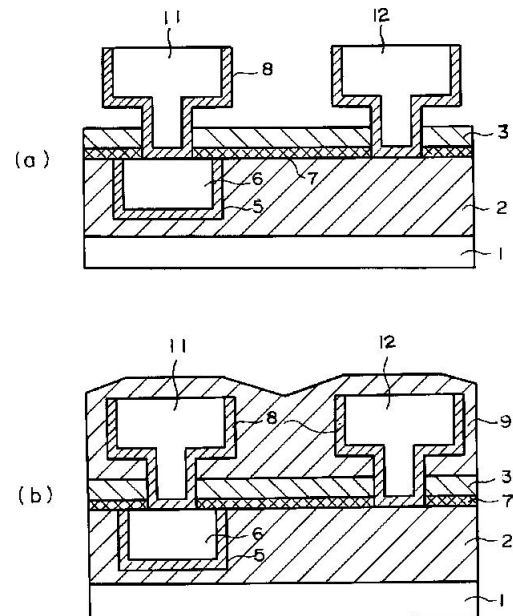
Continued on Last Page

(54) [Title of the Invention] Semiconductor Device Manufacturing Method

(57) [Abstract]

[Problem] To provide a method for manufacturing a semiconductor device that eliminates damage to low-k film caused by dry etching plasma used to form via holes and wiring grooves or ashing to remove photoresists when embedding metal wiring such as Cu wiring in low-k film.

[Solution] An insulating film 3 is formed on a semiconductor substrate 1, and Cu wiring 11, 12 with contacts 13 and dummy contacts 14 is formed on the insulating film 3. Afterward, the insulating film 3 is removed, and a low-k film 9 is then formed. Because the insulating film 3 is eventually removed, the impact of damage to the low-k film caused by plasma or ashing can be eliminated. In addition, the dummy contacts support the wiring so that it does not collapse or come off until the low-k film is formed once the insulating film has been removed.



1

[Claims]

[Claim 1] A method for manufacturing a semiconductor device, the method comprising the steps of:

forming a first insulating film having first wiring of a lower layer embedded in a semiconductor substrate on which a semiconductor element is formed;

forming a second insulating film on the first insulating film;

patterning the second insulating film using a patterned photoresist as a mask, etching to form wiring grooves and via holes in the wiring grooves, exposing the lower layer wiring in the via holes, and simultaneously forming dummy via holes and exposing the first insulating film in the dummy via holes;

depositing wiring material on a second insulating film including the interior of the wiring grooves, the interior of the dummy via holes, and the interior of the via holes;

polishing the surface of the deposited wiring material to form a second wiring in the wiring grooves, forming dummy contacts in the dummy via holes, and forming contacts connecting the first wiring and the second wiring in the via holes;

removing at least a portion of the second insulating film to expose at least a portion of the dummy contacts or a portion of the contacts;

forming a third insulating film made of a low-dielectric-constant insulating film so as to cover the second wiring, the dummy contacts, and the contacts; and

flattening the surface of the third insulating film to expose the surface of the second wiring.

[Claim 2] The method for manufacturing a semiconductor device according to claim 1, wherein the dummy contacts are not formed directly above the first wiring in the lower layer.

[Claim 3] A method for manufacturing a semiconductor device, the method comprising the steps of:

forming a first insulating film on a semiconductor substrate on which a semiconductor element having an impurity diffusion region is formed;

forming a second insulating film on the first insulating film;

patterning the first insulating film and the second insulating film using a patterned photoresist as a mask, etching to form wiring grooves and via holes in the wiring grooves, exposing the impurity diffusion region in the via holes, and simultaneously etching the second insulating film using the photoresist as a mask to form dummy via holes in the wiring grooves, and then exposing the first insulating film inside the dummy via holes;

depositing wiring material on a second insulating film including the interior of the wiring grooves, the interior of the dummy via holes, and the interior of the via holes;

flattening the surface of the deposited wiring material to form wiring in the wiring grooves, forming dummy contacts in the dummy via holes, and forming contacts to connect the wiring and the impurity diffusion region in the via holes;

2

removing at least a portion of the second insulating film to expose at least a portion of the dummy contacts or a portion of the contacts;

forming a third insulating film made of a low-dielectric-constant insulating film so as to cover the wiring, the dummy contacts, and the contacts; and flattening the surface of the third insulating film to expose the surface of the wiring.

[Claim 4] The method for manufacturing a semiconductor device according to any one of claims 1 to 3, wherein the low dielectric constant insulating film has a lower dielectric constant than silicon oxide film.

[Claim 5] The method for manufacturing a semiconductor device according to any one of claims 1 to 4, wherein the low dielectric constant insulating film is selected from organic insulating films, silane-based insulating films, and fluorocarbon-based insulating films.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a method for manufacturing a semiconductor device, and more specifically to a method for forming Cu wiring embedded in a low-dielectric constant insulating film ("low-k film" below).

[0002]

[Prior Art] Conventional methods for forming Cu wiring using low-k film materials include the method shown in FIG. 8 and FIG. 9. First, a base insulating film 100, such as a silicon oxide film, is formed on a semiconductor substrate 10, such as silicon. The surface of the base insulating film 100 is flattened, and lower layer wiring is formed using the Cu single damascene method. The lower layer wiring consists of lower layer Cu wiring 102 and a barrier metal layer 101 such as Ta or TaN that envelopes the lower layer Cu wiring. Next, a silicon nitride (SiN) stopper 103 is formed to prevent overetching of anisotropic etching, such as reactive ion etching (RIE), which is used to form via holes in the base insulating film 100 so as to cover the lower layer wiring. A low-k film material is then applied to coat the top and form a low-k film 107 (FIG. 8(a)). Next, a photoresist 109 with a predetermined pattern is formed on the low-k film 107, and a pattern of via holes 110 to form contacts with the lower layer Cu wiring 102 is formed by lithography (FIG. 8(b)).

[0003] Also, wiring grooves 111 for an upper layer wiring pattern connected to these via holes 110 are formed by lithography (FIG. 9(a)). Afterward, a barrier metal layer 112 such as Ta or TaN is formed, and Cu is deposited on top using, for example, the plasma method. Cu is then deposited over the entire surface of the low-k film 107, which includes via holes and wiring grooves, using the plating method. Then, the Cu dual damascene method is used to leave only Cu in the wiring grooves and via holes, by means of chemical mechanical polishing (CMP). In the wiring grooves in which the via holes are formed, upper layer wiring 104 with contacts connected to the lower layer Cu wiring is formed, and in the wiring grooves in which

3

no via holes are formed, upper layer wiring 105 is formed (Fig. 9(b)).

[0004]

[Problem to Be Solved by the Invention] Various types of low-k film materials have been proposed, including fluorocarbon-based, silane-based, and organic-based materials. However, compared to conventional oxide films, which are insulating films, all of these materials are characterized by low mechanical strength and poor plasma resistance. When using such a low-k film to perform plasma-based dry etching to process via holes and wiring grooves in a photoresist mask as described above, or perform subsequent ashing to remove the photoresist, the low-k film itself may sustain plasma damage, causing the film to degrade. In other words, a damaged layer 108 is formed in the low-k film on the surface of the wiring grooves and via holes exposed to plasma, ashing, etc. As a result, problems such as delamination of wiring and an increase in the actual insulation capacitance occur. The damaged layer caused by the plasma can be removed using HF liquid, but in this case, the processing dimensions will change, resulting in problems such as short circuits between wiring. In view of these circumstances, it is an object of the present invention to provide a method for manufacturing a semiconductor device that eliminates damage to low-k film caused by dry etching plasma used to form via holes and wiring grooves or ashing to remove photoresists when embedding metal wiring such as Cu wiring in low-k film.

[0005]

[Means for Solving the Problem] The present invention is characterized by forming an insulating film on a semiconductor substrate, forming metal wiring such as Cu having contacts and dummy contacts on the insulating film, removing the insulating film, forming a low-k film after removing the insulating film, and embedding the metal wiring, contacts, and dummy contacts in the low-k film. Because the insulating film formed by embedding metal wiring such as Cu in a low-k film is eventually removed, damage to the low-k film caused by dry etching plasma used to form via holes and wiring grooves, or by ashing used to remove photoresist, can be eliminated. In addition, dummy contacts are provided to support the wiring so that it does not collapse or come off when the insulating film is removed until the Low-k film is formed. They are added when there are no contacts to support the wiring, or when there are only a few contacts that cannot sufficiently support the wiring. In other words, the contacts and dummy contacts have a unit wiring length that enables support by a single contact. Therefore, a contact or dummy contact must be provided for each specified unit wiring length.

[0006] The present invention is a method for manufacturing a semiconductor device, the method comprising the steps of: forming a first insulating film having first wiring of a lower layer embedded in a semiconductor substrate on which a semiconductor element is formed; forming a second insulating film on the first insulating film; patterning the second insulating film using a patterned photoresist as a mask, etching to form wiring grooves and via holes in the wiring grooves, exposing the lower layer wiring in the via holes, and simultaneously forming dummy via

4

holes and exposing the first insulating film in the dummy via holes; depositing wiring material on a second insulating film including the interior of the wiring grooves, the interior of the dummy via holes, and the interior of the via holes; polishing the surface of the deposited wiring material to form a second wiring in the wiring grooves, forming dummy contacts in the dummy via holes, and forming contacts connecting the first wiring and the second wiring in the via holes; removing at least a portion of the second insulating film to expose at least a portion of the dummy contacts or a portion of the contacts; forming a third insulating film made of a low-dielectric-constant insulating film so as to cover the second wiring, the dummy contacts, and the contacts; and flattening the surface of the third insulating film to expose the surface of the second wiring. The dummy contacts may be formed so as not to be directly above the first wiring located in the lower layer.

10

20

30

40

50

60

[0007] The present invention is also a method for manufacturing a semiconductor device, the method comprising the steps of: forming a first insulating film on a semiconductor substrate on which a semiconductor element having an impurity diffusion region is formed; forming a second insulating film on the first insulating film; patterning the first insulating film and the second insulating film using a patterned photoresist as a mask, etching to form wiring grooves and via holes in the wiring grooves, exposing the impurity diffusion region in the via holes, and simultaneously etching the second insulating film using the photoresist as a mask to form dummy via holes in the wiring grooves, and then exposing the first insulating film inside the dummy via holes; depositing wiring material on a second insulating film including the interior of the wiring grooves, the interior of the dummy via holes, and the interior of the via holes; flattening the surface of the deposited wiring material to form wiring in the wiring grooves, forming dummy contacts in the dummy via holes, and forming contacts to connect the wiring and the impurity diffusion region in the via holes; removing at least a portion of the second insulating film to expose at least a portion of the dummy contacts or a portion of the contacts; forming a third insulating film made of a low-dielectric-constant insulating film so as to cover the wiring, the dummy contacts, and the contacts; and flattening the surface of the third insulating film to expose the surface of the wiring. The low dielectric constant insulating film may have a lower dielectric constant than silicon oxide film. The

low dielectric constant insulating film may be one selected from organic insulating films, silane-based insulating films, and fluorocarbon-based insulating films.

[0008]

[Embodiments of the Invention] Embodiments of the present invention will now be described with reference to the drawings. A first example will be described with reference to FIG. 1 to FIG. 4. The figures are all cross-sectional views of the manufacturing steps for a semiconductor device. A first insulating film 2, such as a silicon oxide film with a film thickness of approximately 800 nm, is formed on a semiconductor substrate 1, such as silicon, on which semiconductor elements have been formed, using, for example, the CVD method. The surface of the first insulating film 2 is flattened, and wiring grooves with a depth of approximately 400 nm are formed. Then, lower layer wiring is embedded in these wiring grooves using, for example, the Cu single damascene method. The lower wiring consists of lower layer Cu wiring 6 and a barrier metal layer 5 such as Ta or TaN formed to envelope the lower layer Cu wiring. Next, an approximately 50 nm-thick silicon nitride (SiN) stopper 7 is formed to prevent overetching of anisotropic etching, such as reactive ion etching (RIE), which is used to form via holes in the second insulating film on the first insulating film 2 so as to cover the lower layer wiring. Also, a third insulating film 3 consisting of a silicon oxide film with a thickness of approximately 800 nm is formed on top using the CVD method (FIG. 1 (a)).

[0009] Next, a photoresist 15, in which has been formed a predetermined pattern, is formed on the third insulating film 3, and a pattern of via holes 16 for creating contact with the lower layer Cu wiring 6 and a pattern of dummy via holes 17 that are not electrically connected to other conductive layers are formed by lithography (FIG. 1 (b)). Wiring grooves 18 for an upper layer wiring pattern connected to via holes 16 is formed, and wiring grooves 19 for an upper layer wiring pattern connected to dummy via holes 17 is formed by lithography (FIG. 2 (a)). Next, a barrier metal layer 8 made of Ta or TaN is formed on the third insulating film 3, including the interior of the wiring grooves 18, 19, via holes 16, and dummy via holes 17. After forming Cu on top using, for example, the plasma method, a copper film is formed on the entire surface of the third insulating film 3, including the dummy via holes 17, via holes 16, and wiring grooves 18 and 19, using the plating method. Then, the Cu dual damascene method is used to leave only Cu in the wiring grooves 18, 19, the dummy via holes 17, and the via holes 16, by means of the CMP method. In the wiring grooves 18 in which via holes 16 are formed. The wiring grooves 18 including dummy via holes 16 form contacts 13 connected to the upper layer Cu wiring 11 and the lower layer Cu wiring 6 made of Cu, and the wiring grooves 19 including dummy via holes 17 form the upper layer Cu wiring 12 and dummy contacts 14 (FIG. 2 (b)).

[0010] Next, a portion of the third insulating film 3 is removed, for example, using an etching solution containing HF, to expose a portion of the side surfaces of the contacts 13 and the dummy contacts 14 (FIG. 3 (a)). At this time, the extent of the exposure of the upper layer Cu wiring is adjusted by controlling the

amount of etching of the third insulating film 3, which is a silicon oxide film. When the amount of etching in the third insulating film 3 becomes greater than the depth of the upper layer Cu wiring, removal of the insulating film under the upper layer Cu wiring causes the upper layer Cu wiring to become suspended, resulting in wiring failure. Therefore, the dummy contacts formed in advance serve to prevent wiring defects caused by etching. Next, after exposing a portion of the upper layer Cu wiring 11, 12 by etching, a fourth insulating film 9, which is a low-k film such as a methyl siloxane-based or polyarylene-based film, is formed over the entire surface of the semiconductor substrate 1 using a coating method so that the upper layer Cu wiring films 11, 12 are covered (FIG. 3 (b)). Next, the surface of the fourth insulating film 9, which is the low-k film, is CMP-processed to flatten it. This flattening process removes the low-k film on the wiring grooves and exposes the upper layer Cu wiring 11, 12 (FIG. 4).

[0011] The lower wiring, consisting of the lower layer Cu wiring 6 and barrier metal layer 5, is connected to the metal wiring of the lower layer or has contacts such as tungsten connected to the lower layer Cu wiring 6. These contacts can establish an electrical connection to one of the source/drain regions of the MOS transistor formed on the semiconductor substrate, which is an impurity diffusion region. In this example, because the insulating film that is damaged by dry etching plasma used to form dummy via holes, via holes, and wiring grooves or by ashing used to remove the photoresist comes off, there is no damage to the low-k film, resulting in a stable wiring structure. In addition, the dummy contacts support the wiring so that it does not collapse or come off when the insulating film is removed until the low-k film is formed, resulting in wiring with high mechanical strength.

[0012] Next, a second example will be described with reference to FIG. 5 and FIG. 6. FIG. 5 and FIG. 6 are cross-sectional views of the semiconductor device manufacturing steps. Semiconductor elements, such as MOS transistors, are formed on a semiconductor substrate 21, such as silicon, and a first insulating film 23, such as a silicon oxide film, is formed on top using, for example, the CVD method. An impurity diffusion region 22, which is used as a source/drain region of a MOS transistor, is formed on the surface region of the semiconductor substrate 21. Then, a second insulating film 29, which is made of a silicon oxide film with a film thickness of approximately 800 nm, is formed on the first insulating film 23 using, for example, the CVD method. Afterward, a photoresist with a predetermined pattern is formed on the second insulating film 29, and a pattern of via holes for forming contacts with the impurity diffusion region 22 and a pattern of dummy via holes that are not electrically connected to other conductive layers are formed by lithography. Also, wiring grooves for a wiring pattern connected to the via holes is formed, and wiring grooves for a wiring pattern connected to the dummy via holes is also formed by lithography.

[0013] Then, a barrier metal layer 28 of Ta or TaN is

formed on the second insulating film 29, including the interior of the wiring grooves, via holes, and dummy via holes. After forming Cu on top using, for example, the plasma method, a second insulating film 29 is formed over the entire surface, including the interiors of the dummy via holes, via holes, and wiring grooves using the plating method. Afterward, the Cu dual damascene method is used to leave only Cu in the wiring grooves, the dummy via holes, and the via holes, by means of the CMP method, and contacts 26 are formed in the wiring grooves including the via holes, which are connected to the wiring 24 made of Cu and the impurity diffusion region 22. Dummy contacts 27 are formed in the wiring grooves including the dummy via holes, with Cu wiring 25 and the bottom surface in contact with the first insulating film 23 (FIG. 5 (a)).

[0014] Next, the second insulating film 29 is removed, for example, by an etching solution containing HF, exposing the wiring 24, 25, the contacts 26, and the dummy contacts 27 (FIG. 5 (b)). At this time, the extent of the exposure of the upper layer Cu wiring is adjusted by controlling the amount of etching of the second insulating film 29, which is a silicon oxide film. When the amount of etching in the second insulating film 29 becomes greater than the depth of the upper layer Cu wiring, removal of the insulating film under the upper layer Cu wiring causes the upper layer Cu wiring to become suspended, resulting in wiring failure. Therefore, the dummy contacts formed in advance serve to prevent wiring defects caused by etching. Next, after exposing a portion of the upper layer Cu wiring 24, 25 by etching, a third insulating film 20, which is a low-k film such, is formed over the entire surface of the semiconductor substrate 21 using a coating method so that the Cu wiring films 24, 25 are covered (FIG. 6 (a)). Next, the surface of the third insulating film 20, which is the low-k film, is CMP-processed to flatten it. This flattening process removes the low-k film on the wiring grooves. exposes the Cu wiring 24, 25, and forms the wiring structure of the semiconductor device (FIG. 6 (b)).

[0015] In this example, because the insulating film that is damaged by dry etching plasma used to form dummy via holes, via holes, and wiring grooves or by ashing used to remove the photoresist comes off, there is no damage to the low-k film, resulting in a stable wiring structure. In addition, the dummy contacts support the wiring so that it does not collapse or come off when the insulating film is removed until the low-k film is formed, resulting in wiring with high mechanical strength.

[0016] A third example will now be described with reference to FIG. 7. FIG. 7 is a plan view of the semiconductor device and a cross-sectional view of the portion along line A-A' in the plan view. A first insulating film 22, such as a silicon oxide film having a film thickness of approximately 800 nm, is formed on a semiconductor substrate 31, such as silicon, on which semiconductor elements have been formed. The surface of the first insulating film 22 is flattened, and wiring grooves with a depth of approximately 400 nm are formed. The lower layer wiring is embedded in these wiring grooves. The lower wiring consists of

lower layer Cu wiring 36 and a barrier metal layer 35 made of Ta or TaN, which is formed to envelope the lower layer Cu wiring 36. Next, a 500 nm-thick silicon nitride (SiN) stopper 37 is formed to prevent overetching of anisotropic etching, such as reactive ion etching (RIE), which is used to form via holes in the second insulating film on the first insulating film 32 so as to cover the lower layer wiring. Also, a third insulating film 33 consisting of a silicon oxide film is formed on top.

10 [0017] A fourth insulating film 39, which is a low-k film, is formed on top of the third insulating film 33. The upper layer wiring and contacts are embedded in the third and fourth insulating films 33, 39. The third and fourth insulating films 33, 39 include wiring grooves with via holes and wiring grooves with dummy via holes. In the wiring groove including via holes, contacts 42 are formed that connect the upper layer Cu wiring 40 and the lower layer Cu wiring 36, and in the wiring groove including dummy via holes, dummy contacts 43 are formed in which the upper layer Cu wiring 41 and the bottom surface come into contact with the first insulating film 32. In the example described above, the dummy contacts are column-shaped like the contacts, but the dummy contacts are not connected to the lower layer wiring or the semiconductor substrate. Therefore, unlike contacts that exist to connect wiring layers or wiring layers with impurity diffusion regions, which are subject to shape restrictions, any shape is permitted for the dummy contacts as long as there is no wiring or impurity diffusion region at the bottom.

20 [0018] In this example, the contacts are column-shaped, and the column-shaped bodies are plate-shaped bodies that are connected continuously. Because of this structure, sufficient mechanical strength is ensured even when the insulating film comes off, thereby improving the strength of the wiring structure. In addition, because the dummy contacts are not connected to the lower wiring, they do not have to have the same shape as the contacts, such as a column shape. For example, as shown in this example, it is possible to form a continuous body by connecting a plurality of dummy contacts in series. This depends on the state of the base insulating film.

30 [0019] [Effect of the Invention] When using low-k film as an interlayer insulating film, conventional Cu wiring is prone to plasma damage when forming via hole patterns and wiring patterns in the low-k film, resulting in wiring delamination and an increase in actual insulation capacitance. A step can be added to remove this damaged layer, but this increases the via diameter and wiring dimensions. In contrast, the low-k film in the present invention is not exposed to plasma, so this problem is avoided. In addition, the dummy contacts support the wiring so that it does not collapse or come off when the insulating film is removed until the low-k film is formed, and this can sufficiently support the method of removing the insulating film in the present invention.

40

50

60

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 is a cross-sectional view of a manufacturing step for the semiconductor device in the first example of the present invention.

[FIG. 2] FIG. 2 is a cross-sectional view of a manufacturing step for the semiconductor device in the first example of the present invention.

[FIG. 3] FIG. 3 is a cross-sectional view of a manufacturing step for the semiconductor device in the first example of the present invention.

[FIG. 4] FIG. 4 is a cross-sectional view of a manufacturing step for the semiconductor device in the first example of the present invention.

[FIG. 5] FIG. 5 is a cross-sectional view of a manufacturing step for the semiconductor device in the second example of the present invention.

[FIG. 6] FIG. 6 is a cross-sectional view of a manufacturing step for the semiconductor device in the second example of the present invention.

[FIG. 7] FIG. 7 is a cross-sectional view of a manufacturing step for the semiconductor device in the third example of the present invention.

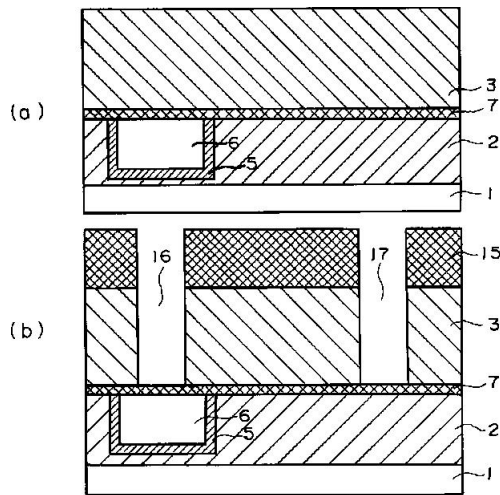
[FIG. 8] FIG. 8 is a cross-sectional view of a manufacturing step for a semiconductor device of the prior art.

[FIG. 9] FIG. 9 is a cross-sectional view of a manufacturing step for a semiconductor device of the prior art.

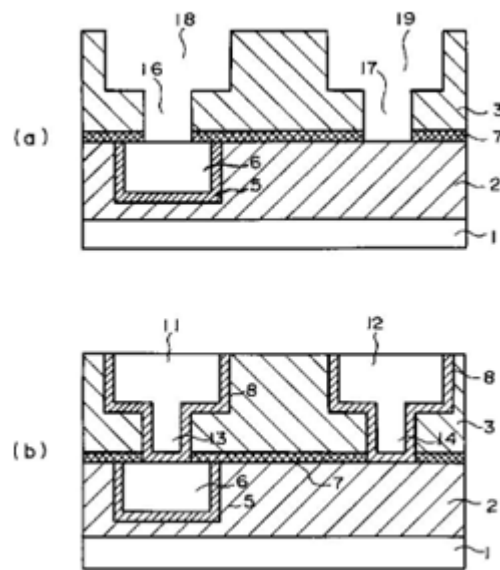
10 [Reference Numbers]

- 1, 10, 21, 31: Semiconductor substrate
- 2, 3, 21, 23, 29, 107: Insulating film
- 5, 8, 28, 35, 38, 101, 112: Barrier metal layer
- 6, 11, 12, 24, 25, 36, 40, 41, 102, 104, 105: Cu wiring
- 7, 37, 103: Silicon nitride stopper
- 9, 20, 39, 107: Insulating film (low-k film)
- 13, 26, 42, 113: Contact
- 14, 27, 43: Dummy contact
- 16, 110: Via hole
- 17: Dummy via hole
- 18, 19, 111: Wiring groove

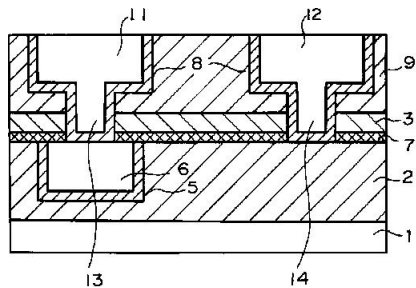
[FIG. 1]



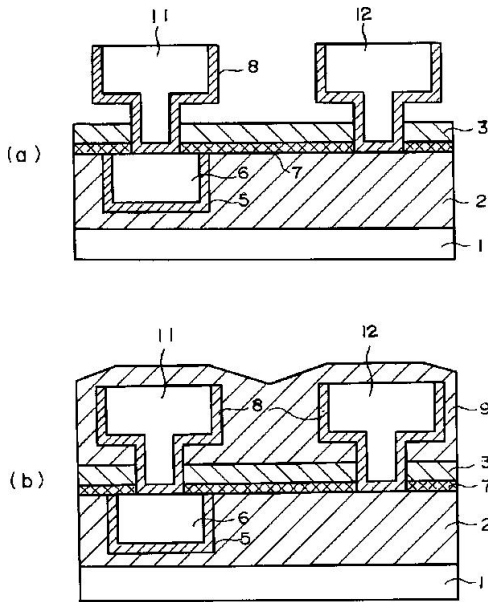
[FIG. 2]



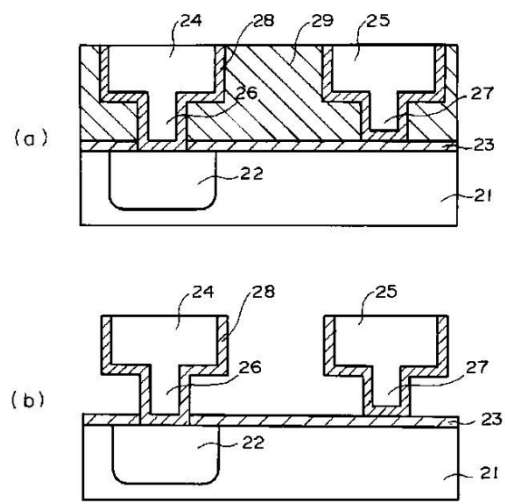
[FIG. 4]



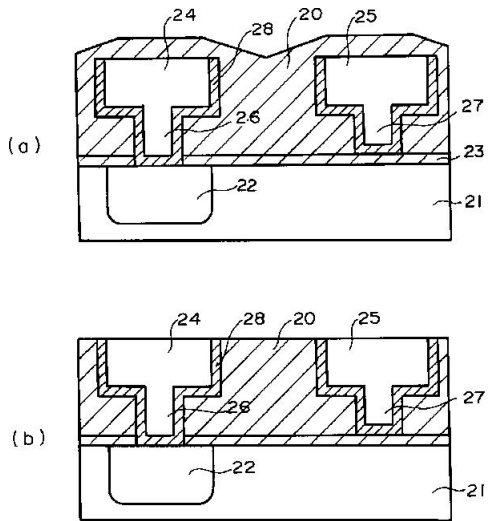
[FIG. 3]



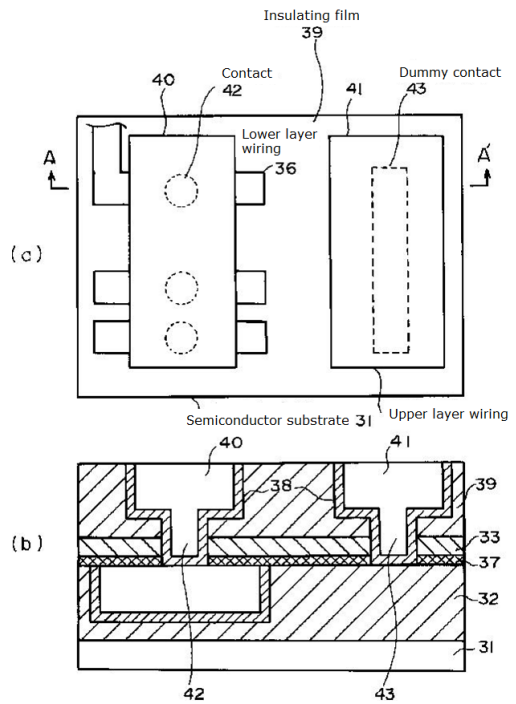
[FIG. 5]



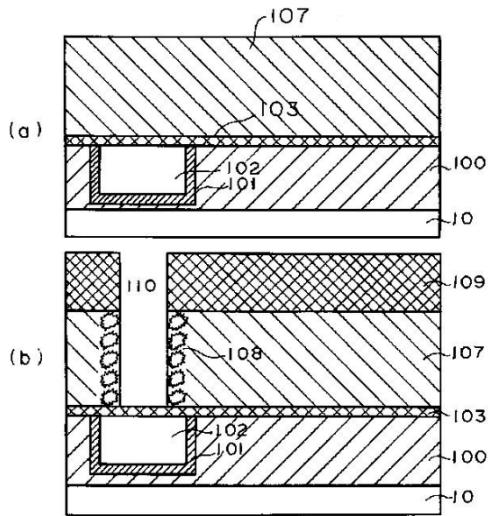
[FIG. 6]



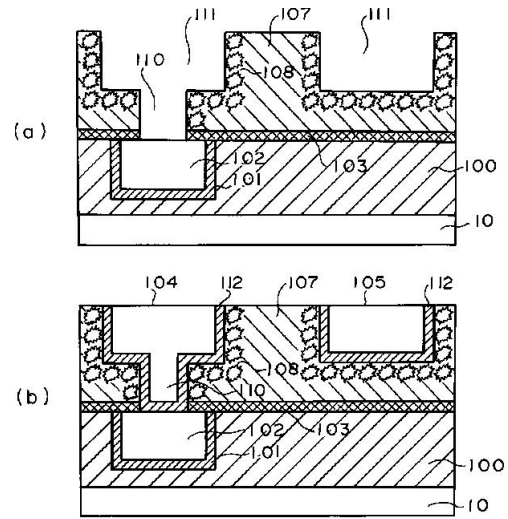
[FIG. 7]



[FIG. 8]



[FIG. 9]



Continued From Front Page

F Terms (Reference)

5F033 HH11 HH21 HH32 JJ01 JJ11
 JJ21 JJ32 KK11 KK21 KK32
 MM01 MM02 MM12 MM13 PP26
 QQ09 QQ10 QQ13 QQ16 QQ19
 QQ25 QQ37 QQ48 RR04 RR06
 RR21 SS11 VV01 XX00 XX14
 XX23

5F058 AA10 AC03 AC05 AE01 AE10
 AF04 AG10 AH02 BD01 BD02
 BD04 BD09 BF02 BH20 BJ02



Certification of Accuracy of Translation

Sun IP Project # 25-3238

Japanese to English translation of D4_Fukazawa_JP2002299437A

I, Frank McGee, hereby certify that the attached Japanese to English translation is, to the best of my knowledge, a true and accurate translation of "D4_Fukazawa_JP2002299437A" The translated text reflects the content, meaning and style of the original text and constitutes a true and accurate translation of the original document.

May 19, 2025

A handwritten signature in blue ink, appearing to read "Frank McGee".

Frank McGee