

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214893

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁶
H 0 1 L 21/768

識別記号

F I
H 0 1 L 21/90

B

審査請求 未請求 請求項の数22 O L (全 28 頁)

(21) 出願番号 特願平9-276233

(22) 出願日 平成9年(1997)10月8日

(31) 優先権主張番号 特願平8-314653

(32) 優先日 平8(1996)11月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 藤井 貴子

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 奥山 幸祐

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 久保田 勝彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

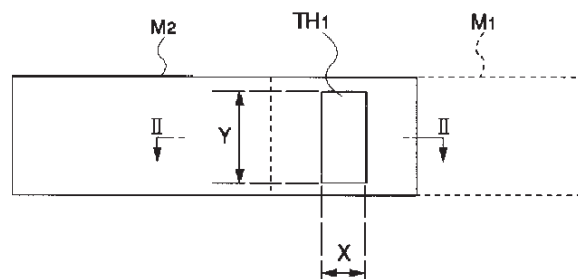
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 配線層間を接続するための接続孔およびその近傍におけるEM耐性を向上させることのできる技術を提供することにある。

【解決手段】 接続孔TH1において電流の流れる方向に直交する方向の長さYが、電流の流れる方向に水平な方向の長さXよりも長く形成されている。これにより、接続孔TH1部分において電流を分散させることができ、接続孔TH1およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能な構造となっている。

図 1



M1: 第1層配線
M2: 第2層配線
TH1: 接続孔

TSMC-1030
TSMC Ltd.
IPR2025-01211

Page 1 of 75

【特許請求の範囲】

【請求項 1】 互いに平行に配置された上下 2 層の配線の重なり領域に配置され、前記上下 2 層の配線を電氣的に接続する接続孔において、前記配線に流れる電流の方向に交差する面の面積が、前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように、前記接続孔を設けたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記接続孔における前記配線の幅方向に沿う長さを、前記接続孔における前記配線の長手方向に沿う長さよりも長くしたことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記接続孔は、前記配線の幅方向に沿って配置される複数個の接続孔で構成されることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置において、前記接続孔内に、前記配線の主要部の材料とは異なる材料からなる導体膜またはアルミニウム合金が埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 5】 互いに平行に配置された上下 2 層の配線の重なり領域に配置され、前記上下 2 層の配線を電氣的に接続する接続孔において、前記配線に流れる電流の方向に交差する方向の長さが、前記配線に流れる電流の方向に沿う方向の長さよりも長くなるように、前記接続孔を設けたことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置において、前記接続孔は、前記配線の幅方向に沿って配置される複数個の接続孔で構成されることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 5 記載の半導体集積回路装置において、前記接続孔内に、前記配線の主要部の材料とは異なる材料からなる導体膜またはアルミニウム合金が埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 8】 互いに交差する上下 2 層の配線の重なり領域に配置され、前記上下 2 層の配線を電氣的に接続する接続孔を有する半導体集積回路装置であって、前記接続孔において前記上下 2 層の配線のうち相対的に断面積が小さい方の配線に流れる電流の方向に沿う面の面積が、前記相対的に断面積が小さい方の配線に流れる電流の方向に交差する面の面積と同等かそれ以上となるように、前記接続孔を設けたことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 記載の半導体集積回路装置において、前記接続孔において前記上下 2 層の配線のうち相対的に断面積の大きい方の配線の幅方向に沿う長さを、前記接続孔において前記相対的に断面積の大きい方の配線の長手方向に沿う長さよりも長くしたことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 8 記載の半導体集積回路装置に

おいて、前記接続孔は、前記上下 2 層の配線のうち相対的に断面積が大きい方の配線の幅方向に沿って配置される複数個の接続孔で構成されることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 8 記載の半導体集積回路装置において、前記接続孔内に、前記配線の主要部の材料とは異なる材料からなる導体膜またはアルミニウム合金が埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 12】 互いに交差する上下 2 層の配線の重なり領域に配置され、前記上下 2 層の配線を電氣的に接続する接続孔を有する半導体集積回路装置であって、前記上下 2 層の配線の重なり領域においては、前記上下 2 層の配線のうちの一方の配線の先端部を他方の配線の延在方向と平行になるように延在させて双方の配線を重ね合わせ、かつ、前記接続孔において前記配線に流れる電流の方向に交差する面の面積が、前記接続孔において前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように前記接続孔を設けたことを特徴とする半導体集積回路装置。

【請求項 13】 上下 2 層の配線と、前記上下 2 層間に形成された絶縁膜と、前記絶縁膜に形成されるとともに前記上下 2 層の配線間を電氣的に接続する接続孔とを有する半導体集積回路装置であって、

前記上層の配線の第 1 配線は、前記第 1 配線に流れる電流の方向に交差する方向に第 1 長さを有する第 1 接続孔を通して、下層の配線に電氣的に接続するように構成され、

前記第 1 長さは、前記絶縁膜に形成される接続孔の基準孔径で構成され、

前記上層の配線の第 2 配線は、前記第 2 配線と前記下層の配線との重なり領域の幅が、前記第 1 配線と前記下層の配線との重なり領域の幅よりも大きく、かつ 2 倍よりも小さくなるように構成され、

前記第 2 配線は、前記第 2 配線に流れる電流の方向に交差する方向に、前記第 1 長さよりも大きい第 2 長さを有する第 2 接続孔を通して、下層の配線に電氣的に接続されることを特徴とする半導体集積回路装置。

【請求項 14】 請求項 13 記載の半導体集積回路装置であって、

前記配線の主要部の材料とは異なる材料からなる導体膜と、前記接続孔とを介して、前記上層配線の主要部と前記下層配線の主要部とは電氣的に接続されることを特徴とする半導体集積回路装置。

【請求項 15】 請求項 13 記載の半導体集積回路装置であって、

前記導体膜は、前記接続孔内に埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 14 または 15 記載の半導体集積回路装置であって、

前記導体膜は、チタン系の第 1 導体膜とタングステン系

の第2 導体膜とで構成されることを特徴とする半導体集積回路装置。

【請求項17】 請求項13、14、15または16記載の半導体集積回路装置であって、

前記第1 接続孔の前記第1 長さに交差する方向の長さは、前記第2 接続孔の前記第2 長さに交差する方向の長さよりも大きく構成されることを特徴とする半導体集積回路装置。

【請求項18】 請求項13、14、15または16記載の半導体集積回路装置であって、

前記第1 接続孔の平面積と、前記第2 接続孔の平面積とはほぼ等しいことを特徴とする半導体集積回路装置。

【請求項19】 請求項13、14、15または16記載の半導体集積回路装置であって、

前記第1 配線に流れる電流の方向は、前記第1 配線の延在する方向に並行であり、前記第2 配線に流れる電流の方向は、前記第2 配線の延在する方向に並行であることを特徴とする半導体集積回路装置。

【請求項20】 上下2層の配線と、前記上下2層間に形成された絶縁膜と、前記絶縁膜に形成され、かつ前記上下2層の配線を電氣的に接続する接続孔とを有する半導体集積回路装置であって、

前記上層の配線の第1 配線は、前記上層の配線の最小配線幅を有するとともに、前記第1 配線に流れる電流の方向に交差する方向に第1 長さを有する第1 接続孔を通して、下層の配線に電氣的に接続するように構成され、

前記上層の配線の第2 配線は、前記上下2層の配線の重なり領域の幅が、前記上層の配線の最小配線幅よりも大きくかつ最小配線幅の2倍よりも小さくなるように構成され、

前記第2 配線は、前記第2 配線に流れる電流の方向に交差する方向に、前記第1 長さよりも大きい第2 長さを有する第2 接続孔を通して、下層の配線に電氣的に接続されることを特徴とする半導体集積回路装置。

【請求項21】 請求項20記載の半導体集積回路装置であって、

前記配線の主要部の材料とは異なる材料からなる導体膜と、前記接続孔とを介して、前記上層配線の主要部と前記下層配線の主要部とは電氣的に接続されることを特徴とする半導体集積回路装置。

【請求項22】 請求項20または21記載の半導体集積回路装置であって、

前記第1 接続孔の平面積と、前記第2 接続孔の平面積とはほぼ等しく、

前記導体膜は、前記接続孔内に埋め込まれていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置技術に関し、特に、半導体集積回路装置における異な

る配線層間を電氣的に接続するための接続技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の高集積化、高速化のため、MISFET (Metal-Insulator-Semiconductor Field Effect Transistor) 等の半導体素子の微細化・縮小化が進められるとともに、配線層と層間絶縁膜とを積層した多層配置構造が採用されている。

【0003】 異なる配線層間は接続孔により電氣的に接続される。この接続孔は、その配線層間に形成された層間絶縁膜に、下層の配線が露出するような孔を穿孔することで形成され、その接続孔内に上層配線が形成されている。

【0004】 この接続孔内に形成される導体膜は、従来、配線がアルミニウム (Al) またはAl合金の単体膜で構成されていたので、配線材料で構成される単体膜であった。

【0005】 しかし、素子集積度の向上要求等に伴い、素子や配線が微細化、さらにそれに伴う接続孔の微細化によって、接続孔内に形成される導体膜が、従来の配線材料のみではなく異種の導体膜が形成される構造が採用されている。

【0006】 例えばストレスマイグレーション等に起因する配線断線不良を防止すべく、あるいは絶縁膜との密着性を向上させるべく、従来のAl等からなる配線の上層または下層あるいはその両方にバリアメタルと称するAl等とは異なる材料 (例えば窒化チタン (TiN)) を形成する構造が採用されており、その場合、接続孔は、孔内にAlからなる導体膜の他にそのバリアメタルが形成される構造になる。

【0007】 また、例えば接続孔の微細化に伴い、接続孔内にAl等を良好に被着させるのが困難となってきており、それを補うべく、接続孔内に充填させ易いタングステン (W) 等のようなAlとは異種の導体膜をCVD (Chemical Vapor Deposition) 技術を用いて埋め込む構造も採用されている。

【0008】 なお、配線および接続孔の構造については、例えば株式会社プレスジャーナル、平成6年11月20発行、「月刊セミコンダクターワールド (SemiconductorWorld) 1994年12月号」P152～P157等に記載がある。

【0009】

【発明が解決しようとする課題】 ところが、接続孔内に異種導体膜が形成される構造においては、エレクトロマイグレーション (Electromigration: 以下、EMと略す) によるAl原子の流れが不連続となるので、配線部分に比べてEM不良が生じやすいという問題がある。

【0010】 すなわち、電流が接続孔を通過して上下層の配線間を流れる際に、タングステンやTiN等の異種導体膜がEMによるAl原子の流れを阻止するため、接続孔

と配線との界面においてAl原子の流れが不連続となる。

【0011】そのため、Al配線において接続孔から電子が流れ出す箇所では、Al原子の移動によりボイドが形成される。特に、接続孔の径が小さくなると接続孔部分でのわずかなボイドでも、抵抗増大、あるいは断線の原因となる。したがって、これからの配線技術においては、接続孔でのEM耐性が配線系の信頼性にとってより重要な課題となる。

【0012】本発明の目的は、配線層間を接続するための接続孔およびその近傍におけるEM耐性を向上させることのできる技術を提供することにある。

【0013】また、本発明の目的は、配線層間を接続するための接続孔内に配線主要部とは異なる導体材料またはアルミニウム合金を埋め込むことで構成された接続孔およびその近傍のEM耐性を向上させることのできる技術を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体集積回路装置は、互いに平行に配置された上下2層の配線の重なり領域に配置され、前記上下2層の配線を電気的に接続する接続孔において、前記配線に流れる電流の方向に交差する面の面積が、前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように、前記接続孔を設けたものである。

【0017】また、本発明の半導体集積回路装置は、互いに交差する上下2層の配線の重なり領域に配置され、前記上下2層の配線を電気的に接続する接続孔を有する半導体集積回路装置であって、前記接続孔において前記上下2層の配線のうち相対的に断面積が小さい方の配線に流れる電流の方向に沿う面の面積が、前記相対的に断面積が小さい方の配線に流れる電流の方向に交差する面の面積と同等かそれ以上となるように、前記接続孔を設けたものである。

【0018】また、本発明の半導体集積回路装置は、互いに交差する上下2層の配線の重なり領域に配置され、前記上下2層の配線を電気的に接続する接続孔を有する半導体集積回路装置であって、前記上下2層の配線の重なり領域においては、前記上下2層の配線のうちの一方の配線の先端部を他方の配線の延在方向と平行になるように延在させて双方の配線を重ね合わせ、かつ、前記接続孔において前記配線に流れる電流の方向に交差する面の面積が、前記接続孔において前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように前記接続孔を設けたものである。

【0019】また、本発明の半導体集積回路装置は、上

下2層の配線と、前記上下2層間に形成された絶縁膜と、前記絶縁膜に形成されるとともに前記上下2層の配線間を電気的に接続する接続孔とを有する半導体集積回路装置であって、

前記上層の配線の第1配線は、前記第1配線に流れる電流の方向に交差する方向に第1長さを有する第1接続孔を通して、下層の配線に電気的に接続するように構成され、

前記第1長さは、前記絶縁膜に形成される接続孔の基準孔径で構成され、

前記上層の配線の第2配線は、前記第2配線と前記下層の配線との重なり領域の幅が、前記第1配線と前記下層の配線との重なり領域の幅よりも大きく、かつ2倍よりも小さくなるように構成され、

前記第2配線は、前記第2配線に流れる電流の方向に交差する方向に、前記第1長さよりも大きい第2長さを有する第2接続孔を通して、下層の配線に電気的に接続されるものである。

【0020】また、本発明の半導体集積回路装置は、上下2層の配線と、前記上下2層間に形成された絶縁膜と、前記絶縁膜に形成され、かつ前記上下2層の配線を電気的に接続する接続孔とを有する半導体集積回路装置であって、

前記上層の配線の第1配線は、前記上層の配線の最小配線幅を有するとともに、前記第1配線に流れる電流の方向に交差する方向に第1長さを有する第1接続孔を通して、下層の配線に電気的に接続するように構成され、前記上層の配線の第2配線は、前記上下2層の配線の重なり領域の幅が、前記上層の配線の最小配線幅よりも大きくかつ最小配線幅の2倍よりも小さくなるように構成され、

前記第2配線は、前記第2配線に流れる電流の方向に交差する方向に、前記第1長さよりも大きい第2長さを有する第2接続孔を通して、下層の配線に電気的に接続されるものである。

【0021】さらに、本発明の半導体集積回路装置は、前記配線の主要部の材料とは異なる材料からなる導体膜および接続孔を介して、上層および下層の配線の主要部が電気的に接続されるものである。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0023】（実施の形態1）図1は本発明の一実施の形態である半導体集積回路装置の配線系の要部平面図、図2は図1のII-II線の要部断面図、図3は本発明者が検討した配線および埋込導体膜を有する接続孔を模式的に示す要部断面図、図4は電流密度とEM寿命との関係を接続孔内における埋込導体膜の有無で比較したグラフ

図、図5はEM寿命の温度依存性を接続孔内における埋込導体膜の有無で比較したグラフ図、図6はEM寿命のばらつきを示すグラフ図、図7はEM試験で断線に至った資料の故障箇所を観察した写真、図8は図7の断線に至った場合の電子の流れを示す説明図、図9は埋込導体膜を有する接続孔およびその近傍における二次元の電流密度分布のシミュレーション結果を示す説明図、図10は埋込導体膜を有する接続孔を1つ設けた場合と2つ設けた場合とにおける電流密度分布のシミュレーション結果を示す説明図である。

【0024】まず、本発明の実施の形態を説明するのに先立って、異なる配線層間を接続する接続孔における信頼性について本発明者が検討した課題について説明する。

【0025】本発明者は、例えばタングステン等のような埋込導体膜を有する構造の接続孔（以下、Wプラグともいう）に焦点を当て、その信頼性について検討した（なお、接続孔に埋め込まれた埋込導体膜をプラグという）。

【0026】アルミニウム（Al）等からなる配線のエレクトロマイグレーション（Electromigration：以下、EMと略す）耐性は、適切な積層材料の選択による積層構造を採用することで、ここ10年間大きく向上してきた。

【0027】これに対し、Wプラグを設けると、EM耐性の低下が観測される。EMによって決まる配線寿命の電流密度依存性が平坦配線と比べて小さくなるのが特徴であり、加速試験から予想される使用状態での寿命が短くなる。

【0028】故障解析の結果、電流経路に於ける材料の不連続によってAl原子の移動の需給バランスがくずれること、接続孔近傍での電流集中がそのようなEM耐性の低下を引き起こしていることがわかった。

【0029】したがって、メタル原子の移動に対して不連続性を起こさせないことと、電流集中を起こさせないことが処方せんになると考えられる。このことは、Wプラグに限らず、今後のメタル配線に於ける接続孔の信頼性を考える上で共通課題であると考えられる。

【0030】図3に今回評価した配線とWプラグの構造を模式的に示す。第1層配線M1、第2層配線M2の双方とも、例えばAl-銅（Cu）-シリコン（Si）を窒化チタン（TiN）とチタン（Ti）とで挟んだ積層構造で構成されている。

【0031】すなわち、第1層配線M1は、導体膜M1a～M1fが下層から順に積み重ねられてなる。導体膜M1a、M1c、M1eは、例えばTiからなり、導体膜M1b、M1fは、例えばTiNからなり、導体膜M1dは、例えばAl-Si-Cuからなる。

【0032】また、第2層配線M2は、導体膜M2a～M2eが下層から順に積み重ねられてなる。導体膜M2a、M

2cは、例えばTiからなり、導体膜M2b、M2eは、例えばTiNからなり、導体膜M2dは、例えばAl-Si-Cuからなる。

【0033】接続孔TH内には、第2層配線M2の導体膜M2a、M2bおよび埋込導体膜M3が埋め込まれている。この埋込導体膜M3は、例えばタングステン等からなる。この埋込導体膜M3は、接続孔THをブランケットW・CVD法とエッチバック法との組み合わせにより形成した。配線幅は、例えば0.6μm程度、接続孔THの径は、例えば0.4～0.6μm程度である。

【0034】図4では、EM寿命の電流密度依存性のWプラグの有無による違いを比べた。電流密度は両者とも平坦部の配線に於ける電流密度である。一見してWプラグが有る方がEM耐性が無いものに比べて悪いことがわかる。また、Wプラグ有りの配線のEM寿命の電流密度依存性が小さくなることも特徴である。通常、使用状態でのEM寿命を見積るのに次のブラックの式が用いられる。

$$\tau = A \cdot j^{-n} \cdot \exp(E_a/kT)$$

ここで、 τ は寿命、 A は比例係数、 j は電流密度、 E_a は活性化エネルギー、 k はボルツマン定数、 T は絶対温度である。

【0036】Wプラグの影響のない平坦配線では、この電流密度依存性を示す指数 n は2に近い値になるが、Wプラグを有する配線の場合は、図4からわかるように1に近い値になる。通常メタル配線に於いてこの指数 n が何故2になるかということについてはまだ議論の余地があると思われるが、取り敢えず、Alのポイドの密度が電流密度に比例することとポイドの成長速度がやはり電流密度に比例するために指数 n が2の値をとるという説明をとれば、Wプラグの場合、Alポイドの移動がWによって中断するため、ポイド密度は電流密度に比例しなくなり、ポイドの成長速度のみが電流密度に比例するため、指数 n が1に近い値になるという説明ができるかもしれない。

【0037】図5は、例えば接続孔の径が0.6μmの場合におけるEM寿命の温度依存性をWプラグの有無で比べたものである。白丸はWプラグが無しの場合、黒丸はWプラグが有りの場合を示している。図5から本実施の形態1においては、接続孔（プラグ）がある場合の温度依存性（活性化エネルギー）も、無い場合の温度依存性（活性化エネルギー）もほとんど変わらない。すなわち、Wプラグ有無にかかわらず、EM現象は配線部で起きていることがわかる。

【0038】図6にEM寿命のばらつきを示す。この図6の測定条件としては、例えば200℃程度、30mA程度、第1層配線M1から第2層配線M2に向かって電子を流した場合とした。Wプラグ有りのもののばらつきが小さいことがわかる。これは、後述するように断線が起こっている場所がWプラグ近傍のある決まったAl部分

であるためにばらつきが小さいと解釈している。

【0039】このように、Wプラグを有する配線のEM寿命の電流密度依存性が小さいため、これらをパラメータとする加速試験から見積られる使用状態での寿命は短くなる。最も簡単な回避策はWプラグの個数を増やしてWプラグの電流密度（後述するように正確にはWプラグ近傍のメタルの電流密度）を低減することであるが、レイアウト上の許容面積とのトレードオフになる。

【0040】次に、EM試験で断線に至った試料の故障箇所を観察した結果を図7に示す。また、その場合に流した電流（電子）の方向を図8に模式的に示す。この図7の測定条件としては、例えば200°C程度、40mA、接続孔の孔径は0.6μm程度、電流は図8に示すように第2層配線M2から第1層配線M1の方向に流した場合とし、830000secストレス印加後の場合とした。なお、図8において矢印は電子の移動方向を示している。

【0041】図7からわかる通り、電子の流れに於ける下流にあたる第2層配線M2で断線が起こっており、しかもWプラグの近傍であった。極性を変え、第1層配線M1から第2層配線M2の方向に電流を流すと、電子の流れの下流にあたる第1層配線M1のWプラグの近傍に断線が起こった。これらのことから、Al原子の供給のないWプラグの下流側でボイドが成長しやすく断線に至ると考えることができる。

【0042】図7のような故障箇所を観察すると、断線箇所がかなり決まった場所で起こっていることがわかったので、配線中の電流密度の分布にも着目した。2次元の電流密度分布のシミュレーション結果を図9に示す。この図9の測定条件としては、第2層配線M2の左端の印加電圧を0.01V程度とし、第1層配線M1の右端の電圧を0V程度とした。

【0043】Wプラグの近傍では電流集中がおこっており、局所的に電流密度の高い部分が存在し、その部分が断線箇所と一致することがわかった。この結果から、電流集中も考慮して接続孔を設ける必要があると言える。

【0044】図10(a)、(b)は、それぞれWプラグを1つ設けた場合と電流方向に沿ってWプラグを2つ設けた場合との電流密度分布である。図10(a)、(b)において配線に流れる平均電流が同値となるように電圧設定している。図10(a)の電圧設定条件としては、例えば第2層配線M2の左端の印加電圧を0.0138V程度とし、第1層配線M1の右端の印加電圧を0V程度とした。また、図10(b)の電圧設定条件としては、例えば第2層配線M2の左端の印加電圧を0.00859V程度とし、第1層配線M1の右端の印加電圧を0V程度とした。

【0045】単純に考えると、Wプラグが2つの場合（図10(b)）の方が各々のWプラグに流れる電流が1/2になるので、EM耐性がそれに応じて強くなると予想

される。しかし、図中の電流密度の最大値を比べるとわかるように必ずしもその比が予想したような2:1になっているわけではなく、予想したほどにEM耐性の向上が得られないということになるので注意を要する。

【0046】接続孔の埋め込み方法として、Wの他にAlの埋め込みも注目されている。Alの埋め込み技術としては、高温リフロー、高圧によるもの、CVD Al等がある。Wプラグに対するAlプラグの利点は、プロセスを簡単化できる可能性があることと、プラグ抵抗を小さくできることである。ただし、この抵抗低減による回路動作速度の向上に関してはその効果を定量化し、Alプラグプロセスによる問題点と比べて損得勘定をする必要があると思われる。

【0047】Alプラグプロセスの報告にはEM耐性の向上に言及しているものが多いが、Alの埋め込みプロセスで平坦部のAl膜質そのものが変化することや、上で述べた電流集中部分の電流密度が積層を構成する各層の厚さや抵抗率に依存しているため、それらを考慮した上での公平な比較になっているか注意を要す。

【0048】高圧のAl埋め込みやCVDによるAl埋め込みはまだ量産を経験していない新しいプロセスであり、この段階で明確なことは言えないが、いままで述べてきた内容の延長線上で考えると、Alプラグでも電流集中は起こるわけで、接着層等の存在によってAl原子の移動に不連続性がある限りにおいてはWプラグに比べてEM耐性が大きく向上することは想像し難い。

【0049】以上のように、Wプラグに焦点をあて、その信頼性に関する問題について述べてきた。WプラグによってEM耐性が低下すること、その原因がAl原子の移動がWを挟んで不連続になることと接続孔近傍での電流集中であることを明らかにした。

【0050】したがって、Al原子の移動に不連続を起こさせないことと電流集中を軽減することが好ましく、これらのことは、Wプラグに限らず、今後のメタル配線に於ける接続孔のEM耐性を考える上で共通課題であると考えられる。

【0051】次に、本実施の形態1の半導体集積回路装置を図1および図2によって説明する。

【0052】図1には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH1を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の配線幅は、ほぼ等しく、例えば0.6μm程度である。

【0053】また、図2には、図1のII-II線の断面図が示されている。半導体基板1は、例えばSi単結晶からなり、その主面上の素子形成領域には所定の半導体集積回路素子が形成されている。

【0054】半導体基板1の上面には、例えば二酸化シリコン(SiO₂)等からなる絶縁膜2が形成されており、

その上面に第1層配線M1が形成されている。この第1層配線M1は、導体膜M1a~M1fが下層から順に積み重ねられて形成されている。

【0055】最下層の導体膜M1aは、例えば主として第1層配線M1と絶縁膜2との接着性を高め、かつ、導体膜M1aの上層に良好な膜質の導体膜M1bを形成するための膜であり、例えばTi等からなる。

【0056】導体膜M1b、M1fは、例えば主としてストレスマイグレーション(stress migration)等による配線の断線不良を防止するためのバリア膜であり、例えばTiN等からなる。導体膜M1cは、主として導体膜M1cの上層に良好な膜質の導体膜M1dを形成するための膜であり、例えばTiからなる。

【0057】導体膜M1dは、配線の主要部を構成する膜であり、例えばAlまたはAl-Cu-Si合金等からなる。導体膜M1eは、例えばTiからなる。

【0058】第1層配線M1は、層間絶縁膜3によって被覆されている。この層間絶縁膜3は、例えばSiO₂等からなる。この層間絶縁膜3の上面に、第2層配線M2が形成されている。第2層配線M2は、導体膜M2a~M2eが下層から順に積み重ねられて形成されている。

【0059】最下層の導体膜M2aは、例えば主として第1層配線M2と層間絶縁膜3との接着性を高め、かつ、導体膜M2aの上層に良好な膜質の導体膜M2bを形成するための膜であり、例えばTi等からなる。

【0060】導体膜M2b、M2eは、例えば主としてストレスマイグレーション等による配線の断線不良を防止するためのバリア膜であり、例えばTiN等からなる。

【0061】導体膜M2cは、主として導体膜M2cの上層に良好な膜質の導体膜M2dを形成するための膜であり、例えばTiからなる。導体膜M2dは、配線の主要部を構成する膜であり、例えばAlまたはAl-Cu-Si合金等からなる。

【0062】接続孔TH1は、層間絶縁膜3にフォトリソグラフィ技術およびドライエッチング等のエッチング技術によって形成され、この接続孔TH1内に、第2層配線の導体膜M2a、M2bおよび埋込導体膜M3が埋め込まれて形成されている。この埋込導体膜M3は、例えばタングステンまたはタングステン合金等のようなタングステン系の導体膜からなり、例えばブランケット・W・CVD法とエッチバック法との組み合わせにより形成されている。

【0063】すなわち、接続孔TH1内には、配線主要部を構成するAlとは異なる金属が形成されており、第1層配線M1と第2層配線M2との間に接続孔TH1を通じて電流を流した際に、導体膜M2a、M2bや埋込導体膜M3がEMによるAl原子の流れを阻止するため、接続孔TH1と第1層配線M1および第2層配線M2の界面でAl原子の流れが不連続となっている。

【0064】ところで、本実施の形態1においては、接

続孔TH1において電流の流れる方向に直交する方向の長さYが、電流の流れる方向に水平な方向の長さXよりも長く形成されている。

【0065】すなわち、接続孔TH1において電流の流れる方向に垂直な面の面積が、電流の流れる方向に水平な面の面積よりも大きくなるように形成されている。これにより、接続孔TH1部分において電流を分散させることができ、接続孔TH1およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能となっている。

【0066】このため、配線系において接続孔TH1から電子が流れ出す箇所でのAl原子の移動を抑えることができるので、接続孔TH1の近傍にポイドが形成されてしまうのを抑制することが可能となる。また、配線系において接続孔TH1に電子が流れ込む箇所でのAl原子の蓄積を抑えることができるので、接続孔TH1の近傍にヒロックが形成されてしまうのを抑制することが可能となる。

【0067】すなわち、配線系(配線および接続孔部分)におけるEM耐性を向上させることができるので、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0068】(実施の形態2)図11は本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【0069】本実施の形態2においては、図11に示すように、第1層配線M1と第2層配線M2との重なり領域に、例えば第1層配線M1と第2層配線M2とを電気的に接続するために2個の接続孔TH2、TH2が配置されているとともに、その2個の接続孔TH2、TH2が電流の流れる方向に対して直交する方向に沿って配置されている。なお、断面構造は前記実施の形態1の説明で用いた図2と同じなので説明を省略する。

【0070】すなわち、本実施の形態2においては、第1層配線M1と第2層配線M2とを電気的に接続する接続孔において電流の流れる方向に垂直な面の面積が、電流の流れる方向に水平な面の面積よりも大きくなるように接続孔TH2、TH2が配置されている。

【0071】これにより、接続孔TH2部分において電流を分散させることができ、接続孔TH2およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能となっている。

【0072】このため、配線系において接続孔TH2から電子が流れ出す箇所では、Al原子の移動を抑えることができるので、ポイドの発生を抑制することが可能となる。また、配線系において接続孔TH2に電子が流れ込む箇所では、Al原子の蓄積を抑えることができるので、ヒロックの発生を抑制することが可能となる。

【0073】したがって、配線系におけるEM耐性を向上させることができるので、半導体集積回路装置の信頼

性および歩留りを向上させることが可能となる。

【0074】（実施の形態3）図12は本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【0075】本実施の形態3においては、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH3を通じて電氣的に接続されている状態が示されている。なお、断面構造は前記実施の形態1の説明で用いた図2と同じなので説明を省略する。

【0076】また、本実施の形態3においては、下層の第1層配線M1の方が、上層の第2層配線M2よりも細く形成されている。そして、接続孔TH3において配線幅の狭い第1層配線M1に流れる電流の方向に直交する方向の長さXの方から先に高いEM耐性が得られる長さに決められ、接続孔TH3において配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の長さYは、その長さXと同等かそれ以上の長さになるように設定されている。

【0077】すなわち、本実施の形態3では、接続孔TH3において配線幅の狭い第1層配線M1に流れる電流の方向に垂直な面の面積をEM耐性が向上するように設定している。

【0078】また、接続孔TH3において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積は、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されているので第2層配線M2側での接続孔TH3のEM耐性も向上するように設定されている。

【0079】これにより、接続孔TH3部分において電流を良好に分散させることができ、接続孔TH3およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能となっている。

【0080】このため、配線系において接続孔TH3から電子が流れ出す箇所では、Al原子の移動を抑えることができるので、ポイドの発生を抑制することが可能となる。また、配線系において接続孔TH3に電子が流れ込む箇所では、Al原子の蓄積を抑えることができるので、ヒロックの発生を抑制することが可能となる。

【0081】すなわち、配線系におけるEM耐性を向上させることができるので、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0082】（実施の形態4）図13～図18の各々は本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。なお、本実施の形態4においては、図13～図18の各々の例において配線系の状態は前記実施の形態3と同じである。また、断面構造は前記実施の形態1の説明で用いた図2と同じなので説明を省略する。

【0083】まず、図13に示す実施の形態において

は、第1層配線M1と第2層配線M2との重なり領域に、例えば4個の接続孔TH4が正形状格子の交点に配置されている。

【0084】この場合、接続孔長さの設定の仕方は前記実施の形態3と同じである。すなわち、配線幅の狭い第1層配線M1に流れる電流の方向に直交する方向の接続孔長さの方から先に高いEM耐性が得られる長さに決められ、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さと同様に設定されている。

【0085】なお、ここでの第2層配線M2に流れる電流の方向に直交する方向の接続孔長さおよび第1層配線M1に流れる電流の方向に直交する方向の接続孔長さは、共に2個の接続孔TH4の一辺の和となっている。

【0086】次に、図14に示す実施の形態においては、第1層配線M1と第2層配線M2との重なり領域に、例えば6個の接続孔TH6が正形状格子の交点に配置されている。接続孔長さの設定の仕方は前記実施の形態3と同じである。

【0087】ただし、この場合は、EM耐性の効果を考慮した見方からすれば、第1層配線M1の幅方向に2個の接続孔TH5が配置され、第2層配線M2の幅方向に3個の接続孔TH5が配置されているのと等しくなっている。

【0088】したがって、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さよりも長く設定されている。

【0089】なお、ここでの第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、3個の接続孔TH5の一辺の和であり、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さは2個の接続孔TH5の一辺の和となっている。

【0090】次に、図15に示す実施の形態においては、第1層配線M1と第2層配線M2との重なり領域に、例えば3個の接続孔TH7がそれぞれL字状の線の両端および角部に配置されている。接続孔長さの設定の仕方は前記実施の形態3と同じである。

【0091】この場合は、EM耐性の効果を考慮した見方をすれば、第1層配線M1の幅方向に2個の接続孔TH6が配置され、第2層配線M2の幅方向に2個の接続孔TH6が配置されているのと等しくなっている。

【0092】したがって、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さと同様に設定されている。

【0093】なお、ここでの第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、2個の接続孔TH6の一辺の和であり、第1層配線M1に流れる電流

の方向に直交する方向の接続孔長さは2個の接続孔TH6の一辺の和となっている。

【0094】次に、図17に示す実施の形態においては、第1層配線M1と第1層配線M2との重なり領域に、例えば2個の接続孔TH7が互いに斜め方向に位置するように配置されている。接続孔長さの設定の仕方は前記実施の形態3と同じである。

【0095】この場合は、2個の接続孔TH7が、第1層配線M1および第2層配線M2の各々においてその幅方向にずれて互いに斜め方向になるように配置されている。このため、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さと同様に設定されている。

【0096】なお、ここでの第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、2個の接続孔TH7の一辺の和であり、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さは2個の接続孔TH7の一辺の和となっている。

【0097】次に、図17に示す実施の形態においては、第1層配線M1と第2層配線M2との重なり領域に、例えば3個の接続孔TH8が三角形の格子状の交点の各々に配置されている。接続孔長さの設定の仕方は前記実施の形態3と同じである。

【0098】ただし、この場合は、隣接する接続孔TH8が第2層配線M2に流れる電流方向に沿って直線上に配置されておらず、互いに斜め方向にずれて位置するように配置されている。そして、EM耐性の効果を考慮した見方をすれば、第1層配線M1の幅方向に2個の接続孔TH8が配置され、第2層配線M2の幅方向に3個の接続孔TH8が配置されているのと等しくなっている。

【0099】したがって、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さよりも長く設定されている。

【0100】なお、ここでの第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、3個の接続孔TH8の一辺の和であり、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さは2個の接続孔TH8の一辺の和となっている。

【0101】次に、図18に示す実施の形態においては、第1層配線M1と第2層配線M2との重なり領域に、例えば4個の接続孔TH9が平行四辺形形状の格子状の交点の各々に配置されている。接続孔長さの設定の仕方は前記実施の形態3と同じである。

【0102】ただし、この場合は、隣接する接続孔TH9が第2層配線M2に流れる電流方向に沿って直線上に配置されておらず、互いに斜め方向にずれて位置するように配置されている。

【0103】そして、EM耐性の効果を考慮した見方を

すれば、第1層配線M1の幅方向に2個の接続孔TH9が配置され、第2層配線M2の幅方向に4個の接続孔TH9が配置されているのと等しくなっている。

【0104】したがって、配線幅の広い第2層配線M2に流れる電流の方向に直交する方向の接続孔長さは、第1層配線M1に流れる電流の方向に直交する方向の接続孔長さよりも長く設定されている。

【0105】以上のような図13～図18の実施の形態においても、前記実施の形態3と同じく、配線系におけるEM耐性を向上させることができるので、半導体集積回路装置の信頼性および歩留りを向上させることができるという効果を得ることが可能となっている。

【0106】（実施の形態5）図19は本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【0107】本実施の形態5においては、図19に示すように、互いに直交する第1層配線M1と第2層配線M2とが接続孔TH10を通じて電氣的に接続されている。

【0108】本実施の形態5においても、例えば下層の第1層配線M1の方が、上層の第2層配線M2よりも細く形成されている。なお、断面構造は前記実施の形態1の説明で用いた図2と同じなので説明を省略する。

【0109】ただし、本実施の形態5においては、例えば第2層配線M2の先端が、下層の第1層配線M1の先端と平行に重なり合うように、第1層配線M1の延在方向に延びて形成されており、互いに平行に重なり合う第2層配線M2の延在部分と第1層配線との重なり領域に2個の接続孔TH10が第1層配線M1の幅方向に沿って配置されている。

【0110】すなわち、本実施の形態5においては、互いに直交する方向に延びる第1層配線M1と第2層配線M2との直交交差領域に接続孔を配置せず、それらが平行に交差する領域を形成してその領域に接続孔TH10を配置している。これにより、接続孔TH10の配置に際して、前記実施の形態3のような2方向の配線を考慮する必要がなくなるので、接続孔TH10の設定および配置を容易にすることが可能となる。

【0111】したがって、本実施の形態5においては、接続孔TH10の配置個数は、第1層配線M1または第2層配線M2のいずれか一方の配線のうち、電流の多い方に基づいて設定すれば良い。

【0112】このように、本実施の形態5においては、前記実施の形態1で得られた効果の他に、接続孔TH10の設定および配置を容易にすることが可能となるという効果を得ることが可能となる。

【0113】（実施の形態6）図20(a)、(b)は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図21～図24は図20(a)の半導体集積回路装置の配線系の形成工程中における要部断面図である。

【0114】本実施の形態6の半導体集積回路装置においては、図20(a)に示すように、第1層配線M1、接続孔TH1部分および第2層配線M2の構造が前記実施の形態1の構造とは異なる。すなわち、第1層配線M1は、導体膜M1g~M1iが下層から順に積み重ねられて形成され、第2層配線M2は、導体膜M2g~M2iが下層から順に積み重ねられて形成され、さらに、接続孔TH1内には第2層配線2の導体膜M2gおよび埋込導体膜M3が埋め込まれている。

【0115】第1層配線M1における最下の薄い導体膜M1gは、例えば主として第1層配線M1と絶縁膜2との接着性を高め、かつ、導体膜M1gの上層に良好な膜質の導体膜M1hを形成するための膜であり、例えばTiまたはTiN等からなる。また、中間の厚い導体膜M1hは、配線の主要部を構成する膜であり、例えばAl、Al-Cu合金またはAl-Cu-Si合金等からなる。最上の薄い導体膜M1iは、例えばTiNからなる。

【0116】第2層配線M2における最下の薄い導体膜M2gは、例えば主として第2層配線M2と層間絶縁膜3との接着性を高め、かつ、導体膜M2gの上層に良好な膜質の導体膜M2hを形成するための膜であり、例えばTiまたはTiNまたはTiとTiNとの積層膜等からなる。また、中間の厚い導体膜M2hは、配線の主要部を構成する膜であり、例えばAl、Al-Cu合金またはAl-Cu-Si合金等からなる。最上の薄い導体膜M2iは、例えばTiNからなる。

【0117】接続孔TH1内における埋込導体膜M3は、例えばタングステン(W)またはタングステン合金等からなり、後述するように、例えばブランケット・W・CVD法とエッチバック法との組み合わせにより形成されている。したがって、本実施の形態6の場合も接続孔TH1内に、配線主要部を構成するAl(導体膜M2h、M1h)とは異なる金属が埋め込まれている。このため、第1層配線M1と第2層配線M2との間に形成された接続孔TH1を通じて電流を流した際に、導体膜M2gや埋込導体膜M3がEMによるAl原子の流れを阻止するため、接続孔TH1と第1層配線M1および第2層配線M2との界面でAl原子の流れが不連続となる。

【0118】しかし、本実施の形態6においても、前記実施の形態1~5のいずれかと同じようにすることで、接続孔TH1部分において電流を分散させることができ、接続孔TH1およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能となっている。このため、配線系(配線および接続孔部分)において接続孔TH1から電子が流れ出す箇所でのAl原子の移動を抑えることができ、接続孔TH1の近傍にポイドが形成されてしまうのを抑制することが可能となっている。また、配線系において接続孔TH1に電子が流れ込む箇所でのAl原子の蓄積を抑えることができるので、接続孔TH1の近傍にヒロックが形成されてしまう

のを抑制することが可能となっている。

【0119】したがって、本実施の形態6においても、半導体集積回路装置を構成する配線系のEM耐性を向上させることができるので、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0120】次に、図20(a)の半導体集積回路装置の製造工程を一例として接続孔の埋め込み方法を図21~図24によって説明する。

【0121】図21は半導体集積回路装置の製造工程における要部断面を示している。半導体基板1は、例えばSi単結晶からなり、その主面上の素子形成領域には所定の半導体集積回路素子が形成されている。半導体基板1の上面上には、例えば二酸化シリコン(SiO₂)等からなる絶縁膜2が形成されており、その上面上に第1層配線M1が形成されている。この第1層配線M1は、導体膜M1g~M1iが下層から順に積み重ねられて形成されている。また、絶縁膜2の上面上には、例えば二酸化シリコン(SiO₂)等からなる層間絶縁膜3が形成されており、これにより、第1層配線M1の表面が被覆されている。

【0122】まず、図22に示すように、層間絶縁膜3の所定の位置に、第1層配線M1の上面上(導体膜M1iの上面上)が露出するような接続孔TH1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。

【0123】続いて、図23に示すように、半導体基板1上に、例えばTiまたはTiN等からなる薄い導体膜M2gをスパッタリング法等によって形成した後、その薄い導体膜M2g上に、例えばタングステンまたはタングステン合金等からなる厚い埋込導体膜M3をCVD法等によって形成する。この段階では、埋込導体膜M3は接続孔TH1内および接続孔TH1の外側の領域にも形成されている。

【0124】埋込導体膜M3の膜厚が埋め込む孔の径lの1/2よりも大きくなるように、CVD法で形成することにより、接続孔TH1内に埋込導体膜が埋め込まれる。

【0125】その後、その埋込導体膜M3の上層部を、例えばCMP(Chemical Mechanical Polishing)法または異方性のドライエッチング法によって除去することにより、図24に示すように、埋込導体膜M3を接続孔TH1内にのみ残るようにする。なお、ここでは、導体膜M2gが層間絶縁膜3上に残るようにしている。

【0126】その後、図20に示したように、導体膜M2gおよび埋込導体膜M3上に、例えばAl、Al-Cu合金またはAl-Cu-Si合金からなる厚い導体膜M2hをスパッタリング法等により形成した後、その上面上に、例えばTiN等からなる薄い導体膜M2iをスパッタリング法で形成し、さらに、その導体膜M2h、M2iをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより第2層配線M2を形成す

る。

【0127】なお、図20(b)に示すように埋込導体膜M3を、Alで形成(Alプラグ)しても良い。導体膜M1g、M1i、M2g、M2iは、TiまたはTiNまたはTiとTiNとの積層膜等で構成される。この場合も、接続孔TH1および配線主要部を構成するAl(導体膜M2h、M1h)とは異なる材料からなる導体膜M2g、M1iを介して、配線主要部を構成するAl間(すなわち、導体膜M2hと導体膜M1hとの間)が接続される。このため、第1層配線M1と第2層配線M2との間に形成された接続孔TH1を通じて電流を流した際に、導体膜M2g、M1iがEMによるAl原子の流れを阻止するため、接続孔TH1と第1層配線M1および第2層配線M2との界面でAl原子の流れが不連続となる。しかし、前記実施の形態1~5のいずれかと同じようにすることで、同様にEM耐性を向上することができる。

【0128】(実施の形態7)図25は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【0129】本実施の形態7の半導体集積回路装置においては、図25に示すように、第1層配線M1、接続孔TH1部分および第2層配線M2の構造が前記実施の形態1の構造とは異なっている。すなわち、第1層配線M1は、導体膜M1j、M1k、M1mが下層から順に積み重ねられて形成され、第2層配線M2は、導体膜M2j、M2k、M2m、M2nが下層から順に積み重ねられて形成され、さらに、接続孔TH1内には**第2層配線2の導体膜M2j、M2kが埋め込まれている**。

【0130】第1層配線M1における最下の薄い導体膜M1jは、例えば主として第1層配線M1と絶縁膜2との接着性を高め、かつ、導体膜M1jの上層に良好な膜質の導体膜M1kを形成するための膜であり、例えばTiまたはTiN等からなる。また、中間の厚い導体膜M1kは、配線の主要部を構成する膜であり、例えばAl、Al-Cu合金またはAl-Cu-Si合金等からなる。最上の薄い導体膜M1mは、例えばTiNからなる。

【0131】第2層配線M2における最下の薄い導体膜M2jは、例えば主として第2層配線M2と層間絶縁膜3との接着性を高め、かつ、導体膜M2jの上層に良好な膜質の導体膜M2kを形成するための膜であり、例えばTiまたはTiN等からなる。また、その上層の導体膜M2kは、配線の主要部を構成する膜であり、例えばタングステンまたはタングステン合金からなる。この導体膜M2kの一部は接続孔TH1内に埋め込まれている。また、その上層の導体膜M2mは、配線の主要部を構成する膜であり、例えばAl、Al-Cu合金またはAl-Cu-Si合金等からなる。最上の薄い導体膜M2nは、例えばTiNからなる。

【0132】本実施の形態7においても、接続孔TH1内に、配線主要部を構成するAlとは異なる金属が埋め込

まれている。このため、第1層配線M1と第2層配線M2との間に接続孔TH1を通じて電流を流した際に、導体膜M2j、M2kがEMによるAl原子の流れを阻止するため、接続孔TH1と第1層配線M1および第2層配線M2との界面でAl原子の流れが不連続となる。

【0133】しかし、本実施の形態7においても、前記実施の形態1~5と同様の構造にすることにより、接続孔TH1部分において電流を分散させることができ、接続孔TH1およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが可能となっている。このため、配線系において接続孔TH1から電子が流れ出す箇所でのAl原子の移動を抑えることができ、接続孔TH1の近傍にポイドが形成されてしまうのを抑制することが可能となっている。また、配線系において接続孔TH1に電子が流れ込む箇所でのAl原子の蓄積を抑えることができるので、接続孔TH1の近傍にヒロックが形成されてしまうのを抑制することが可能となっている。

【0134】したがって、本実施の形態7においても、半導体集積回路装置を構成する配線系のEM耐性を向上させることができるので、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0135】このような構造を形成するには、まず、薄い導体膜M2jを形成した後、その上面に、例えばタングステンまたはタングステン合金からなる導体膜をCVD法等で形成し、さらに、その導体膜の上層部をCMP法または異方性のドライエッチング法によって除去する場合に当該導体膜が層間絶縁膜3上にも残るようにする。これにより、導体膜M2kを形成する。その後、導体膜M2k上に、例えばAl、Al-Cu合金またはAl-Cu-Si合金からなる厚い導体膜M2mをスパッタリング法等により形成した後、その上面に、例えばTiN等からなる薄い導体膜M2nをスパッタリング法で形成し、さらに、その導体膜Mk、M2m、M2nをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより第2層配線M2を形成する。

【0136】(実施の形態8)図26~図33は本発明の他の実施の形態である半導体集積回路装置の配線構造を説明するための配線の要部平面図、図34~図36は接続孔部分における電流分布のシミュレーション図である。

【0137】以下、本実施の形態8の半導体集積回路装置の配線構造を図26~図33によって説明する。図26~図33は1つの半導体集積回路装置に設けられている配線系の平面図が示されており、各図の接続孔THは層間絶縁膜3に同時に形成され、かつ、この接続孔TH内に埋込導体膜M3が同時に埋め込まれている(同一層の接続孔)。すなわち、図26~33は層間絶縁膜3上に、配線幅Wの異なる複数の第2層配線M2が形成され、層間絶縁膜3に接続孔THが形成されている例であ

る。なお、接続孔部分の断面構造は前記実施の形態 1、6、7等で説明した図2、図20または図25等と同じなので説明を省略する。すなわち、接続孔THには前記実施の形態1、6、7と同様に埋込導体膜M3が埋め込まれている。

【0138】図26には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH11を通じて電気的に接続されている状態が示されている。この場合の第1層配線M1および第2層配線M2は、共に最小線幅の配線であり、その各々において配線幅は接続孔TH11が配置される部分も配置されない部分も等しく、その全体的な形状は幅の等しい帯状になっている。

【0139】また、図26中の符号 α は接続孔TH11と第1層配線M1および第2層配線M2との合わせ余裕を示している。上記した第1層配線M1および第2層配線M2の配線幅 $W0, W1$ は、接続孔TH11の長さ $X1, Y1$ と合わせ余裕 α との関係において、それぞれ $W0 = X1 + 2\alpha$ 、 $W1 = Y1 + 2\alpha$ の条件を満足するように設定されている。この配線幅 $W0, W1$ は、上記した条件を満足すれば良く、特に限定されないが、例えば $0.4\mu\text{m}$ 程度である。

【0140】また、この場合の接続孔TH11は、最小寸法の接続孔（すなわち、層間絶縁膜3に形成される接続孔の基準孔径）であり、第2層配線M2の延在方向の長さ $X1$ と、第2層配線M2の延在方向に直交する長さ $Y1$ とがほぼ等しく（ $X1 = Y1$ ）、その設計上の全体的な形状は正形状になっている。長さ $X1, Y1$ は、例えば $0.32\mu\text{m}$ 程度である。すなわち、 $W1 = W0$ 。なお、接続孔TH11の形状は実際に転写された状態では円形または楕円形等のような丸みを帯びた形状になる。

【0141】図27には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH11を通じて電気的に接続されている状態が示されている。この場合の第1層配線M1および第2層配線M2は、共に最小線幅の配線であり、その各々において配線幅は接続孔TH11が配置される部分も配置されない部分も等しく、その全体的な形状は幅の等しい帯状になっている。

【0142】この第1層配線M1および第2層配線M2の配線幅 $W1$ は、互いに等しく、接続孔TH11の寸法 $Y1$ と合わせ余裕 α との関係で、 $W1 = Y1 + 2\alpha$ の条件を満足するように設定されている。この配線幅 $W1$ は、上記した条件を満足すれば良く、特に限定されないが、例えば $0.4\mu\text{m}$ 程度である。

【0143】また、この場合の接続孔TH11は、最小寸法の接続孔であり、第2層配線M2の延在方向の長さ $X1$ と、第2層配線M2の延在方向に直交する長さ $Y1$ とがほぼ等しく、その設計上の全体的な形状は正形状になっている。ただし、接続孔TH11の形状は実際に転写

された状態では上記と同様に丸みを帯びた形状になる。

【0144】図28には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH12を通じて電気的に接続されている状態が示されている。第1層配線M1および第2層配線M2において配線幅 $W0, W2$ は接続孔TH12が配置される部分も配置されない部分も等しく、その全体的な形状は幅の等しい帯状になっている。この図28において第1層配線M1の配線幅 $W0$ （ $W0 = W1$ ）は図26の場合と同じく最小線幅であるが、第2層配線M2の配線幅 $W2$ は、最小線幅よりも大きく、かつ、最小線幅の2倍よりも小さい寸法、すなわち、 $2W1 - \alpha > W2 > W1$ になっている。この第2層配線M2の配線幅 $W2$ は、接続孔TH12の長さ $Y2$ と合わせ余裕 α との関係において、 $W2 = Y2 + 2\alpha$ の条件を満足するように設定されている。すなわち、 $2Y1 + \alpha > Y2 > Y1$ の関係を満足する。このように、配線幅 $W2$ を有する第2層配線M2と第1層配線M1との重なり領域の幅は、配線幅 $W1$ を有する第2層配線M2と第1層配線M1との重なり領域の幅より大きく、かつ2倍よりも小さく構成される。このように、この配線幅 $W2$ 、寸法 $Y2$ は、上記した条件を満足すれば良く、特に限定されないが、配線幅 $W2$ は、例えば $0.6\mu\text{m}$ 程度である。

【0145】また、この場合の接続孔TH12は、第2層配線M2の延在方向に垂直な方向の長さ $Y2$ の方が、第2層配線M2の延在方向の長さ $X2$ よりも長くなっている。すなわち、接続孔TH12において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積は、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されている。

【0146】現在、半導体集積回路装置の設計においては接続孔のある配線の許容電流値（EM耐性）の低さが大きな問題となっている。サブミクロンプロセス以降用いられている高融点材料とA1合金層との積層配線においては、上層配線と下層配線とのA1合金層が接続孔において必ず不連続となるため、接続孔近傍の配線部への電流集中によってボイド（あるいはヒロック）が発生し易く、それが許容電流値を下げる大きな原因となっている。このため、この電流集中をいかに緩和するかがEM耐性の向上、すなわち、許容電流値の向上のポイントとなっている。

【0147】本実施の形態8においては、接続孔TH12において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積が、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されているので、第2層配線M2側での接続孔TH12のEM耐性を向上させることができ、許容電流値を向上させることが可能となっている。

【0148】ところで、EM耐性を向上させるには、接続孔の平面積が大きい方が有利であり、微細配線部と電

源配線とで様々な径の接続孔を混在させる方が良いが、接続孔内に導体膜を埋め込むプロセスにおいては、同一層の接続孔の寸法が異なると、例えば次のような不具合が生じる。

【0149】第1に、前記実施の形態6に示すように、エッチバック等で導体膜を接続孔THに埋め込む時、接続孔の径の大小により埋込導体膜のエッチングレートが異なり、孔径が相対的に大きい接続孔内の埋込導体膜の方が、孔径が相対的に小さい接続孔内の埋込導体膜よりも剥離し易い。このため、種々の孔径の接続孔を配置することは、当該埋込導体膜の剥がれ増大の原因となり、その剥がれた埋込導体膜が異物となって歩留まりの低下を招く。第2に、同一層の接続孔の孔径が異なると導体膜の埋め込み工程に際してその孔径に応じて導体膜の成長速度が異なるので、接続孔毎に埋め込まれた導体膜の状態（高さや厚さ等）が異なってしまう。これらのため、現状のレイアウトルールでは同一層の接続孔の径は1種類しか認められていない。

【0150】したがって、本来ならば許容電流を増やすために孔径の小さい接続孔（例えば最小孔径の接続孔）を配線幅方向に複数個並べて配置することが有効である。これにより、許容電流を増やすことができ、かつ、埋込導体膜の剥離の問題も抑制できる。しかし、図28の場合は、第2層配線M2の配線幅W2が最小線幅W1の2倍よりも小さい、すなわち、 $2W1 - \alpha > W2$ の関係にあるのでその配線幅方向に最小孔径の接続孔TH11を2個並べて配置することはできない。すなわち、配線幅Wが、 $W \geq 2Y1 + 3\alpha = 2W1 - \alpha$ であれば、最小孔径の接続孔TH11を2個並べて配置できるが、配線幅 $W < 2Y1 + 3\alpha$ であれば、最小孔径の接続孔TH11を2個並べて配置できない。このように、配線幅W2を有する第2層配線M2と、第1層配線M1との重なり領域の幅は、配線幅W1を有する第2層配線M2と第1層配線M1との重なり領域の幅より大きく、かつ2倍よりも小さく構成される。

【0151】ここで、図28の場合には、接続孔でのEM耐性を向上させ許容電流の向上を図ることを考慮するならば、本発明の思想から接続孔において第2層配線M2の幅方向の長さを、第2層配線M2の延在方向の長さよりも長くすることが考えられる。しかし、ただ単純に寸法の設定を決めたのでは、上記した埋込導体の剥離等の問題は残されたままになってしまう。一方、埋込導体膜の剥離の問題を考慮して図28の場合にも最小孔径の接続孔TH11を1つ配置したのでは、接続孔での許容電流値は図26の場合の許容電流値と大差がなくなるため最も損な構造になってしまう。

【0152】そこで、本実施の形態8においては、接続孔TH12における長さY2を長さX2よりも長くするが、その平面積は最小寸法の接続孔TH11の平面積とほぼ同じ（ $X1 \times Y1 = X2 \times Y2$ ）になるようにしてい

る。すなわち、接続孔TH12においては、最小寸法の接続孔TH11の長さY1を長くして長さY2とし、その長くした分だけ最小寸法の接続孔TH11の長さX1を短くして長さX2としている。

【0153】これにより、電流集中緩和効果を維持しつつ、かつ、接続孔TH12内に埋め込まれる埋込導体膜のエッチングレートを通常の正方形の接続孔TH11とほぼ等しくすることができる。このため、EM耐性（許容電流値）を向上させることができ、かつ、埋込導体膜の剥離の問題を回避することが可能となる。

【0154】このように、層間絶縁膜3上に配線幅W1、W2の異なる複数の第2層配線M2が配置される時、配線幅W1の接続孔を接続孔TH11で形成し、配線幅W2（ $2W1 - \alpha > W2 > W1$ ）の接続孔を接続孔TH12で形成することにより、EM耐性を向上することができる。

【0155】特に限定されないが、接続孔TH12の長さX2は、例えば0.2μm程度、長さY2は、例えば0.5μm程度である。接続孔TH12の形状は実際に転写された状態では上記と同様に丸みを帯びた形状になる。この図28のような接続孔TH12は、例えば最小線幅の配線と電源配線との接続部に有効である。

【0156】図29には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH12を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の配線幅W2は互いに等しい。これ以外は、図28の場合と同じなので説明を省略する。

【0157】図30には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において同一寸法の2個の接続孔TH11（図26と同一）を通じて電気的に接続されている状態が示されている。2個の接続孔TH11は電流の流れる方向に対して直交する方向に沿って配置されている。すなわち、接続孔TH11は、第1層配線M1と第2層配線M2とを電気的に接続する接続孔において、相対的に断面積の大きい第2層配線M2に流れる電流の方向に垂直な面の面積が、相対的に断面積の大きい第2層配線M2に流れる電流の方向に水平な面の面積よりも大きくなるように配置されている。これにより、第1層配線M1と第2層配線M2との接続部におけるEM耐性を向上させることができ、許容電流値を向上させることが可能となっている。また、この場合は、配置されている接続孔TH11は図26の場合と同じなので、上述した接続孔内に導体膜を埋め込むプロセス時に埋込導体膜が剥離する等の問題も生じない。

【0158】この図30において第1層配線M1の配線幅W0は図26の場合と同じく最小線幅であるが、第2層配線M2の配線幅W3は、最小線幅の2倍よりも大きな寸法になっている。第1層配線M1および第2層配線

M2 において配線幅W0, W3は2個の接続孔TH11が配置される部分も配置されない部分も等しく、その全体的な形状は幅の等しい帯状になっている。この第2層配線M2の配線幅W3は、接続孔TH11の長さY2と合わせ余裕 α 、 β との関係において、 $W3 = 2Y1 + 2\alpha + \beta$ の条件を満足するように設定されている。この配線幅W3は、上記した条件を満足すれば良く、特に限定されないが、例えば0.8 μm 程度である。なお、合わせ余裕 β は、接続孔TH11間の合わせ余裕であり、合わせ余裕 α と等しい。

【0159】図31には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において2個の接続孔TH11を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の配線幅W3は互いに等しい。これ以外は、図30の場合と同じなので説明を省略する。

【0160】このように、層間絶縁膜3上に配線幅がW1, W2, W3と異なる複数の第2層配線M2が配置される時、その層間絶縁膜3に形成される最小孔径（基準孔径）TH11に基づいて、配線幅に応じて接続孔TH11または接続孔TH11とほぼ同じ平面積を有する接続孔TH12を設けることにより、配線のEM耐性を向上することができる。なお、第2層配線M2の配線幅がW3以上の場合は、本発明の主旨を変えない範囲で様々な接続孔THの配置が可能である。

【0161】図32(a)には、図30において接続孔TH11を2個配置したのに代えて、長方形の接続孔TH13が配置されている。この場合の接続孔TH13は、第2層配線M2の延在方向に垂直な方向の長さY2の方が、第2層配線M2の延在方向の長さX2よりも長くなっている。すなわち、接続孔TH13において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積は、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されている。

【0162】また、接続孔TH13における長さY3を長さX3よりも長くするが、その平面積は最小寸法の接続孔TH11の平面積とほぼ同じになるようにしている。すなわち、接続孔TH13においては、最小寸法の接続孔TH11の長さY1を長くして長さY3とし、その長くした分だけ最小寸法の接続孔TH11の長さX1を短くして長さX3としている。

【0163】これらにより、電流集中緩和効果を維持しつつ、かつ、接続孔TH13内に埋め込まれる埋込導体膜のエッチングレートを通常の正方形の接続孔TH11とほぼ等しくすることができるので、EM耐性（許容電流値）を向上させることができ、かつ、埋込導体膜の剥離の問題を回避することが可能となる。

【0164】特に限定されないが、接続孔TH13の長さX3は、例えば0.43 μm 程度、長さY3は、例えば0.21 μm 程度である。接続孔TH13の形状は実際に転写

された状態では上記したのと同様に丸みを帯びた形状になる。

【0165】図32(b)には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH13を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の配線幅W3は互いに等しい。これ以外は、図32(a)の場合と同じなので説明を省略する。

【0166】図33は、第2層配線M2の配線幅W4が接続孔TH12を2個並べて配置できないような、配線幅W3よりも大きい時の配線幅の例である。この場合、接続孔TH11とTH12を並べて配置することにより、EM耐性を向上することができる。なお、配線幅W4が接続孔TH12を2個並べて配置できる配線幅の場合、接続孔TH12を2個並べて配置しても良いのは無論である。

【0167】本実施の形態8によれば、配線系の接続部のEM耐性を向上させることができ、かつ、接続孔内の埋込導体膜の剥離等の問題を回避することが可能となるので、半導体集積回路装置の歩留まりおよび信頼性を向上させることが可能となる。

【0168】次に、接続孔部分における電流密度分布のシミュレーション結果を図34～図36によって説明する。図34はシミュレーションした直交配線の外形斜視図である。すなわち、第1層配線M1と第2層配線M2とは、互いに直交する方向に延在形成されており、その重なり領域に接続孔THが配置され、それを通じて双方の配線が電気的に接続されている状態が示されている。第1層配線M1の幅は、例えば0.6 μm 程度、第2層配線M2の幅は、例えば1 μm 程度である。

【0169】図35には図28の場合におけるシミュレーション結果が示されている。ハッチングは電流密度分布を示してハッチング濃度の濃さが電流密度の濃さに対応している。また、図36には接続孔の平面形状が正方形の場合におけるシミュレーション結果が示されている。図36において図35とほぼ同じ電流密度領域には図35と同じハッチングが付されている。この図35および図36から平面形状が長方形の接続孔の方が、平面形状が正方形の接続孔に比べて電流集中が緩和されていることが判る。すなわち、図36には接続孔の端部に電流密度の高い領域が存在しているのに対し、図35にはこれに対応する電流密度分布が存在していない。

【0170】図51は、本実施の形態の半導体集積回路装置の要部断面図である。MISFET Trは、ソース・ドレインである一対のn型半導体領域10、ゲート絶縁膜12、ゲート電極14を有する。半導体領域10は基板1内に形成され、一対の半導体領域10間でゲート絶縁膜12下の基板1はチャンネル形成領域として作用する。ゲート絶縁膜12は、基板1の主面上に形成され、ゲート絶縁膜12上にゲート電極14が形成され

る。絶縁膜2上に第1層配線M1が形成され、第1層配線M1は、絶縁膜2に形成された接続孔THaを介して、MISFET Trの半導体領域10またはゲート電極14に電氣的に接続される。接続孔THa内には、埋込導体膜M0が形成される。層間絶縁膜3上に第2層配線が形成され、第2層配線は層間絶縁膜3に形成された接続孔TH6を介して、第1層配線M1に電氣的に接続される。接続孔TH6内には埋込導体膜M3が形成される。層間絶縁膜6上には第3層配線M10が形成され、第3層配線M10は層間絶縁膜6に形成された絶縁孔THcを介して第2層配線M2に電氣的に接続される。接続孔THc内には埋込導体膜M12が形成される。なお、絶縁膜2、層間絶縁膜6、8は例えばCMP等によってその表面が平坦化されている。図26～36を用いて、主に第2層配線M2と第1層配線M1との間の接続孔THについて説明したが、第2層配線M2と第3層配線M3との間の接続孔TH等、第2層配線M2より上層の配線層間の接続孔も同様に構成される。

【0171】(実施の形態9)図37～図44は本発明の他の実施の形態である半導体集積回路装置の配線構造を説明するための配線の要部平面図である。

【0172】本実施の形態9においては、配線において接続孔が配置される部分が他の部分に比べて幅広(ドックボーン)に形成されている場合について説明する。これ以外は、前記実施の形態8と同じである。

【0173】図37には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH11を通じて電氣的に接続されている状態が示されている。この場合の第1層配線M1および第2層配線M2は、共に最小線幅の配線であり、その各々において接続孔TH1が配置される部分の幅が配置されない部分の幅よりも広がっている。

【0174】第1層配線M1および第2層配線M2の幅広部分の幅が前記実施の形態8で説明した配線幅W0、W1に相当しており、この配線幅W0、W1は、接続孔TH11の長さX1、Y1と合わせ余裕 α との関係において、それぞれ $W0 = X1 + 2\alpha$ 、 $W1 = Y1 + 2\alpha$ の条件を満足するように設定されている。この配線幅W0、W1は、上記した条件を満足すれば良く、特に限定されないが、例えば0.4 μm 程度である。また、第1層配線M1および第2層配線M2の幅の細い部分の配線幅W00、W10は、互いに等しく、配線の幅広部分の配線幅W0、W1との関係において、それぞれ $W00 = W0 - 2\alpha$ 、 $W10 = W1 - 2\alpha$ の条件を満足するように設定されている。

【0175】また、この場合の接続孔TH11は、最小寸法の接続孔であり、第2層配線M2の延在方向の長さX1と、第2層配線M2の延在方向に直交する長さY1とがほぼ等しく、その設計上において全体的な形状は正方形形状になっている。長さX1、Y1は、例えば0.32 μm 程度である。なお、接続孔TH11の形状は実際に転写さ

れた状態では上記と同様に丸みを帯びた形状になる。

【0176】図38には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH11を通じて電氣的に接続されている状態が示されている。これ以外は、図37の場合と同じなので説明を省略する。

【0177】図39には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH12を通じて電氣的に接続されている状態が示されている。図39の場合も第1層配線M1および第2層配線M2において接続孔TH12が配置される部分の幅が配置されない部分の幅よりも広がっている。

【0178】第1層配線M1は図37の場合と同じく最小線幅の配線であるが、第2層配線M2の幅広部分の配線幅W2は、最小線幅よりも大きく、かつ、最小線幅の2倍よりも小さい寸法になっている。この第2層配線M2の幅広部分の配線幅W2は、接続孔TH12の長さY2と合わせ余裕 α との関係において、 $W2 = Y2 + 2\alpha$ の条件を満足するように設定されている。この配線幅W2は、上記した条件を満足すれば良く、特に限定されないが、例えば0.6 μm 程度である。また、第2層配線M2の幅の細い部分の配線幅W20は、配線の幅広部分の配線幅W2との関係において、 $W20 = W2 - 2\alpha$ の条件を満足するように設定されている。

【0179】また、この場合の接続孔TH12は、第2層配線M2の延在方向に垂直な方向の長さY2の方が、第2層配線M2の延在方向の長さX2よりも長くなっている。すなわち、接続孔TH12において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積は、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されている。これにより、第2層配線M2側での接続孔TH12のEM耐性を向上させることができ、許容電流値を向上させることが可能となっている。

【0180】また、本実施の形態9においても実施の形態8と同様に、接続孔TH12における長さY2を長さX2よりも長くするが、その平面積は最小寸法の接続孔TH11の平面積とほぼ同じになるようにしている。すなわち、接続孔TH12においては、最小寸法の接続孔TH11の長さY1を長くして長さY2とし、その長くした分だけ最小寸法の接続孔TH11の長さX1を短くして長さX2としている。これにより、電流集中緩和効果を維持しつつ、かつ、接続孔TH12内に埋め込まれる埋込導体膜のエッチングレートを通常の正方形の接続孔TH11とほぼ等しくすることができる。このため、EM耐性(許容電流値)を向上させることができ、かつ、埋込導体膜の剥離の問題を回避することが可能となる。

【0181】特に限定されないが、接続孔TH12の長さX2は、例えば0.2 μm 程度、長さY2は、例えば0.5

μm 程度である。接続孔TH12の形状は実際に転写された状態では上記したように丸みを帯びた形状になる。この図39のような接続孔TH12は、例えば最小線幅の配線と電源配線との接続部に有効である。

【0182】図40には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH12を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の幅広部分の配線幅W2および幅の細い部分の配線幅W20は、互いに等しい。これ以外は、図39の場合と同じなので説明を省略する。

【0183】図41には、互いに垂直に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において同一寸法の2個の接続孔TH11（図37と同一）を通じて電気的に接続されている状態が示されている。図41の場合も第1層配線M1および第2層配線M2において接続孔TH11が配置される部分の幅が配置されない部分の幅よりも広がっている。

【0184】2個の接続孔TH11は、第2層配線M2に流れる電流の方向に対して直交する方向に沿って配置されている。すなわち、接続孔TH11は、第1層配線M1と第2層配線M2とを電気的に接続する接続孔において、相対的に断面積の大きな第2層配線M2に流れる電流の方向に垂直な面の面積が、相対的に断面積の大きな第2層配線M2に流れる電流の方向に水平な面の面積よりも大きくなるように配置されている。これにより、第1層配線M1と第2層配線M2との接続部におけるEM耐性を向上させることができ、許容電流値を向上させることが可能となっている。また、この場合は、配置されている接続孔TH11は図37の場合と同じなので、接続孔内に導体膜を埋め込むプロセス時に埋込導体膜が剥離する等の問題も生じない。

【0185】この図41において第1層配線M1は図37の場合と同じく最小線幅の配線であるが、第2層配線M2の幅広部分の配線幅W3は、最小線幅の2倍よりも大きな寸法になっている。この第2層配線M2の幅広部分の配線幅W3は、接続孔TH11の長さY2と合わせ余裕 α 、 β との関係において、 $W3 = 2Y1 + 2\alpha + \beta$ の条件を満足するように設定されている。この配線幅W3は、上記した条件を満足すれば良く、特に限定されないが、例えば $0.8\mu\text{m}$ 程度である。なお、合わせ余裕 β は、接続孔TH11間の合わせ余裕であり、合わせ余裕 α と等しい。また、第2層配線M2の幅の細い部分の配線幅W30は、幅広部分の配線幅W3との関係において、 $W30 = W3 - 2\alpha$ の条件を満足するように設定されている。

【0186】図42には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において2個の接続孔TH11を通じて電気的に接続されている状態が示されている。この第1層配線M1および

第2層配線M2の幅広部分の配線幅W3および幅の細い部分の配線幅W30は互いに等しい。これ以外は、図41の場合と同じなので説明を省略する。

【0187】図43には、図42において接続孔TH11を2個配置したのに代えて、長方形の接続孔TH13が配置されている。この場合の接続孔TH13は、第2層配線M2の延在方向に垂直な方向の長さY2の方が、第2層配線M2の延在方向の長さX2よりも長くなっている。すなわち、接続孔TH13において配線幅の広い第2層配線M2に流れる電流の方向に垂直な面の面積は、第1層配線M1に流れる電流の方向に垂直な面の面積よりも大きくなるように設定されている。

【0188】また、接続孔TH13における長さY3を長さX3よりも長くするが、その平面積は最小寸法の接続孔TH11の平面積とほぼ同じになるようにしている。すなわち、接続孔TH13においては、最小寸法の接続孔TH11の長さY1を長くして長さY3とし、その長くした分だけ最小寸法の接続孔TH11の長さX1を短くして長さX3としている。

【0189】これらにより、電流集中緩和効果を維持しつつ、かつ、接続孔TH13内に埋め込まれる埋込導体膜のエッチングレートを通常の正方形の接続孔TH11とほぼ等しくすることができるので、EM耐性（許容電流値）を向上させることができ、かつ、埋込導体膜の剥離等の問題を回避することが可能となる。

【0190】特に限定されないが、接続孔TH13の長さX3は、例えば $0.43\mu\text{m}$ 程度、長さY3は、例えば $0.21\mu\text{m}$ 程度である。接続孔TH13の形状は実際に転写された状態では上記したように丸みを帯びた形状になる。

【0191】図44には、互いに平行に延在する第1層配線M1と第2層配線M2とが、その双方の重なり領域において1個の接続孔TH13を通じて電気的に接続されている状態が示されている。この第1層配線M1および第2層配線M2の幅広部分の配線幅W3および幅の細い部分の配線幅W30は互いに等しい。これ以外は、図43の場合と同じなので説明を省略する。

【0192】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1～9に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0193】例えば前記実施の形態1～9においては、第1層配線と第2層配線とを電気的に接続する場合を例として説明したが、これに限定されるものではなく種々変更可能であり、例えば第2層配線と第3層配線とを電気的に接続する場合や第1層配線と第3層配線とを電気的に接続する場合にも本発明を適用できる。

【0194】また、前記実施の形態1～9においては、配線の主要部の上下に形成されたバリア機能を有する導

体膜をTiNとした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばチタンタングステン (TiW) またはタングステンとしても良い。

【0195】また、前記実施の形態1～9においては、接続孔内にタングステンを埋め込みした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばAlを埋め込む場合にも本発明を適用できる。

【0196】また、図45に示すように、埋込導体膜の無い接続孔構造に本発明を適用しても良い。この場合、第1層配線M1は、バリア機能を有する導体膜M1a上に主要部を構成する導体膜M1dが積み重ねられて構成されている。また、第2層配線M2は、バリア機能を有する導体膜M2a上に主要部を構成する導体膜M2dが積み重ねられて構成されている。接続孔内にはタングステン等が埋め込まれていない。

【0197】また、主要部をCuで構成する配線にも本発明を適用できる。Cu配線の場合、Cuの拡散防止のために配線の周囲にタングステン等のようなバリア膜が被覆されている。したがって、前記実施の形態1～9と同様に接続孔またはその近傍においてCu原子の流れが不連続となる箇所が生じるからである。

【0198】また、前記実施の形態3においては、接続孔の形状を長方形としたが、これに限定されるものではなく種々変更可能であり、例えば図46に示す接続孔TH14のようにT字状としても良い。また、図47に示す接続孔TH15のように逆L字状としても良い。また、図48に示す接続孔TH16のように鉤形状としても良い。

【0199】また、図49に示すように、第1層配線M1と第2層配線M2との重なり領域の対角線に沿って延びるような形状としても良い。この場合、配線幅を増やすことなく、接続孔TH17において電流に交差する面の面積を増大させることが可能となっている。

【0200】また、図50に示すように、前記実施の形態1のように第1層配線M1と第2層配線M2とが水平に配置されている場合の例にも、平行四辺形状の接続孔TH18を設けても良い。この場合も、配線幅を増やすことなく、接続孔TH18において電流に交差する面の面積を増大させることが可能となっている。

【0201】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0202】(1). 本発明の半導体集積回路装置によれば、互いに平行な上下2層の配線を電氣的に接続する接続孔において電流の流れる方向に垂直な面の面積が、電流の流れる方向に水平な面の面積よりも大きくなるようにしたことにより、接続孔部分において電流を分散させることができ、接続孔およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することが

できるので、配線系におけるEM耐性を向上させることができ、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0203】(2). 本発明の半導体集積回路装置によれば、互いに交差する上下2層の配線を電氣的に接続する接続孔において前記上下2層の配線のうちの断面の小さい方の配線に流れる電流の方向に交差する面の面積に比較して、前記断面の小さい方の配線に流れる電流の方向に沿う面の面積が同等かそれ以上となるようにしたことにより、接続孔部分において電流を良好に分散させることができ、接続孔およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することができるので、配線系におけるEM耐性を向上させることができ、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0204】(3). 本発明の半導体集積回路装置によれば、互いに交差する上下2層の配線を電氣的に接続する接続孔の配置領域においては、前記上下の2層の配線が互いに平行に重なるように、一方の配線の先端部を他方の配線の延在方向に延在させ、かつ、前記接続孔を前記配線に流れる電流の方向に交差する面の面積が、前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように配置したことにより、上記(1)の効果が得られ、かつ、接続孔の設計および配置を容易にすることが可能となる。

【0205】(4). 本発明の半導体集積回路装置によれば、互いに平行な上下2層の配線の重なり領域の幅が最小配線幅よりも大きく最小配線幅の2倍よりも小さい場合には、前記接続孔において前記配線に流れる電流の方向に交差する面の面積が、前記接続孔において前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように、前記接続孔における前記配線の幅方向に沿う長さを、前記接続孔における前記配線の長手方向に沿う長さよりも長くしたことにより、接続孔部分において電流を良好に分散させることができ、接続孔およびその近傍の配線部分において電流密度が局所的に高密度となるのを抑制することができるので、配線系におけるEM耐性を向上させることができ、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0206】(5). 本発明の半導体集積回路装置によれば、互いに交差する上下2層の配線の重なり領域の幅が最小配線幅よりも大きく最小配線幅の2倍よりも小さい場合には、前記接続孔において前記配線に流れる電流の方向に交差する面の面積が、前記接続孔において前記配線に流れる電流の方向に沿う面の面積よりも大きくなるように、前記接続孔における前記配線の幅方向に沿う長さを、前記接続孔における前記配線の長手方向に沿う長さよりも長くしたことにより、接続孔部分において電流を良好に分散させることができ、接続孔およびその近傍の配線部分において電流密度が局所的に高密度となるの

を抑制することができるので、配線系におけるEM耐性を向上させることができ、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0207】(6). 本発明の半導体集積回路装置によれば、前記接続孔を含む同一平面内の接続孔の平面積が全てほぼ等しいことにより、上記(4)等の効果に加えて、同一平面内の接続孔を導体膜で埋め込むプロセスにおける導体膜の除去工程(平坦化工程)に際して、全ての接続孔において導体膜の除去量をほぼ均一にすることができ、また、同一平面内の接続孔内に導体膜を埋め込む場合に全ての接続孔において導体膜の成膜速度をほぼ均一にすることができる。このため、例えば当該導体膜の除去量が接続孔毎に不均一となることに起因して所定の接続孔内の導体膜が剥離してしまう問題を回避することが可能となる。したがって、半導体集積回路装置の信頼性および歩留りを向上させることが可能となる。

【0208】(7). 本発明の半導体集積回路装置によれば、上記(1)~(6)において、接続孔および前記配線の主要部の材料とは異なる材料からなる導体膜を介して、上層および下層配線の主要部の材料間を電氣的に接続しているため、EM耐性を向上させることができ、半導体集積回路装置の信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置における配線系の要部平面図である。

【図2】図1のII-II線の断面図である。

【図3】本発明者が検討した配線および埋込導体膜を有する接続孔を模式的に示す要部断面図である。

【図4】電流密度とEM寿命との関係を接続孔内における埋込導体膜の有無で比較したグラフ図である。

【図5】EM寿命の温度依存性を接続孔内における埋込導体膜の有無で比較したグラフ図である。

【図6】EM寿命のばらつきを示すグラフ図である。

【図7】EM試験で断線に至った資料の故障箇所を観察した写真である。

【図8】図7の断線に至った場合の電子の流れを示す説明図である。

【図9】埋込導体膜を有する接続孔およびその近傍における二次元の電流密度分布のシミュレーション結果を示す説明図である。

【図10】(a)、(b)はそれぞれ埋込導体膜を有する接続孔を1つ設けた場合と2つ設けた場合における電流密度分布のシミュレーション結果を示す説明図である。

【図11】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図12】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図13】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図14】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図15】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図16】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図17】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図18】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図19】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図20】(a)、(b)はそれぞれ本発明の他の実施の形態である半導体集積回路装置の配線系の要部断面図である。

【図21】本発明の他の実施の形態である半導体集積回路装置の配線系の形成工程中における要部断面図である。

【図22】図21に続く半導体集積回路装置の配線系の形成工程中における要部断面図である。

【図23】図22に続く半導体集積回路装置の配線系の形成工程中における要部断面図である。

【図24】図23に続く半導体集積回路装置の配線系の形成工程中における要部断面図である。

【図25】本発明の他の実施の形態である半導体集積回路装置の配線系の要部断面図である。

【図26】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図27】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図28】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図29】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図30】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図31】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図32】(a)、(b)はそれぞれ本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図33】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図34】本発明の他の実施の形態である半導体集積回路装置の接続孔部分における電流密度分布のシミュレーションの説明である。

【図35】本発明の他の実施の形態である半導体集積回路装置の接続孔部分における電流密度分布のシミュレーションの説明である。

【図36】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

路装置の接続孔部分における電流密度分布のシミュレーションの説明である。

【図37】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図38】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図39】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図40】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図41】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図42】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図43】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図44】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図45】本発明の他の実施の形態である半導体集積回路装置の配線系の要部断面図である。

【図46】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図47】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図48】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図49】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図50】本発明の他の実施の形態である半導体集積回路装置の配線系の要部平面図である。

【図51】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【符号の説明】

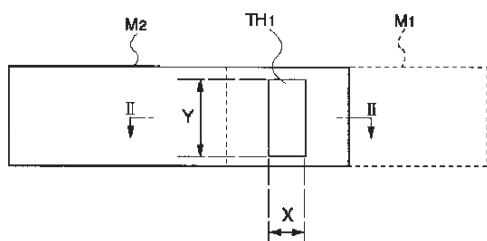
- 1 半導体基板
- 2 絶縁膜
- 3 層間絶縁膜
- M1 第1層配線
- M1a~M1k, M1m 導体膜
- M2 第2層配線
- M2a~M2k, M2m, M2n 導体膜
- TH1 ~ TH18 接続孔
- TH 接続孔
- M3 埋込導体膜

【図1】

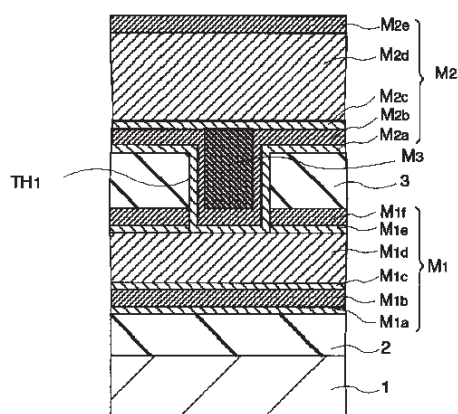
【図2】

図 1

図 2



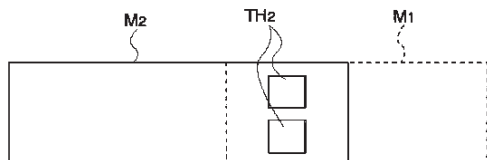
M1: 第1層配線
M2: 第2層配線
TH1: 接続孔



M3: 埋込導体膜

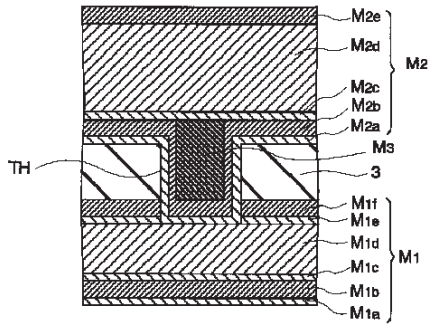
【図11】

図 11



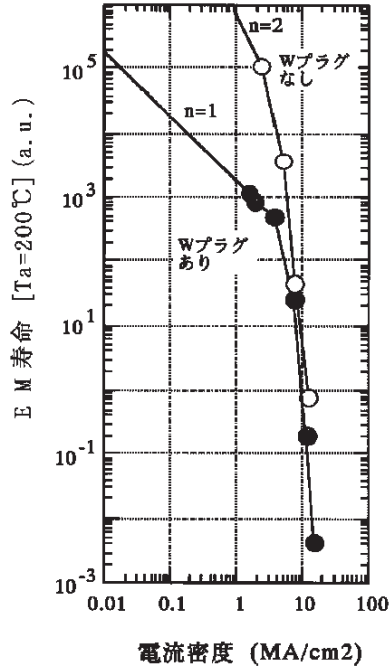
【図3】

図 3



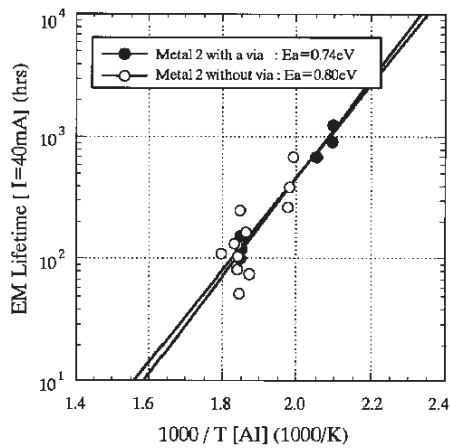
【図4】

図 4



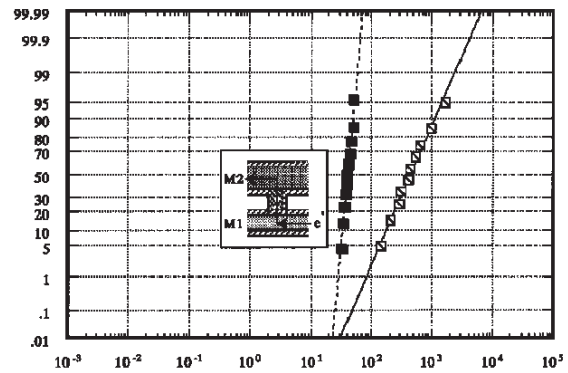
【図5】

図 5



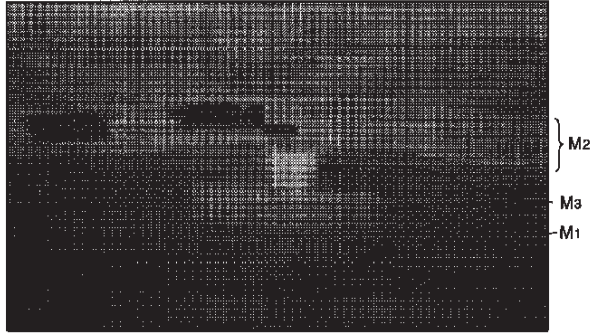
【図6】

図 6



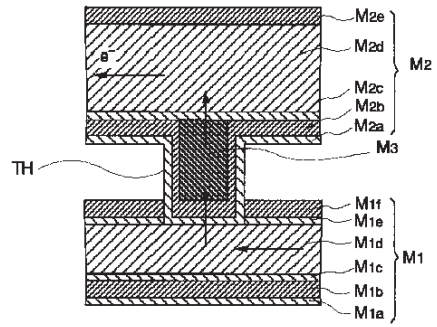
【図7】

図 7



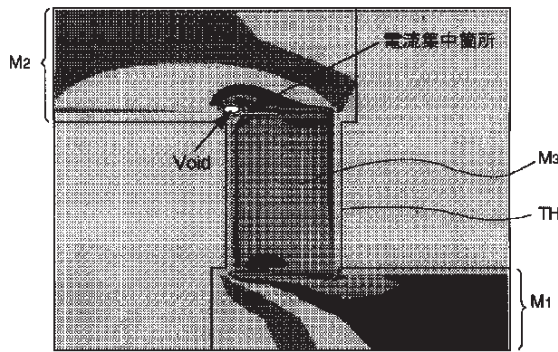
【図8】

図 8



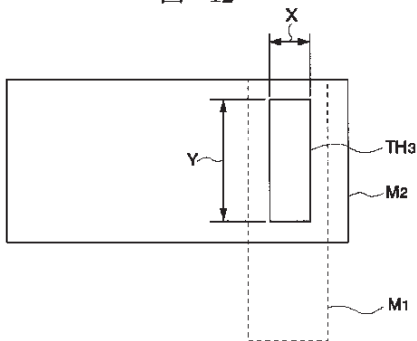
【図9】

図 9



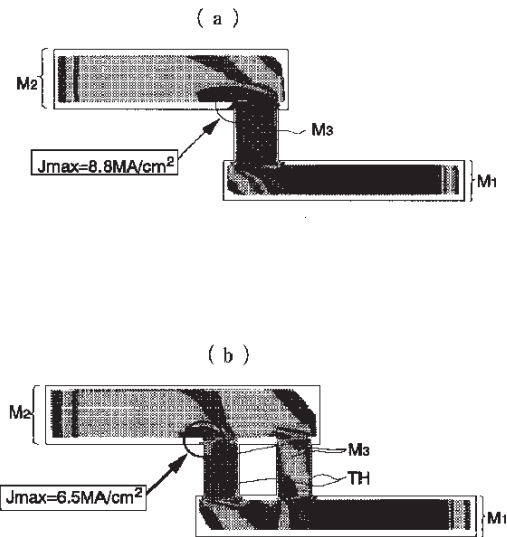
【図12】

図 12



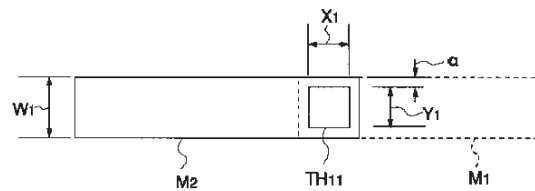
【図10】

図 10



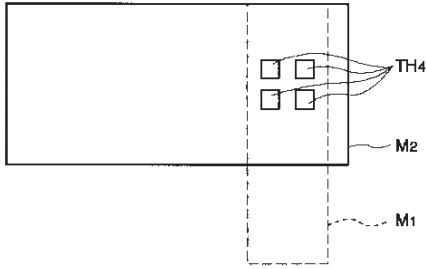
【図27】

図 27



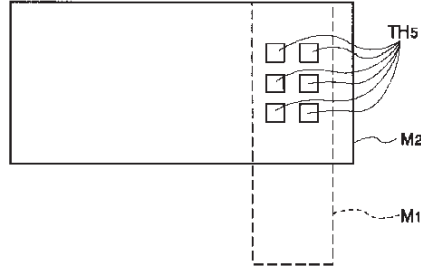
【图 13】

图 13



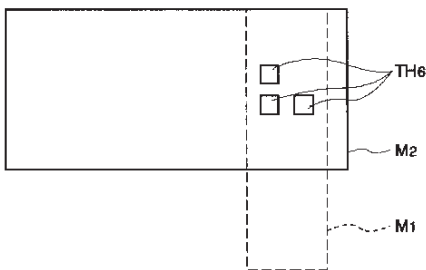
【图 14】

图 14



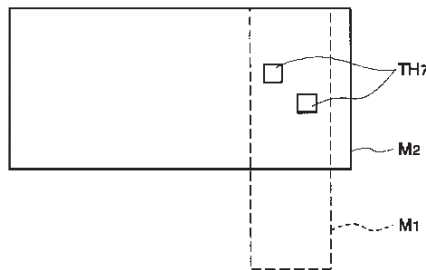
【图 15】

图 15



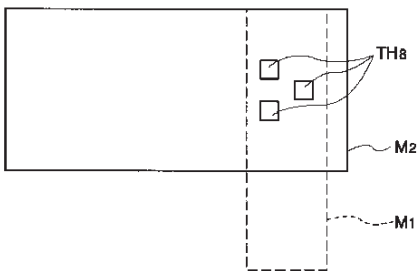
【图 16】

图 16



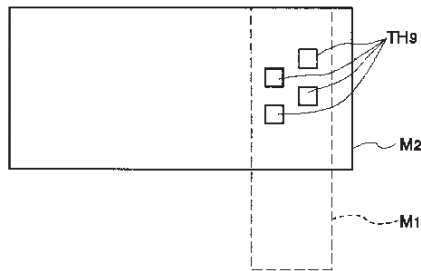
【图 17】

图 17



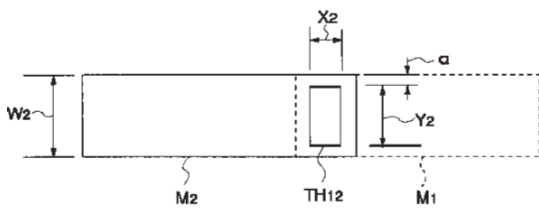
【图 18】

图 18



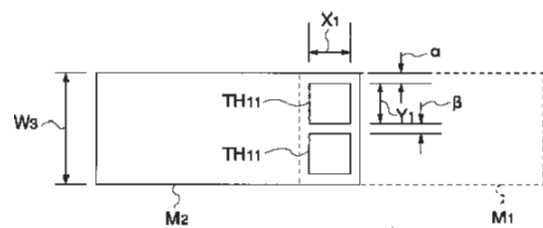
【图 29】

图 29



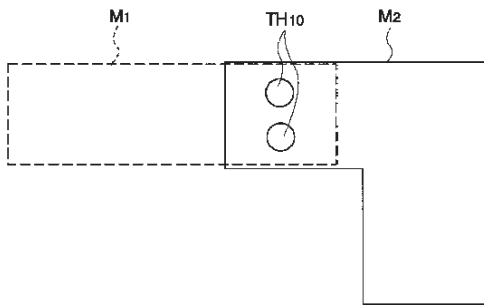
【图 31】

图 31



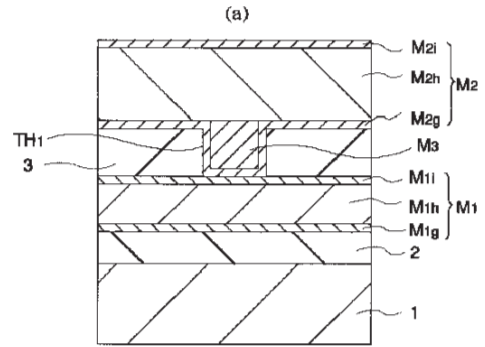
【図19】

図 19



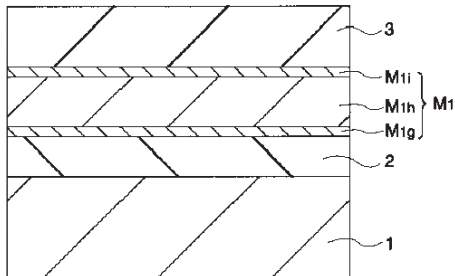
【図20】

図 20

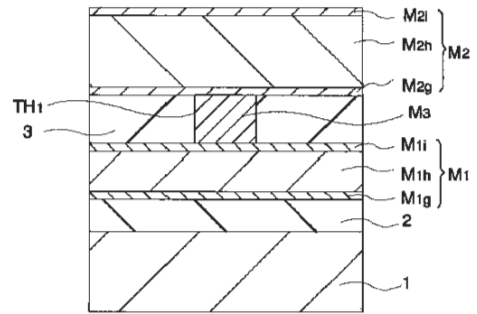


【図21】

図 21

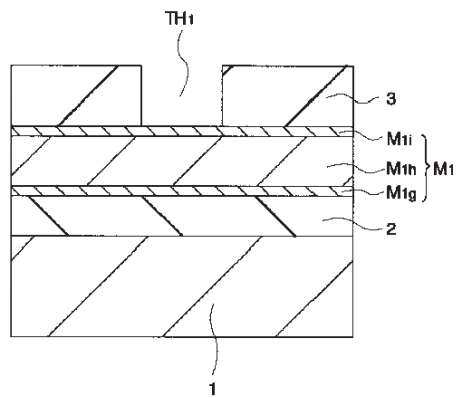


(b)



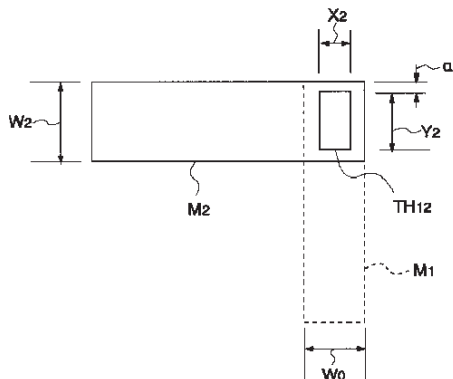
【図22】

図 22



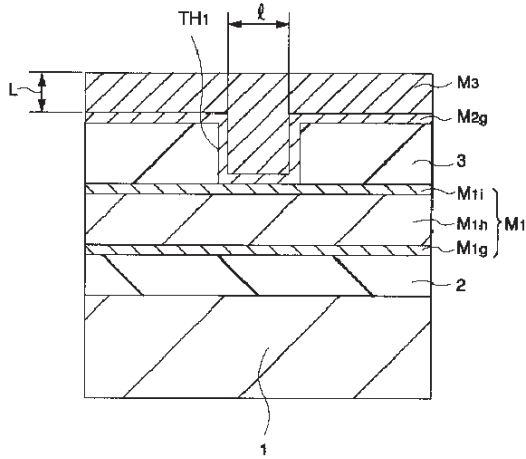
【図28】

図 28



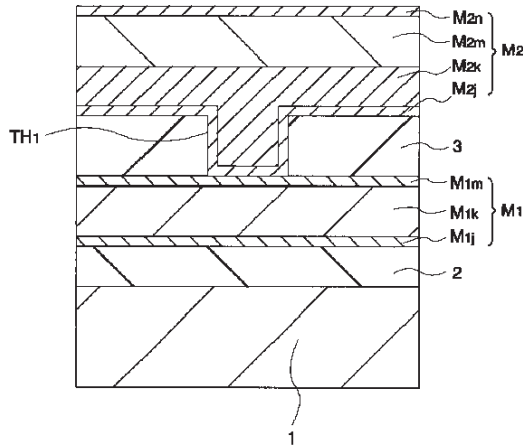
【図 2 3】

図 23



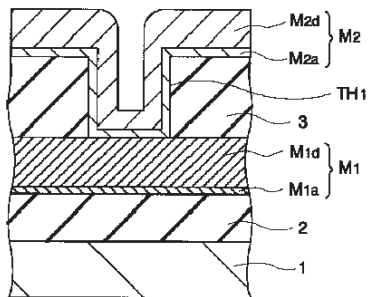
【図 2 5】

図 25



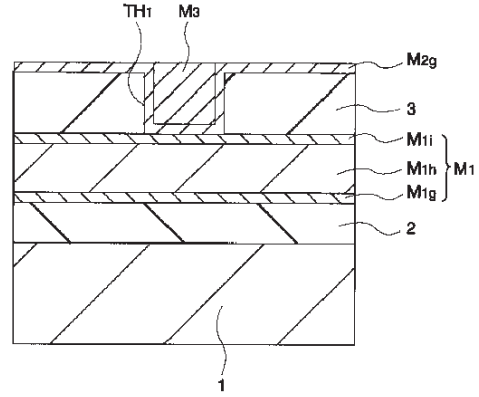
【図 4 5】

図 45



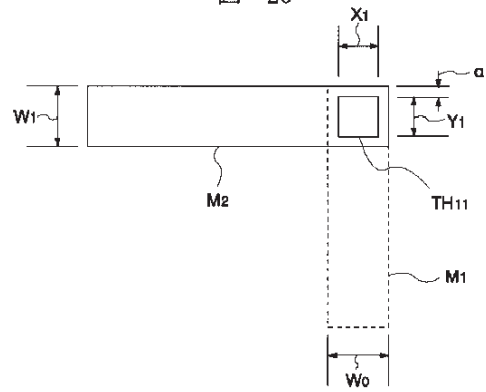
【図 2 4】

図 24



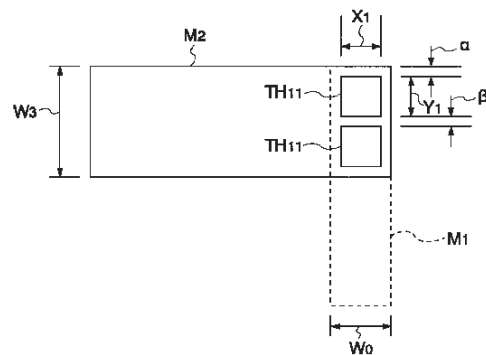
【図 2 6】

図 26



【図 3 0】

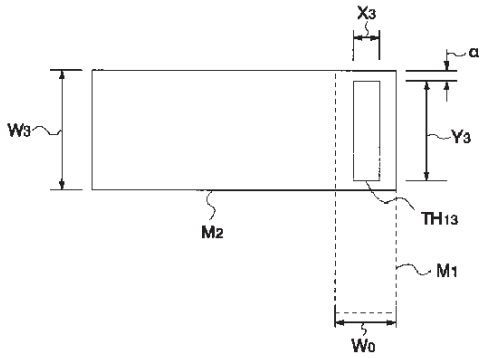
図 30



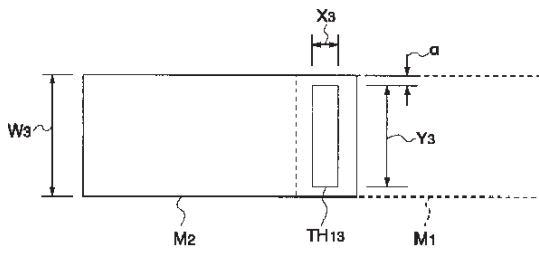
【图 3 2】

图 32

(a)

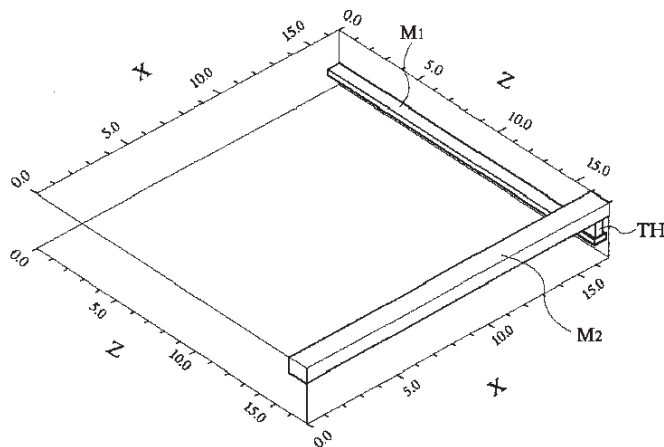


(b)



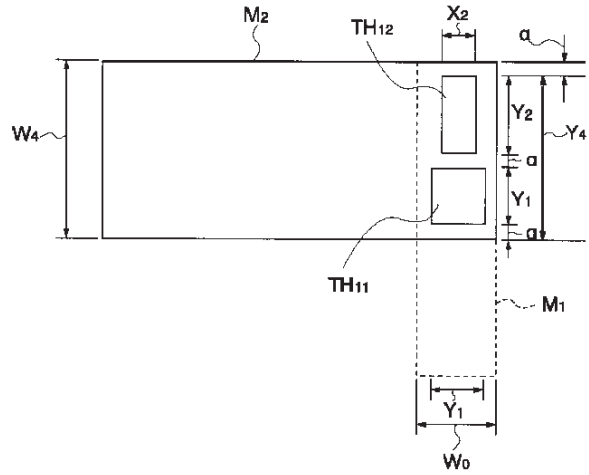
【图 3 4】

图 34



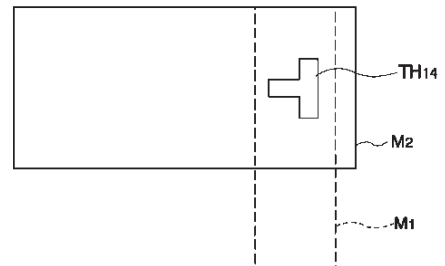
【图 3 3】

图 33



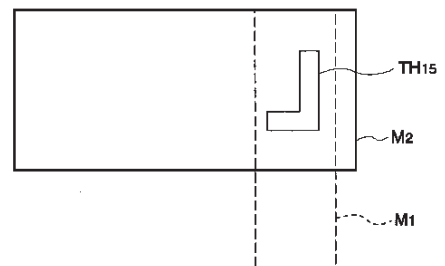
【图 4 6】

图 46



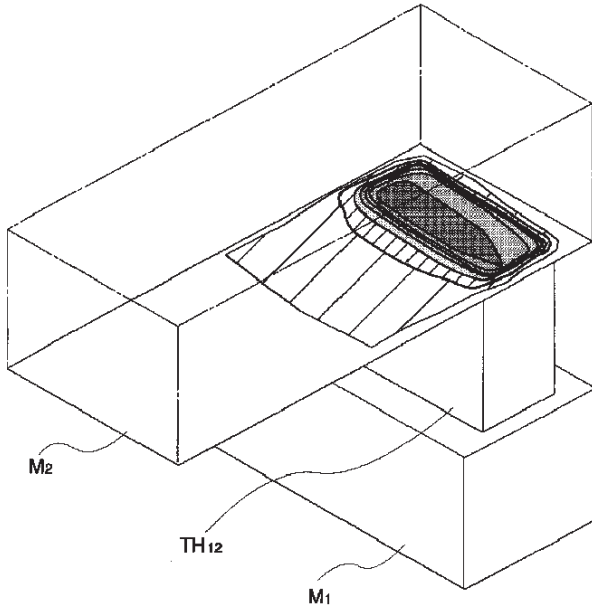
【图 4 7】

图 47



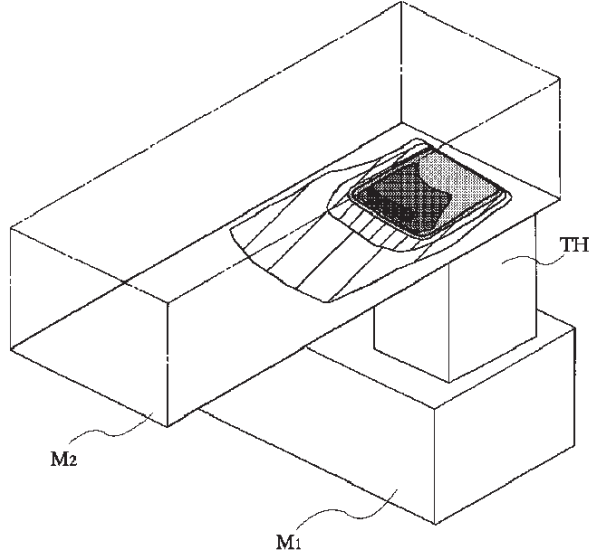
【図 35】

図 35



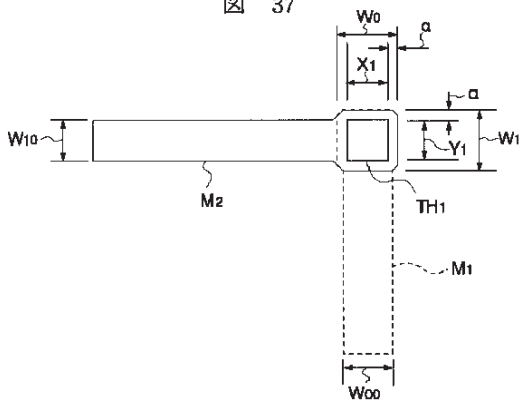
【図 36】

図 36



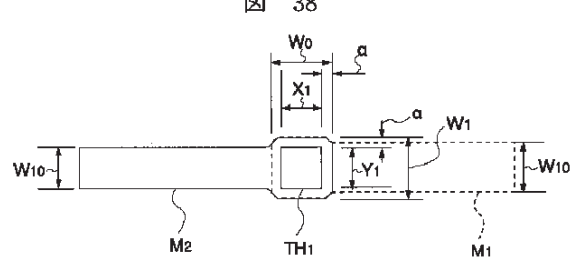
【図 37】

図 37



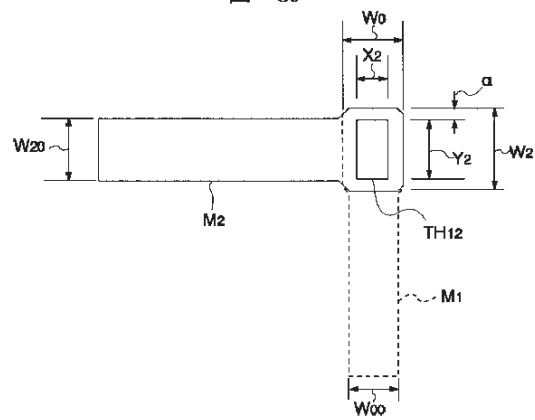
【図 38】

図 38



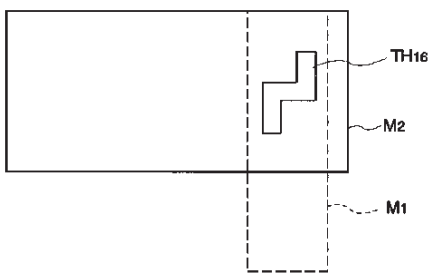
【図 39】

図 39

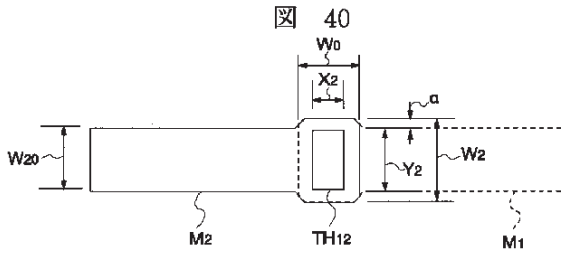


【図 48】

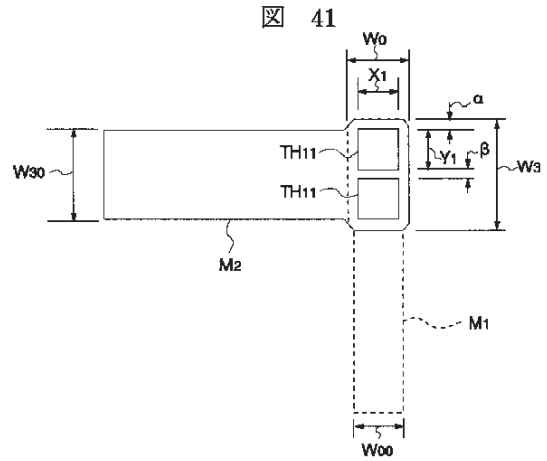
図 48



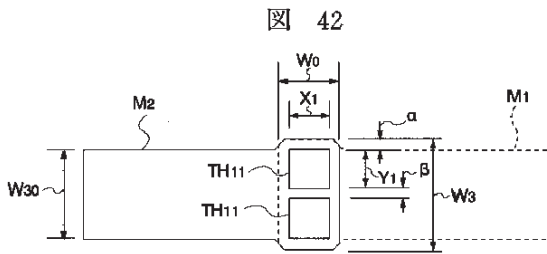
【图 4 0】



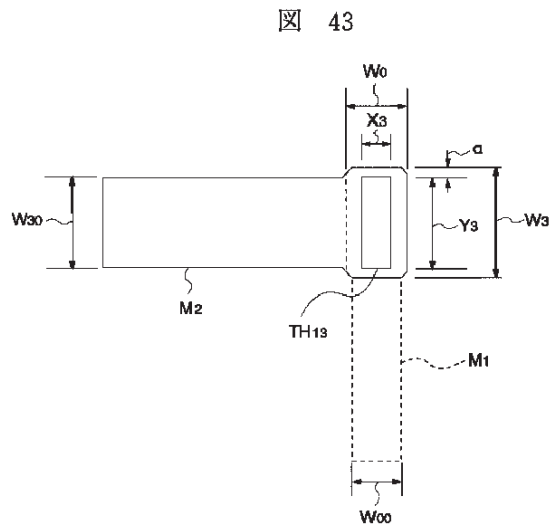
【图 4 1】



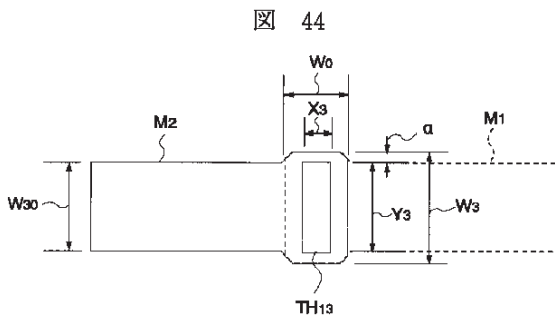
【图 4 2】



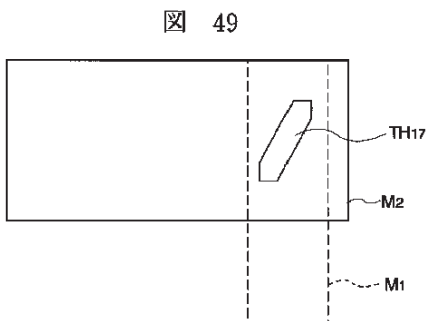
【图 4 3】



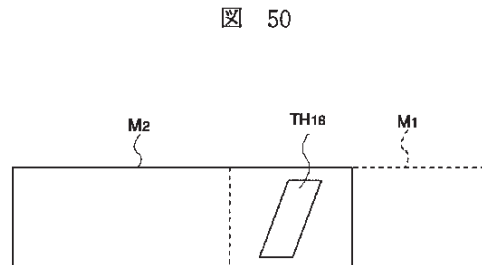
【图 4 4】



【图 4 9】

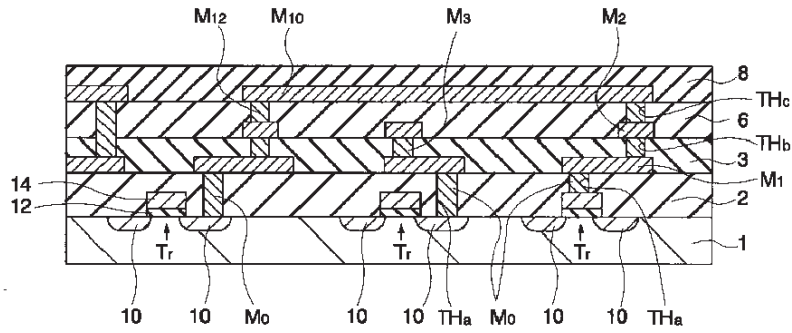


【图 5 0】



【図 5 1】

図 51



フロントページの続き

(72)発明者 高橋 強
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 井瀬 潔
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 山田 浩士
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 竹田 敏文
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(19) Japanese Patent Office (JP) (12) Published Patent Gazette (A)

(11) Japanese Patent Application Publication No. **10(1998)-214893**
(43) [Publication date] **August 11, 1998**

(51) Int. C1.⁶ Identification Code FI
H01L 21/768 H01L 21/90 B
Examination Request: Not yet made; Number of Claims: 22 OL (Total 28 pages)

(21) Application No.: Patent Application H9(1997)-276233	(71) Applicant: 000005108 Hitachi, Ltd. 4-6, Kanda-Surugadai, Chiyoda-ku, Tokyo
(22) Application Date: October 8, 1997	(72) Inventor: Fujii Takako 20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
(31) Priority Claim Number: JP-H8(1996)-314653	Inside the Semiconductor Division, Hitachi, Ltd.
(32) Priority Date: November 26, 1986	(72) Inventor: Okuyama Kosuke 20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
(33) Country of Priority Claim: Japan (JP)	Inside the Semiconductor Division, Hitachi, Ltd.
	(72) Inventor: Kubota Katsuhiko 20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
	Inside the Semiconductor Division, Hitachi, Ltd.
	(74) Agent: Patent Attorney Tsutsui Yamato

Continued on the last page

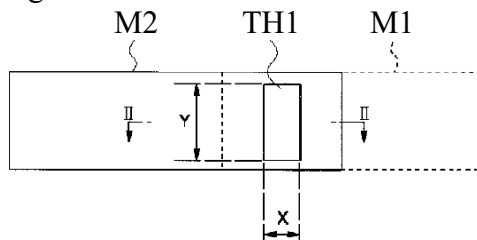
(54) [Title of Invention] Semiconductor Integrated Circuit Device

(57) [Abstract]

[Problem to be Solved] The goal is to provide a technology that can improve the EM (electromagnetic) resistance in connection holes for interlayer wiring and in their vicinity.

[Means for Solving the Problem] In the connection hole TH1, the length Y in the direction orthogonal to the flow of current is formed longer than the length X in the horizontal direction of the current flow. This allows the current to be dispersed in the connection hole TH1, making it possible to suppress the local high density of current density in the connection hole TH1 and the adjacent wiring portions.

Fig. 1



M1: first layer wiring
M2: second layer wiring
TH1: connection hole

[Claim 1] A semiconductor integrated circuit device, wherein a connection hole is arranged in an overlapping region of two layers (upper and lower) of wiring arranged parallel to each other, electrically connecting the aforementioned two layers (upper and lower) of wiring, and the area of the surface that intersects the direction of current flowing through the aforementioned wiring is larger than the area of the surface that follows the direction of the current flowing through the aforementioned wiring.

[Claim 2] The semiconductor integrated circuit device of Claim 1, wherein the length of the connection hole along the width direction of the aforementioned wiring is longer than the length along the longitudinal direction of the aforementioned wiring in the connection hole.

[Claim 3] The semiconductor integrated circuit device of Claim 1, wherein the connection hole is composed of multiple connection holes arranged along the width direction of the aforementioned wiring.

[Claim 4] The semiconductor integrated circuit device of Claim 1, 2, or 3, wherein a conductor film or an aluminum alloy made of a material different from the main material of the aforementioned wiring's main part is embedded within the connection hole.

[Claim 5] A semiconductor integrated circuit device, wherein a connection hole is arranged in an overlapping region of two layers (upper and lower) of wiring arranged parallel to each other, electrically connecting the aforementioned two layers (upper and lower) of wiring, and the length in the direction intersecting the direction of current flowing through the aforementioned wiring is longer than the length in the direction along the current flow through the aforementioned wiring.

[Claim 6] The semiconductor integrated circuit device of Claim 5, wherein the connection hole is composed of multiple connection holes arranged along the width direction of the aforementioned wiring.

[Claim 7] The semiconductor integrated circuit device of Claim 5, wherein a conductor film or an aluminum alloy made of a material different from the main material of the aforementioned wiring's main part is embedded within the connection hole.

[Claim 8] A semiconductor integrated circuit device having a connection hole arranged in an overlapping region of two intersecting layers (upper and lower) of wiring, electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein, in the aforementioned connection hole, the area of the surface that follows the direction of current flowing through the wiring with a relatively smaller cross-sectional area among the two layers (upper and lower) of wiring is equal to or larger than the area of the surface that intersects the direction of current flowing through the wiring with the relatively smaller cross-sectional area.

[Claim 9] The semiconductor integrated circuit device of Claim 8, wherein the length of the connection hole along the width direction of the wiring with the relatively larger cross-sectional area among the two layers (upper and lower) of wiring is longer than the length along the longitudinal direction of the wiring with the relatively larger cross-sectional area in the connection hole.

[Claim 10] The semiconductor integrated circuit device of Claim 8, wherein the connection hole is composed of multiple connection holes arranged along the width direction of the wiring with the relatively larger cross-sectional area among the two layers (upper and lower) of wiring.

[Claim 11] A semiconductor integrated circuit device as described in Claim 8, wherein a conductor film or an aluminum alloy made from a material different from the main material of the aforementioned wiring's main part is embedded within the aforementioned connection hole.

[Claim 12] A semiconductor integrated circuit device having a connection hole arranged in an overlapping region of two intersecting layers (upper and lower) of wiring, electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein in the overlapping region of the aforementioned two layers (upper and lower) of wiring, one of the wiring's leading ends is extended parallel to the extending direction of the other wiring, superimposing both wirings, and that the area of the surface intersecting the direction of current flowing through the aforementioned wiring in the aforementioned connection hole is larger than the area of the surface along the direction of current flowing through the aforementioned wiring in the aforementioned connection hole.

[Claim 13] A semiconductor integrated circuit device comprising two layers (upper and lower) of wiring, an insulation film formed between the aforementioned two layers (upper and lower), and a connection hole formed in the aforementioned insulation film for electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein a first wiring of the aforementioned upper layer is configured to be electrically connected to the lower layer of wiring through a first connection hole having a first length in a direction intersecting the direction of current flowing through the aforementioned first wiring, where the aforementioned first length consists of the reference hole diameter for the connection hole formed in the aforementioned insulation film; and that a second wiring of the aforementioned upper layer has a width of the overlapping region with the aforementioned second wiring and the aforementioned lower layer of wiring that is larger than the width of the overlapping region with the aforementioned first wiring and the aforementioned lower layer of wiring, and is smaller than twice that width, wherein the aforementioned second wiring is electrically connected to the lower layer of wiring through a second connection hole having a second length greater than the aforementioned first length in a direction intersecting the direction of current flowing through the aforementioned second wiring.

[Claim 14] The semiconductor integrated circuit device of Claim 13, wherein a conductor film made from a material different from the main material of the aforementioned wiring's main part electrically connects the main part of the aforementioned upper wiring and the main part of the aforementioned lower wiring through the aforementioned connection hole.

[Claim 15] The semiconductor integrated circuit device of Claim 13, wherein the aforementioned conductor film is embedded within the aforementioned connection hole.

[Claim 16] The semiconductor integrated circuit device of Claim 14 or 15, wherein the aforementioned conductor film comprises a titanium-based first conductor film and a tungsten-based second conductor film.

[Claim 17] The semiconductor integrated circuit device of Claim 13, 14, 15, or 16, wherein the length in the direction intersecting the aforementioned first length of the aforementioned first connection hole is greater than the length in the direction intersecting the aforementioned second length of the aforementioned second connection hole.

[Claim 18] The semiconductor integrated circuit device of Claim 13, 14, 15, or 16, wherein the planar area of the aforementioned first connection hole is approximately equal to the planar area of the aforementioned second connection hole.

[Claim 19] The semiconductor integrated circuit device of Claim 13, 14, 15, or 16, wherein the direction of current flowing through the aforementioned first wiring is parallel to the extending direction of the aforementioned first wiring, and the direction of current flowing through the aforementioned second wiring is parallel to the extending direction of the aforementioned second wiring.

[Claim 20] A semiconductor integrated circuit device comprising two layers (upper and lower) of wiring, an insulation film formed between the aforementioned two layers (upper and lower), and a connection hole formed in the aforementioned insulation film that electrically connects the aforementioned two layers (upper and lower) of wiring, wherein a first wiring of the aforementioned upper layer has the minimum wiring width of the aforementioned upper layer and is configured to be electrically connected to the lower layer of wiring through a first connection hole having a first length in a direction intersecting the direction of current flowing through the aforementioned first wiring; and that a second wiring of the aforementioned upper layer is configured such that the width of the overlapping region of the aforementioned two layers (upper and lower) of wiring is greater than the minimum wiring width of the aforementioned upper layer and smaller than twice the minimum wiring width, wherein the aforementioned second wiring is electrically connected to the lower layer of wiring through a second connection hole having a second length greater than the aforementioned first length in a direction intersecting the direction of current flowing through the aforementioned second wiring.

[Claim 21] The semiconductor integrated circuit device of Claim 20, wherein a conductor film made from a material different from the main material of the aforementioned wiring's main part electrically connects the main part of the aforementioned upper wiring and the main part of the aforementioned lower wiring through the aforementioned connection hole.

[Claim 22] The semiconductor integrated circuit device of Claim 20 or 21, wherein the planar area of the aforementioned first connection hole is approximately equal to the planar area of the aforementioned second connection hole, and that the aforementioned conductor film is embedded within the aforementioned connection hole.

[Detailed explanation of the invention]

[0001]

[Technical Field to which the Invention Belongs] This invention relates to semiconductor integrated circuit device technology, particularly concerning effective techniques for connecting different wiring layers electrically in semiconductor integrated circuit devices.

[0002]

[Conventional Technology] To achieve higher integration and speed in semiconductor integrated circuit devices, the miniaturization and reduction of semiconductor elements such as MISFETs (Metal-Insulator-Semiconductor Field Effect Transistors) are being advanced, along with the adoption of a multilayer configuration structure where wiring layers and interlayer insulation films are stacked.

[0003] Different wiring layers are electrically connected by connection holes. These connection holes are formed by drilling holes in the interlayer insulation film that expose the lower layer wiring, with upper layer wiring formed within these connection holes.

[0004] The conductor film formed within this connection hole has conventionally comprised a single film made of aluminum (Al) or Al alloys, resulting in a structure composed solely of wiring materials.

[0005] However, due to demands for increased device integration and the consequent miniaturization of the elements and wiring, as well as further miniaturization of the connection holes, structures have been adopted where the conductor film formed within the connection holes consists of not only conventional wiring materials but also various other types of conductor films.

[0006] For instance, to prevent wiring disconnection failures caused by phenomena such as stress migration, or to improve adhesion with the insulation film, a structure has been adopted where a barrier metal, which is a material different from Al (e.g., titanium nitride (TiN)), is formed on the upper or lower layers of the wiring or both. In this case, the connection hole has a structure where, in addition to the conductor film made of Al, the barrier metal is also formed within the hole.

[0007] In addition, with the miniaturization of connection holes, it has become difficult to deposit materials like Al effectively within the connection holes. To compensate for this, structures have been adopted where a conductor film of a type different from Al, such as tungsten (W), which can be easily filled into the connection hole, is embedded using CVD (Chemical Vapor Deposition) technology.

[0008] It should be noted that the structures of the wiring and connection holes are described in publications such as "Semiconductor World," published by Press Journal Co., Ltd. on November 20, 1994, pages 152-157.

[0009]

[Problems to be Solved by the Invention] However, in structures where different conductor films are formed within the connection holes, the flow of Al atoms due to electromigration (EM) becomes discontinuous, leading to a greater likelihood of EM failures compared to the wiring portions.

[0010] In other words, when current flows between the upper and lower layer wiring through the connection hole, the presence of different conductor films such as tungsten or TiN prevents the flow of Al atoms due to EM, resulting in a discontinuity in the flow of Al atoms at the interface between the connection hole and the wiring.

[0011]

For that reason, at points where electrons flow out of the Al wiring from the connection hole, voids are formed due to the movement of Al atoms. Particularly, as the diameter of the connection hole decreases, even slight voids at the connection hole can lead to increased resistance or disconnection. Therefore, in future wiring technologies, enhancing EM resistance at the connection holes will become an increasingly important issue for the reliability of wiring systems.

[0012]

The objective of this invention is to provide a technique capable of improving the EM resistance of connection holes and their vicinity used to connect wiring layers.

[0013]

In addition, the objective of this invention is to provide a technique capable of improving the EM resistance of connection holes and their vicinity by embedding a conductor material or aluminum alloy different from the main part of the wiring within the connection holes used to connect wiring layers.

[0014]

The aforementioned and other objectives and novel features of this invention will become apparent from the descriptions provided in the Detailed Explanation and the accompanying figures.

[0015]

[Means for Solving the Problems] A brief overview of the representative aspects of the invention disclosed herein is as follows.

[0016]

The semiconductor integrated circuit device according to this invention is a device wherein a connection hole is arranged in an overlapping region of two layers (upper and lower) of wiring arranged parallel to each other, electrically connecting the aforementioned two layers (upper and lower) of wiring, and the area of the surface that intersects the direction of current flowing through the aforementioned wiring is larger than the area of the surface that follows the direction of the current flowing through the aforementioned wiring.

[0017] In addition, the semiconductor integrated circuit device according to this invention has a connection hole arranged in an overlapping region of two intersecting layers (upper and lower) of wiring, electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein, in the aforementioned connection hole, the area of the surface that follows the direction of current flowing through the wiring with a relatively smaller cross-sectional area among the two layers (upper and lower) of wiring is equal to or larger than the area of the surface that intersects the direction of current flowing through the wiring with the relatively smaller cross-sectional area.

[0018] In addition, the semiconductor integrated circuit device according to this invention has a connection hole arranged in an overlapping region of two intersecting layers (upper and lower) of wiring, electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein in the overlapping region of the aforementioned two layers (upper and lower) of wiring, one of the wiring's leading ends is extended parallel to the extending direction of the other wiring, superimposing both wirings, and that the area of the surface intersecting the direction of current flowing through the aforementioned wiring in the aforementioned connection hole is larger than the area of the surface along the direction of current flowing through the aforementioned wiring in the aforementioned connection hole.

[0019] In addition, the semiconductor integrated circuit device according to this invention comprises two layers (upper and lower) of wiring, an insulation film formed between the aforementioned two layers (upper and lower), and a connection hole formed in the aforementioned insulation film for electrically connecting the aforementioned two layers (upper and lower) of wiring, wherein a first wiring of the aforementioned upper layer is configured to be electrically connected to the lower layer of wiring

through a first connection hole having a first length in a direction intersecting the direction of current flowing through the aforementioned first wiring, where the aforementioned first length consists of the reference hole diameter for the connection hole formed in the aforementioned insulation film; and that a second wiring of the aforementioned upper layer has a width of the overlapping region with the aforementioned second wiring and the aforementioned lower layer of wiring that is larger than the width of the overlapping region with the aforementioned first wiring and the aforementioned lower layer of wiring, and is smaller than twice that width, wherein the aforementioned second wiring is electrically connected to the lower layer of wiring through a second connection hole having a second length greater than the aforementioned first length in a direction intersecting the direction of current flowing through the aforementioned second wiring.

[0020] In addition, the semiconductor integrated circuit device according to this invention comprises two layers (upper and lower) of wiring, an insulation film formed between the aforementioned two layers (upper and lower), and a connection hole formed in the aforementioned insulation film that electrically connects the aforementioned two layers (upper and lower) of wiring, wherein a first wiring of the aforementioned upper layer has the minimum wiring width of the aforementioned upper layer and is configured to be electrically connected to the lower layer of wiring through a first connection hole having a first length in a direction intersecting the direction of current flowing through the aforementioned first wiring; and that a second wiring of the aforementioned upper layer is configured such that the width of the overlapping region of the aforementioned two layers (upper and lower) of wiring is greater than the minimum wiring width of the aforementioned upper layer and smaller than twice the minimum wiring width, wherein the aforementioned second wiring is electrically connected to the lower layer of wiring through a second connection hole having a second length greater than the aforementioned first length in a direction intersecting the direction of current flowing through the aforementioned second wiring.

[0021] Furthermore, the semiconductor integrated circuit device according to this invention electrically connects the main parts of the upper and lower wiring layers using a conductor film and connection hole made of materials different from the materials of the main parts of the wiring.

[0022]

[Embodiments of the Invention] The embodiments of the invention will be described in detail below based on the figures (the same reference numerals will be used for elements having the same function in all the figures, and repetitive explanations will be omitted).

[0023] (Embodiment 1)

Fig. 1 is a plan diagram of a main part of the wiring system in the semiconductor integrated circuit device according to one embodiment of this invention.

Fig. 2 is a cross-sectional view of a main part taken along line II-II of Fig. 1.

Fig. 3 is a schematic cross-sectional view of a main part showing a wiring and a connection hole having an embedded conductor film that the inventors examined.

Fig. 4 is a graph comparing the relationship between current density and EM lifetime with and without an embedded conductor film in the connection hole.

Fig. 5 is a graph comparing the temperature dependence of EM lifetime with and without an embedded conductor film in the connection hole.

Fig. 6 is a graph showing variation in EM lifetime.

Fig. 7 is a photograph showing the failure location observed in a sample that experienced disconnection in an EM test.

Fig. 8 is an explanatory diagram showing the flow of electrons in the event of disconnection as shown in Fig. 7.

Fig. 9 is an explanatory diagram showing simulation results of the two-dimensional current density distribution in and around a connection hole with an embedded conductor film.

Fig. 10 is an explanatory diagram showing simulation results of current density distribution in cases where one and two connection holes with embedded conductor films are provided.

[0024] First, before explaining this embodiment of the invention, a description is provided of the reliability issues concerning connection holes that connect different wiring layers, as examined by the inventors.

[0025] The inventors focused on connection holes with a structure that includes an embedded conductor film, such as tungsten (hereinafter also referred to as a W plug), and examined their reliability. (It should be noted that the embedded conductor film inside the connection hole is referred to as a plug.)

[0026] Electromigration (EM) resistance of wirings made of aluminum (Al) or similar materials has significantly improved over the past ten (10) years by adopting multilayer structures using appropriately selected stacking materials.

[0027] In contrast, when W plugs are provided, a decrease in EM resistance is observed. A feature is that the current density dependence of the wiring lifetime determined by EM becomes smaller compared to flat wiring, and the lifetime in actual use conditions predicted from accelerated testing becomes shorter.

[0028] Failure analysis results revealed that the imbalance in supply and demand for Al atom migration caused by discontinuities in material along the current path, and current crowding near the connection hole, are causing such reductions in EM resistance.

[0029] Therefore, preventing discontinuity in metal atom migration and avoiding current crowding are considered as essential countermeasures. This is a common issue not only for W plugs but also for the reliability of connection holes in metal wiring going forward.

[0030] Fig. 3 schematically shows the structure of the wiring and W plug evaluated in this study.

Both the first layer wiring M1 and the second layer wiring M2 are formed with multilayer structures, for example, Al-copper (Cu)-silicon (Si) sandwiched between titanium nitride (TiN) and titanium (Ti).

[0031] In other words, the first layer wiring M1 is formed by stacking conductor films M1a to M1f in order from the bottom layer.

Conductor films M1a, M1c, and M1e are made of, for example, Ti; conductor films M1b and M1f are made of, for example, TiN; and conductor film M1d is made of, for example, Al-Si-Cu.

[0032] In addition, the second layer wiring M2 is formed by stacking conductor films M2a to M2e in order from the bottom layer.

Conductor films M2a and M2c are made of, for example, Ti; conductor films M2b and M2e are made of, for example, TiN; and conductor film M2d is made of, for example, Al-Si-Cu.

[0033] Inside the connection hole TH, conductor films M2a, M2b of the second layer wiring M2 and the embedded conductor film M3 are embedded. This embedded conductor film M3 is made of materials such as tungsten. The embedded conductor film M3 is formed in the connection hole TH by a combination of blanket W/CVD method and an etch-back method. The wiring width is approximately 0.6 μm , and the diameter of the connection hole TH is approximately 0.4 to 0.6 μm .

[0034] Fig. 4 compares the current density dependence of EM lifetime with and without the presence of a W plug. The current density for both cases is that at the flat part of the wiring. It can be seen at a glance that the W plug has worse EM resistance compared to the case without it. In addition, a characteristic feature is that the current density dependence of the EM lifetime of wiring with a W plug is smaller. Typically, the following Black equation is used to estimate the EM lifetime in actual usage conditions:

$$[0035] \tau = A \cdot j^{-n} \cdot \exp(Ea / kT)$$

where τ is the lifetime, A is a proportionality constant, j is the current density, Ea is the activation energy, k is the Boltzmann constant, and T is the absolute temperature.

[0036] In flat wiring where the influence of the W plug is absent, the exponent n showing this current density dependence is close to a value of 2. However, in wiring with a W plug, as seen from Fig. 4, the exponent n takes a value close to 1. There is still room for discussion regarding why the exponent n is 2 in conventional metal wiring, but a possible explanation is that the density of Al voids is proportional to the current density, and the growth rate of voids is also proportional to the current density, which results in the exponent n taking a value of 2. In the case of the W plug, however, the movement of Al voids is interrupted by the W, so the density of voids no longer becomes proportional to the current density. Instead, only the growth rate of the voids remains proportional to the current density, which may explain why the exponent n approaches a value of 1.

[0037] Fig. 5 compares the temperature dependence of EM lifetime with and without a W plug, for example, when the diameter of the connection hole is 0.6 μm . The white circles represent the case without a W plug, while the black circles indicate the case with a W plug. From Fig. 5, it can be observed that in this Embodiment 1, the temperature dependence (activation energy) when there is a connection hole (plug) is almost unchanged compared to when there is no connection hole (plug). In other words, regardless of the presence or absence of a W plug, it is clear that the EM phenomenon occurs within the wiring section.

[0038] Fig. 6 shows the variation in EM lifetime. The measurement conditions for this Fig. 6 were set to approximately 200 $^{\circ}\text{C}$ and about 30 mA, flowing electrons from the first layer wiring M1 towards the second layer wiring M2. It can be seen that the variation in the case with the W plug is small. This is interpreted as the place where disconnection occurs being in a certain Al section near the W plug, leading to less variation.

[0039] Thus, due to the smaller current density dependence of the EM lifetime of wiring containing a W plug, the estimated lifetime in usage conditions derived from these parameters using accelerated testing is shorter. The simplest workaround is to increase the number of W plugs to reduce the current density (more accurately, the current density of the metal near the W plug), but this comes with a trade-off regarding the allowable layout area.

[0040] Next, the results of observing the failure locations of samples that reached disconnection in the EM test are shown in Fig. 7. In addition, Fig. 8 schematically illustrates the direction of the current (electrons) that was applied during this case. The measurement conditions for Fig. 7 were approximately 200°C, 40 mA, with a diameter of the connection hole of about 0.6 μm , and the current flowed from the second layer wiring M2 to the first layer wiring M1 as indicated in Fig. 8, after applying stress for 830,000 seconds. It should be noted that in Fig. 8, the arrows indicate the direction of electron movement.

[0041] As seen in Fig. 7, disconnection occurs in the downstream second layer wiring M2 in the flow of electrons, and it is also near the W plug. When the polarity is reversed, and the current flows from the first layer wiring M1 to the second layer wiring M2, disconnection occurred near the W plug in the upstream first layer wiring M1. From these observations, it can be inferred that voids tend to grow on the downstream side of the W plug where there is no supply of Al atoms, leading to disconnection.

[0042] Observing the failure points like those in Fig. 7 indicates that disconnection occurs at quite specific locations, prompting attention to the current density distribution within the wiring. The results of a two-dimensional current density distribution simulation are shown in Fig. 9. For this simulation, a voltage of about 0.01 V was applied at the left end of the second layer wiring M2, while the right end of the first layer wiring M1 was set to approximately 0 V.

[0043] It can be observed that there is a concentration of current near the W plug, indicating areas of locally high current density, which coincide with the disconnection points. This result suggests that it is necessary to consider current concentration when establishing connection holes.

[0044] Fig. 10(a) and (b) show the current density distributions for cases with one W plug and for cases with two W plugs aligned with the direction of current flow, respectively. The voltages have been set so that the average current flowing through the wiring is equal in both cases. For the voltage settings in Fig. 10(a), for example, the applied voltage at the left end of the second layer wiring M2 is around 0.0138 V, while the right end of the first layer wiring M1 is approximately 0 V. In addition, for Fig. 10(b), the applied voltage at the left end of the second layer wiring M2 is set to about 0.00859 V, with the right end of the first layer wiring M1 at around 0 V.

[0045] Simply considered, in the case of having two W plugs (Fig. 10(b)), the current flowing through each W plug would be halved (1/2), thus one would expect the EM resistance to strengthen accordingly. However, as can be seen when comparing the maximum values of current density in the diagrams, this ratio does not necessarily conform to the anticipated 2:1, and caution should be taken as the improvement in EM resistance may not be as significant as expected.

[0046] Aside from W, the embedding method of the connection hole involving Al has also attracted attention. Techniques for embedding Al include high-temperature reflow, high-pressure applications, and CVD Al, among others. The advantages of Al plugs compared to W plugs are the potential simplification of the process and the reduction of plug resistance. However, regarding the increase in circuit operating speed due to this resistance reduction, it is essential to quantify its effect and weigh it against the issues arising from switching to the Al plug process.

[0047] Many reports on the Al plug process mention improvements in EM resistance. However, it is important to be cautious when considering these reports, as the Al film quality in the flat portions of the embedding process can change, and the current density at the current concentration regions mentioned above depends on the thickness and resistivity of each layer that constitutes the stack. A fair comparison should take these factors into account.

[0048] High-pressure Al embedding and Al embedding by CVD are new processes that have not yet been experienced in mass production. At this stage, it is difficult to make a clear statement, but considering the previous content, it can be inferred that current concentration will still occur with Al plugs. As long as there is discontinuity in the movement of Al atoms due to the presence of adhesive layers, it is difficult to imagine that EM resistance would improve significantly compared to W plugs.

[0049] As mentioned above, this discussion focused on W plugs and addressed issues concerning their reliability. It was clarified that EM resistance decreases due to W plugs, and the causes of this include the discontinuity in Al atom movement across the W plug and current concentration near the connection hole.

[0050] Therefore, it is preferable to prevent discontinuities in the movement of Al atoms and to reduce current concentration. These factors are common challenges when considering the EM resistance of connection holes in future metal wiring, not limited to W plugs.

[0051] Next, the semiconductor integrated circuit device of this Embodiment 1 will be explained with reference to Fig. 1 and Fig. 2.

[0052] Fig. 1 shows the state where the first layer wiring M1 and the second layer wiring M2, which extend parallel to each other, are electrically connected through a single connection hole TH1 in their overlapping region. The wiring widths of the first layer wiring M1 and the second layer wiring M2 are nearly equal, for example, about 0.6 μm .

[0053] In addition, Fig. 2 shows a cross-sectional view along line II-II of Fig. 1. The semiconductor substrate 1 is made of, for example, single-crystal Si, and semiconductor integrated circuit elements are formed in the element formation region on its main surface.

[0054] On the upper surface of the semiconductor substrate 1, an insulation film 2, made of, for example, silicon dioxide (SiO_2), is formed, and the first layer wiring M1 is formed on top of it. The first layer wiring M1 is formed by stacking conductor films M1a to M1f in order from the lower layer.

[0055] The lowermost conductor film M1a is a film primarily for improving the adhesion between the first layer wiring M1 and the insulation film 2, and for forming a good quality conductor film M1b on the upper layer of conductor film M1a. This film is made of, for example, Ti.

[0056] Conductor films M1b and M1f are barrier films primarily used to prevent wiring failure caused by stress migration, and are made, for example, of TiN. Conductor film M1c is a film primarily used to form a good quality conductor film M1d on top of conductor film M1c, and is made of, for example, Ti.

[0057] Conductor film M1d forms the main part of the wiring and is made of, for example, Al or Al-Cu-Si alloys. Conductor film M1e is, for example, made of Ti.

[0058] The first layer wiring M1 is covered with an interlayer insulation film 3. This interlayer insulation film 3 is made, for example, of SiO₂. The second layer wiring M2 is formed on the upper surface of this interlayer insulation film 3. The second layer wiring M2 is formed by stacking conductor films M2a to M2e in order from the lower layer.

[0059] The lowermost conductor film M2a is primarily for improving the adhesion between the first layer wiring M2 and the interlayer insulation film 3, and for forming a good quality conductor film M2b on top of conductor film M2a. This film is made, for example, of Ti.

[0060] Conductor films M2b and M2e are primarily barrier films used to prevent wiring failure due to stress migration and other factors. These films are made, for example, of TiN.

[0061] Conductor film M2c is primarily for forming a good quality conductor film M2d on top of conductor film M2c. It is made, for example, of Ti. Conductor film M2d forms the main part of the wiring and is made, for example, of Al or Al-Cu-Si alloys.

[0062] The connection hole TH1 is formed in the interlayer insulation film 3 using photolithography techniques and etching techniques such as dry etching. Embedded within this connection hole TH1 are conductor films M2a, M2b of the second layer wiring and the embedded conductor film M3. The embedded conductor film M3 is made, for example, of tungsten or tungsten alloys, and is formed using a combination of blanket-W-CVD method and etch-back techniques.

[0063] In other words, within the connection hole TH1, metals different from Al, which constitutes the main part of the wiring, are formed. When current flows through connection hole TH1 between the first layer wiring M1 and the second layer wiring M2, the conductor films M2a, M2b, and embedded conductor film M3 prevent the flow of Al atoms due to electromigration (EM). As a result, the flow of Al atoms is discontinuous at the interface between connection hole TH1 and the first layer wiring M1 and second layer wiring M2.

[0064] By the way, in this embodiment, the length Y of the connection hole TH1 in the direction orthogonal to the current flow is formed longer than the length X in the horizontal direction of the current flow.

[0065] In other words, the area of the surface of the connection hole TH1 perpendicular to the direction of current flow is larger than the area of the surface in the horizontal direction of current flow. This configuration allows current to be distributed across the connection hole TH1, preventing high current density from becoming localized at the connection hole TH1 and its surrounding wiring regions.

[0066] For that reason, the movement of Al atoms at the point where electrons flow out of the connection hole TH1 in the wiring system can be suppressed, thereby preventing the formation of voids near the connection hole TH1. In addition, the accumulation of Al atoms at the point where electrons flow into the connection hole TH1 can also be suppressed, preventing the formation of hillocks near the connection hole TH1.

[0067] In other words, by improving the EM resistance in the wiring system (wiring and connection hole portions), the reliability and yield of the semiconductor integrated circuit device can be improved.

[0068] (Embodiment 2) Fig. 11 shows a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device in another embodiment of this invention.

[0069] In this embodiment, as shown in Fig. 11, two connection holes TH2, TH2 are arranged in the overlapping region between the first layer wiring M1 and the second layer wiring M2 to electrically connect the first layer wiring M1 and the second layer wiring M2. These two connection holes TH2, TH2 are arranged in a direction orthogonal to the direction of current flow. It should be noted that the cross-sectional structure is the same as the one shown in Fig. 2 of the aforementioned Embodiment 1, so the explanation is omitted.

[0070] In other words, in this Embodiment 2, the connection holes TH2, TH2 that electrically connect the first layer wiring M1 and second layer wiring M2 are arranged so that the area of the surface perpendicular to the direction of current flow is larger than the area of the surface in the horizontal direction of current flow.

[0071] As a result, it is possible to disperse the current in the connection hole TH2 portion, thereby suppressing high current density from becoming localized at the connection hole TH2 and its surrounding wiring regions.

[0072] For that reason, at the point in the wiring system where electrons flow out of connection hole TH2, the movement of Al atoms can be suppressed, thus preventing the formation of voids. In addition, at the point where electrons flow into the connection hole TH2, the accumulation of Al atoms can also be suppressed, preventing the formation of hillocks.

[0073] Therefore, by improving the EM resistance in the wiring system, it becomes possible to enhance the reliability and yield of the semiconductor integrated circuit device.

[0074] (Embodiment 3) Fig. 12 is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[0075] In this Embodiment 3, it is shown that the first layer wiring M1 and the second layer wiring M2, which extend perpendicularly to each other, are electrically connected through one connection hole TH3 in their overlapping region. It should be noted that the cross-sectional structure is the same as that used in Fig. 2 of aforementioned Embodiment 1, so the explanation is omitted.

[0076] In addition, in this Embodiment 3, the lower first layer wiring M1 is formed to be narrower than the upper second layer wiring M2. Furthermore, the length X in the direction perpendicular to the current flowing in the narrower first layer wiring M1 within the connection hole TH3 is determined to achieve high EM resistance first, while the length Y in the direction perpendicular to the current flowing in the wider second layer wiring M2 is set to be equal to or greater than that length X.

[0077] In other words, in this Embodiment 3, the area of the surface perpendicular to the direction of current flowing in the narrower first layer wiring M1 within the connection hole TH3 is set to improve EM resistance.

[0078] In addition, since the area of the surface perpendicular to the direction of current flowing in the wider second layer wiring M2 within the connection hole TH3 is set to be larger than that of the first layer wiring M1, the EM resistance on the second layer wiring M2 side of connection hole TH3 is also improved.

[0079] This configuration allows for good dispersion of the current in the connection hole TH3 portion, making it possible to suppress high current density from becoming localized at the connection hole TH3 and its surrounding wiring regions.

[0080] For that reason, at the point in the wiring system where electrons flow out of connection hole TH3, the movement of Al atoms can be suppressed, thus preventing the formation of voids. In addition, at the point where electrons flow into the connection hole TH3, the accumulation of Al atoms can be suppressed, preventing the formation of hillocks.

[0081] In other words, by improving the EM resistance in the wiring system, it becomes possible to enhance the reliability and yield of the semiconductor integrated circuit device.

[0082] (Embodiment 4) Fig. 13 to Fig. 18 each represent a main part plan diagram of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention. In this Embodiment 4, the state of the wiring system in each example of Fig. 13 to Fig. 18 is the same as that of the aforementioned Embodiment 3. It should be noted that since the cross-sectional structure is the same as shown in Fig. 2 used in the explanation of the aforementioned Embodiment 1, the explanation will be omitted.

[0083] First, in the embodiment shown in Fig. 13, four connection holes TH4 are arranged at the intersections of a square lattice in the overlapping region between the first layer wiring M1 and the second layer wiring M2.

[0084] In this case, the method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3. In other words, the length of the connection holes in the direction perpendicular to the direction of current flowing through the narrower first layer wiring M1 is determined first to achieve high EM resistance, while the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be equal to that of the first layer wiring M1.

[0085] It should be noted that here, the lengths of the connection holes in the direction perpendicular to the current flowing in the second layer wiring M2 and the first layer wiring M1 are both equal to the sum of the sides of two connection holes TH4.

[0086] Next, in the embodiment shown in Fig. 14, six connection holes TH6 are arranged at the intersections of a square lattice in the overlapping region between the first layer wiring M1 and the

second layer wiring M2. The method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3.

[0087] However, from the perspective considering the effects of EM resistance, two connection holes TH5 are arranged in the width direction of the first layer wiring M1, and three connection holes TH5 are arranged in the width direction of the second layer wiring M2.

[0088] Therefore, the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be longer than the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1.

[0089] It should be noted that here, the length of the connection holes in the direction perpendicular to the current flowing in the second layer wiring M2 is the sum of the sides of three connection holes TH5, while the length of the connection holes in the direction perpendicular to the current flowing in the first layer wiring M1 is the sum of the sides of two connection holes TH5.

[0090] Next, in the embodiment shown in Fig. 15, three connection holes TH7 are arranged at both ends and corners of an L-shaped line in the overlapping region between the first layer wiring M1 and the second layer wiring M2. The method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3.

[0091] In this case, from the perspective considering the effects of EM resistance, two connection holes TH6 are arranged in the width direction of the first layer wiring M1, and two connection holes TH6 are also arranged in the width direction of the second layer wiring M2.

[0092] Therefore, the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be equal to the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1.

[0093] It should be noted that here, the length of the connection holes in the direction perpendicular to the current flowing in the second layer wiring M2 is the sum of the sides of two connection holes TH6, and the length of the connection holes in the direction perpendicular to the current flowing in the first layer wiring M1 is also the sum of the sides of two connection holes TH6.

[0094] Next, in the embodiment shown in Fig. 17, two connection holes TH7 are arranged diagonally relative to each other in the overlapping region between the first layer wiring M1 and the first layer wiring M2. The method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3.

[0095] In this case, two connection holes TH7 are arranged in such a way that they are displaced in the width direction of each of the first layer wiring M1 and the second layer wiring M2, and are placed diagonally relative to each other. Therefore, the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be equal to the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1.

[0096] It should be noted that here, the length of the connection holes in the direction perpendicular to the direction of current flowing through the second layer wiring M2 is the sum of the sides of the two connection holes TH7, and the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1 is also the sum of the sides of the two connection holes TH7.

[0097] Next, in the embodiment shown in Fig. 17, for example, three connection holes TH8 are arranged at the intersections of a triangular lattice in the overlapping region between the first layer wiring M1 and the second layer wiring M2. The method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3.

[0098] However, in this case, the adjacent connection holes TH8 are not arranged in a straight line along the current direction flowing through the second layer wiring M2 but are positioned with a displacement in the diagonal direction. From the perspective considering the effects of EM resistance, two connection holes TH8 are arranged in the width direction of the first layer wiring M1, and three connection holes TH8 are arranged in the width direction of the second layer wiring M2, which is equivalent.

[0099] Therefore, the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be longer than the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1.

[0100] It should be noted that the length of the connection holes in the direction perpendicular to the direction of current flowing through the second layer wiring M2 is the sum of the sides of three connection holes TH8, while the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1 is the sum of the sides of two connection holes TH8.

[0101] Next, in the embodiment shown in Fig. 18, for example, four connection holes TH9 are arranged at the intersections of a parallelogram-shaped lattice in the overlapping region between the first layer wiring M1 and the second layer wiring M2. The method of setting the length of the connection holes is the same as in the aforementioned Embodiment 3.

[0102] However, in this case, the adjacent connection holes TH9 are not arranged in a straight line along the current direction flowing through the second layer wiring M2, but are positioned with a displacement in the diagonal direction.

[0103] From the perspective considering the effects of EM resistance, two connection holes TH9 are arranged in the width direction of the first layer wiring M1, and four connection holes TH9 are arranged in the width direction of the second layer wiring M2, which is equivalent.

[0104] Therefore, the length of the connection holes in the direction perpendicular to the direction of current flowing through the wider second layer wiring M2 is set to be longer than the length of the connection holes in the direction perpendicular to the direction of current flowing through the first layer wiring M1.

[0105] In the embodiments shown in Fig. 13 to Fig. 18, as in the aforementioned Embodiment 3, it is possible to improve the EM resistance of the wiring system, thereby enhancing the reliability and yield of the semiconductor integrated circuit device.

[0106] (Embodiment 5) Fig. 19 is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[0107] In this Embodiment 5, as shown in Fig. 19, the first layer wiring M1 and the second layer wiring M2, which are orthogonal to each other, are electrically connected via connection hole TH10.

[0108] In this Embodiment 5, for example, the first layer wiring M1 at the lower layer is formed thinner than the second layer wiring M2 at the upper layer. Since the cross-sectional structure is the same as the Fig. 2 used in the description of aforesaid Embodiment 1, the explanation is omitted.

[0109] However, in this Embodiment 5, for example, the tip of the second layer wiring M2 overlaps parallel to the tip of the first layer wiring M1 at the lower layer, and is formed extending in the direction of extension of the first layer wiring M1. Two connection holes TH10 are arranged in the width direction of the first layer wiring M1 in the overlapping region of the extended portion of the second layer wiring M2 and the first layer wiring, which are parallel to each other.

[0110] In other words, in this Embodiment 5, connection holes are not arranged in the orthogonal intersection region of the first layer wiring M1 and the second layer wiring M2, but rather, a region where they intersect in parallel is formed and the connection hole TH10 is arranged in that region. By this way, when arranging the connection hole TH10, it eliminates the need to consider two directions of wiring as in aforesaid Embodiment 3, making it easier to set and arrange the connection hole TH10.

[0111] Therefore, in this Embodiment 5, the number of connection holes TH10 can be set based on the one of the first layer wiring M1 or second layer wiring M2 with the higher current.

[0112] Thus, in this Embodiment 5, in addition to the effects obtained in aforesaid Embodiment 1, an effect of making it easier to set and arrange the connection hole TH10 can be achieved.

[0113] (Embodiment 6) Fig. 20(a),(b) show a main part cross-sectional view of a semiconductor integrated circuit device of another embodiment of this invention, and Fig. 21 to Fig. 24 are cross-sectional diagrams of main parts of the wiring system formation process of the semiconductor integrated circuit device shown in Fig. 20(a).

[0114] In the semiconductor integrated circuit device of this Embodiment 6, as shown in Fig. 20(a), the structure of the first layer wiring M1, connection hole TH1, and the second layer wiring M2 differs from the structure of the aforesaid Embodiment 1. In other words, the first layer wiring M1 is formed by stacking conductor films M1g to M1i in order from the lower layer, the second layer wiring M2 is formed by stacking conductor films M2g to M2i in order from the lower layer, and in the connection hole TH1, the conductor film M2g of the second layer wiring and the embedded conductor film M3 are embedded.

[0115] The thinnest conductor film M1g at the bottom of the first layer wiring M1 is, for example, a film primarily intended to improve the adhesion between the first layer wiring M1 and the insulation film 2, and is a film for forming a good-quality conductor film M1h on top of the conductor film M1g, such as Ti or TiN. In addition, the intermediate thick conductor film M1h is the film that constitutes the main part of the wiring, and is made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy. The topmost thin conductor film M1i is made of, for example, TiN.

[0116] The thinnest conductor film M2g at the bottom of the second layer wiring M2 is, for example, a film primarily intended to improve the adhesion between the second layer wiring M2 and the interlayer insulation film 3, and is a film for forming a good-quality conductor film M2h on top of the conductor film M2g, such as Ti, TiN, or a laminated film of Ti and TiN. In addition, the intermediate thick conductor film M2h is the film that constitutes the main part of the wiring, and is made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy. The topmost thin conductor film M2i is made of, for example, TiN.

[0117] The embedded conductor film M3 in connection hole TH1 is made of materials such as tungsten (W) or tungsten alloys, and as described later, it is formed using a combination of methods such as blanket W CVD and etch-back techniques.

Therefore, in this Embodiment 6, a metal different from Al (conductor film M2h, M1h) that constitutes the main part of the wiring is embedded in connection hole TH1. For this reason, when current flows through the connection hole TH1 formed between the first layer wiring M1 and the second layer wiring M2, the conductor film M2g and embedded conductor film M3 block the flow of Al atoms caused by electromigration (EM), causing the flow of Al atoms to become discontinuous at the interface between connection hole TH1 and the first layer wiring M1 and the second layer wiring M2.

[0118] However, in this Embodiment 6, using the same method as in the aforementioned Embodiments 1 to 5, the current can be dispersed at the connection hole TH1, which prevents the current density from becoming locally high at the connection hole TH1 and its nearby wiring portions. For this reason, in the wiring system (wiring and connection hole parts), the movement of Al atoms can be suppressed at the locations where electrons flow out of connection hole TH1, and the formation of voids near connection hole TH1 can be prevented. In addition, since the accumulation of Al atoms at the points where electrons flow into the connection hole TH1 can be suppressed, the formation of hillocks near connection hole TH1 can also be prevented.

[0119] Therefore, in this Embodiment 6, the EM resistance of the wiring system that constitutes the semiconductor integrated circuit device can be improved, which can enhance the reliability and yield of the semiconductor integrated circuit device.

[0120] Next, the embedding method of connection holes in the semiconductor integrated circuit device will be explained using Fig. 21 to Fig. 24, as an example of the manufacturing process of the semiconductor integrated circuit device shown in Fig. 20(a).

[0121] Fig. 21 shows a cross-sectional view of a main part during the manufacturing process of the semiconductor integrated circuit device. The semiconductor substrate 1 is made of, for example, single-crystal Si, and predetermined semiconductor integrated circuit elements are formed in the element formation region on its main surface. An insulation film 2, made of materials such as silicon dioxide (SiO₂), is formed on the upper surface of the semiconductor substrate 1, and the first layer wiring M1 is

formed on top of it. This first layer wiring M1 is formed by stacking conductor films M1g to M1i in order from the lower layer. Also, an interlayer insulation film 3, made of materials such as silicon dioxide (SiO₂), is formed on the top surface of insulation film 2, covering the surface of the first layer wiring M1.

[0122] First, as shown in Fig. 22, a connection hole TH1 is formed at a predetermined position of the interlayer insulation film 3 so that the top surface of the first layer wiring M1 (the top surface of conductor film M1i) is exposed, using photolithography and dry etching techniques.

[0123] Next, as shown in Fig. 23, a thin conductor film M2g made of, for example, Ti or TiN is formed on the semiconductor substrate 1 by sputtering or a similar method. After that, a thick embedded conductor film M3 made of, for example, tungsten or a tungsten alloy is formed on the thin conductor film M2g using a CVD method or the like. At this stage, the embedded conductor film M3 is formed not only inside the connection hole TH1 but also in the area outside the connection hole TH1.

[0124] By forming the embedded conductor film M3 via the CVD method such that its film thickness becomes greater than half (1/2) the diameter l of the hole to be filled, the embedded conductor film can be embedded into the connection hole TH1.

[0125] Thereafter, by removing the upper layer portion of the embedded conductor film M3, for example by a CMP (Chemical Mechanical Polishing) method or an anisotropic dry etching method, as shown in Fig. 24, the embedded conductor film M3 is left only inside the connection hole TH1. It should be noted that, in this case, the conductor film M2g remains on the interlayer insulation film 3.

[0126] After that, as shown in Fig. 20, a thick conductor film M2h made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy is formed on the conductor film M2g and embedded conductor film M3 by a sputtering method or the like. Then, a thin conductor film M2i made of, for example, TiN is formed on its top surface by a sputtering method. Furthermore, the conductor films M2h and M2i are patterned using photolithography and dry etching techniques to form the second layer wiring M2.

[0127] It should be noted that, as shown in Fig. 20(b), the embedded conductor film M3 may also be formed of Al (an Al plug). The conductor films M1g, M1i, M2g, and M2i are composed of, for example, Ti, TiN, or a laminated film of Ti and TiN. Even in this case, the main parts of the wiring, which are composed of Al (i.e., conductor films M2h and M1h), are connected via conductor films M2g and M1i that are made of materials different from Al (conductor films M2h and M1h). For this reason, when current flows through the connection hole TH1 formed between the first layer wiring M1 and the second layer wiring M2, the conductor films M2g and M1i block the flow of Al atoms due to electromigration (EM), resulting in a discontinuity in the flow of Al atoms at the interfaces between the connection hole TH1 and the first layer wiring M1 as well as the second layer wiring M2. However, by adopting the same approach as in any of the aforesaid Embodiments 1 to 5, the EM resistance can similarly be improved.

[0128] (Embodiment 7) Fig. 25 is a cross-sectional diagram of a main part of a semiconductor integrated circuit device according to another embodiment of this invention.

[0129] In the semiconductor integrated circuit device of Embodiment 7, as shown in Fig. 25, the structure of the first layer wiring M1, the connection hole TH1 portion, and the second layer wiring M2 differs from that of the aforesaid Embodiment 1. In other words, the first layer wiring M1 is formed by stacking conductor films M1j, M1k, and M1m in order from the lower layer, and the second layer wiring M2 is formed by stacking conductor films M2j, M2k, M2m, and M2n in order from the lower layer. Furthermore, the conductor films M2j and M2k of the second layer wiring M2 are embedded within the connection hole TH1.

[0130] The lowermost thin conductor film M1j of the first layer wiring M1 is, for example, mainly intended to improve the adhesion between the first layer wiring M1 and the insulation film 2, and also to allow the formation of a high-quality conductor film M1k on its upper layer. It is made of, for example, Ti or TiN. In addition, the intermediate thick conductor film M1k constitutes the main part of the wiring and is made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy. The uppermost thin conductor film M1m is made of, for example, TiN.

[0131] The lowermost thin conductor film M2j of the second layer wiring M2 is, for example, primarily intended to improve the adhesion between the second layer wiring M2 and the interlayer insulation film 3, and to form a high-quality conductor film M2k on its upper layer. It is made of, for example, Ti or TiN. In addition, the conductor film M2k on its upper layer constitutes the main part of the wiring and is made of, for example, tungsten or a tungsten alloy. A portion of this conductor film M2k is embedded inside the connection hole TH1. In addition, the conductor film M2m on the upper layer constitutes the main part of the wiring and is made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy. The uppermost thin conductor film M2n is made of, for example, TiN.

[0132] In this Embodiment 7, as well, a metal different from Al, which constitutes the main part of the wiring, is embedded inside the connection hole TH1. For this reason, when current flows between the first layer wiring M1 and the second layer wiring M2 through the connection hole TH1, the conductor films M2j and M2k block the flow of Al atoms due to electromigration (EM), resulting in a discontinuity in the flow of Al atoms at the interfaces between the connection hole TH1 and the first layer wiring M1 as well as the second layer wiring M2.

[0133] However, in Embodiment 7, by adopting a similar structure to the aforementioned Embodiments 1 to 5, the current can be dispersed in the connection hole TH1, and the current density in the vicinity of the connection hole TH1 and its surrounding wiring can be suppressed from becoming locally high. For this reason, the movement of Al atoms at the location where electrons flow out from the connection hole TH1 in the wiring system can be suppressed, and the formation of voids near the connection hole TH1 can be prevented.

Also, since the accumulation of Al atoms at the location where electrons flow into the connection hole TH1 can be suppressed, the formation of hillocks near the connection hole TH1 can also be prevented. [0134] Therefore, in this Embodiment 7, the electromigration (EM) resistance of the wiring system constituting the semiconductor integrated circuit device can be improved, thereby improving the reliability and yield of the semiconductor integrated circuit device.

[0135] To form such a structure, first, the thin conductor film M2j is formed, then a conductor film made of, for example, tungsten or a tungsten alloy is formed on its upper surface by a CVD method or the like. The upper portion of this conductor film is then removed using a CMP method or an anisotropic dry etching method so that the conductor film remains on the interlayer insulation film 3. This forms the conductor film M2k. After that, a thick conductor film M2m made of, for example, Al, Al-Cu alloy, or Al-Cu-Si alloy is formed on top of the conductor film M2k by sputtering or the like. Then, a thin conductor film M2n made of, for example, TiN is formed on the upper surface of M2m by sputtering. Finally, the conductor films M2k, M2m, and M2n are patterned using photolithography and dry etching techniques to form the second layer wiring M2.

[0136] (Embodiment 8) Fig. 26 to Fig. 33 are plan diagrams of the main part of the wiring structure of a semiconductor integrated circuit device according to another embodiment of this invention. Fig. 34 to Fig. 36 are simulation diagrams of the current distribution in the connection hole portion.

[0137] The wiring structure of the semiconductor integrated circuit device in Embodiment 8 will be explained below with reference to Fig. 26 to Fig. 33. Fig. 26 to Fig. 33 show plan diagrams of the wiring system provided in a single semiconductor integrated circuit device, where each diagram shows a connection hole TH formed simultaneously in the interlayer insulation film 3, and an embedded conductor film M3 simultaneously embedded in the connection hole TH (a connection hole of the same layer). In other words, Fig. 26 to Fig. 33 illustrate a case where multiple second layer wirings M2 with different wiring widths W are formed on the interlayer insulation film 3, and connection holes TH are formed in the interlayer insulation film 3. It should be noted that since the cross-sectional structure of the connection hole portion is the same as the one explained in the aforementioned Embodiments 1, 6, 7, such as Fig. 2, Fig. 20, or Fig. 25, the explanation is omitted here. In other words, the connection hole TH has an embedded conductor film M3, just as in the aforementioned Embodiments 1, 6, and 7.

[0138] Fig. 26 shows a state where the first layer wiring M1 and the second layer wiring M2, which extend perpendicular to each other, are electrically connected through a single connection hole TH11 in their overlapping region. In this case, both the first layer wiring M1 and the second layer wiring M2 are the minimum width wirings, and for each of them, the wiring width is the same at both parts where the connection hole TH11 is located and where it is not, and the overall shape of both wirings is a band shape with equal width.

[0139] In addition, in Fig. 26, the symbol α indicates the alignment tolerance between the connection hole TH11 and the first layer wiring M1 and the second layer wiring M2. The wiring widths W0 and W1 of the aforementioned first layer wiring M1 and second layer wiring M2 are set to satisfy the following relationships between the length X1, Y1 of the connection hole TH11 and the alignment tolerance α :

$$W0 = X1 + 2\alpha,$$

$$W1 = Y1 + 2\alpha.$$

These wiring widths W0 and W1 need only satisfy the above conditions and are not particularly limited, but for example, they are approximately 0.4 μm .

[0140] In addition, in this case, the connection hole TH11 is a connection hole with the minimum dimensions (i.e., the reference hole diameter for the connection hole formed in the interlayer insulation film 3). The length X1 of the second layer wiring M2 in the extending direction and the length Y1 orthogonal to the extending direction of the second layer wiring M2 are nearly equal ($X1 = Y1$), and the overall shape in the design is square. The lengths X1 and Y1 are, for example, approximately 0.32 μm . In other words, $W1 = W0$. It should be noted that the shape of the connection hole TH11 will actually be rounded (e.g., circular or elliptical) in a state of being transferred.

[0141] Fig. 27 shows a state where the first layer wiring M1 and the second layer wiring M2, which extend parallel to each other, are electrically connected through a single connection hole TH11 in their overlapping region. In this case, both the first layer wiring M1 and the second layer wiring M2 are the minimum width wirings, and for each of them, the wiring width is the same at both parts where the connection hole TH11 is located and where it is not, and the overall shape of both wirings is a band shape with equal width.

[0142] The wiring widths W1 of the first layer wiring M1 and second layer wiring M2 are equal to each other, and are set to satisfy the relationship with the dimension Y1 of the connection hole TH11 and the alignment tolerance α as follows:

$$W1 = Y1 + 2\alpha.$$

The wiring width W1 needs only satisfy the above condition and is not particularly limited, but for example, it is approximately 0.4 μm .

[0143] In addition, in this case, the connection hole TH11 is the connection hole with the minimum dimensions, and the length X1 of the second layer wiring M2 in the extending direction and the length Y1 orthogonal to the extending direction of the second layer wiring M2 are nearly equal, and the overall shape in the design is square. However, the shape of the connection hole TH11 will be rounded (e.g., circular or elliptical) in a state of being actually transferred, as described in the previous case.

[0144] Fig. 28 shows a state where the first layer wiring M1 and second layer wiring M2, which extend perpendicular to each other, are electrically connected through a single connection hole TH12 in their overlapping region. In the first layer wiring M1 and second layer wiring M2, the wiring widths W0 and W2 are equal at both the parts where the connection hole TH12 is located and where it is not, and the overall shape of both wirings is a band shape with equal width. In Fig. 28, the wiring width W0 ($W0 = W1$) of the first layer wiring M1 is the minimum width, as in the case of Fig. 26, but the wiring width W2 of the second layer wiring M2 is larger than the minimum width and smaller than twice the minimum width, that is, $2W1 - \alpha > W2 > W1$. This wiring width W2 of the second layer wiring M2 is set to satisfy the condition $W2 = Y2 + 2\alpha$, in relation to the length Y2 of the connection hole TH12 and

the allowance α . In other words, the relationship $2Y1 + \alpha > Y2 > Y1$ is satisfied. Thus, the width of the overlapping region between the second layer wiring M2 with wiring width W2 and the first layer wiring M1 is larger than the width of the overlapping region between the second layer wiring M2 with wiring width W1 and the first layer wiring M1, and it is configured to be smaller than twice that width. The wiring width W2 and the dimension Y2 are not particularly limited, as long as they satisfy the above condition, but for example, the wiring width W2 is approximately 0.6 μm .

[0145] In addition, in this case, the connection hole TH12 has a length Y2 in the direction perpendicular to the extending direction of the second layer wiring M2 that is longer than the length X2 in the extending direction of the second layer wiring M2. In other words, in the connection hole TH12, the area of the surface perpendicular to the direction of current flowing through the second layer wiring M2 is set to be larger than the area of the surface perpendicular to the direction of current flowing through the first layer wiring M1.

[0146] Currently, in the design of semiconductor integrated circuit devices, the low allowable current value (EM resistance) of the wiring with connection holes has become a significant issue. In stacked wiring using high-melting-point materials and Al alloy layers, which have been used since the submicron process, the Al alloy layer between the upper and lower wirings is always discontinuous at the connection hole. Therefore, the current tends to concentrate in the wiring portion near the connection hole, causing voids (or hillocks) to form, which significantly lowers the allowable current value. For this reason, alleviating this current concentration is a key point in improving EM resistance, that is, improving the allowable current value.

[0147] In this Embodiment 8, since the area of the surface perpendicular to the direction of current flowing through the second layer wiring M2 at the connection hole TH12 is set to be larger than the area of the surface perpendicular to the direction of current flowing through the first layer wiring M1, it is possible to improve the EM resistance on the second layer wiring M2 side of the connection hole TH12 and thereby increase the allowable current value.

[0148] By the way, to improve EM resistance, it is advantageous to have a larger planar area for the connection hole, and it is better to mix connection holes of various diameters between fine wiring parts and power supply wiring. However, in the process of embedding a conductor film in the connection hole, if the dimensions of the connection holes in the same layer differ, problems such as the following may arise.

[0149] First, as shown in the aforementioned Embodiment 6, when embedding a conductor film in the connection hole TH using etch back or similar methods, the etching rate of the embedded conductor film differs depending on the size of the connection hole's diameter. Specifically, the embedded conductor film within a connection hole that has a relatively large diameter is more likely to peel off compared to the embedded conductor film within a connection hole that has a relatively small diameter. For this reason, arranging connection holes of various diameters can lead to an increase in peeling of the embedded conductor film, and the peeled embedded conductor film may become foreign matter, resulting in decreased yield.

Second, if the diameters of connection holes in the same layer differ, the growth rate of the conductor film during the embedding process varies according to the diameter of each connection hole, causing the state (height, thickness, etc.) of the embedded conductor film to differ for each connection hole. Due to these factors, the current layout rules only permit one type of diameter for connection holes in the same layer.

[0150] Therefore, ideally, to increase the allowable current, it would be effective to arrange multiple small-diameter connection holes (for example, connection holes with the minimum diameter) in the wiring width direction.

This approach would allow for an increase in the allowable current while also mitigating the issues of peeling of the embedded conductor film. However, in the case shown in Fig. 28, since the wiring width W_2 of the second layer wiring M_2 is smaller than twice the minimum line width W_1 , meaning that the relationship $2W_1 - \alpha > W_2$ holds, it is not possible to place two minimum-diameter connection holes TH11 side by side in the wiring width direction. In other words, if the wiring width W satisfies $W \geq 2Y_1 + 3\alpha = 2W_1 - \alpha$, then two minimum-diameter connection holes TH11 can be arranged side by side. However, if the wiring width W is less than $2Y_1 + 3\alpha$, two minimum-diameter connection holes TH11 cannot be arranged side by side. Thus, the overlapping region width between the second layer wiring M_2 with wiring width W_2 and the first layer wiring M_1 is larger than the overlapping region width between the second layer wiring M_2 with wiring width W_1 and the first layer wiring M_1 , yet still constructed to be smaller than twice that width.

[0151] Here, in the case of Fig. 28, considering the improvement of EM resistance and increasing the allowable current at the connection hole, it is conceivable to make the length in the width direction of the second layer wiring M_2 at the connection hole longer than the length in the extending direction of the second layer wiring M_2 . However, simply setting dimensions in this way would leave unresolved issues such as the peeling of the embedded conductor film mentioned above. On the other hand, if only one minimum-diameter connection hole TH11 is arranged while considering the peeling problem of the embedded conductor film, the allowable current value at the connection hole would not differ greatly from that in the case shown in Fig. 26, resulting in a degraded structure.

[0152] Thus, in this Embodiment 8, the length Y_2 at the connection hole TH12 is made longer than the length X_2 , while ensuring that its planar area is approximately the same as the planar area of the minimum-diameter connection hole TH11 ($X_1 \times Y_1 = X_2 \times Y_2$). In other words, at the connection hole TH12, the length Y_1 of the minimum-diameter connection hole TH11 is extended to become length Y_2 , and the length X_1 of the minimum-diameter connection hole TH11 is shortened by the same amount to become length X_2 .

[0153] This allows for the maintenance of the current concentration mitigation effect while also making the etching rate of the embedded conductor film in connection hole TH12 approximately equal to that of the normal square connection hole TH11. For this reason, it is possible to improve EM resistance (allowable current value) and avoid issues related to peeling of the embedded conductor film.

[0154] In this way, when multiple second layer wirings M_2 with different wiring widths W_1 and W_2 are arranged on the interlayer insulation film 3, a connection hole with wiring width W_1 is formed at

connection hole TH11, and a connection hole with wiring width $W2$ ($2W1 - \alpha > W2 > W1$) is formed at connection hole TH12, thus improving EM resistance.

[0155] Although it is not particularly limited, the length $X2$ of connection hole TH12 is approximately $0.2 \mu\text{m}$, and the length $Y2$ is approximately $0.5 \mu\text{m}$. The shape of connection hole TH12 will have a rounded configuration in the actual transferred state, similar to the above. Connection hole TH12, as shown in Fig. 28, is effective, for example, at the connection point between minimum line width wiring and power supply wiring.

[0156] Fig. 29 shows a state where first layer wiring M1 and second layer wiring M2, which extend parallel to each other, are electrically connected through a single connection hole TH12 in their overlapping region. The wiring widths $W2$ of both first layer wiring M1 and second layer wiring M2 are equal. Other than that, since it is the same as in the case of Fig. 28, the explanation is omitted.

[0157] Fig. 30 shows a state where first layer wiring M1 and second layer wiring M2, which extend perpendicularly to each other, are electrically connected through two identical-sized connection holes TH11 (the same as in Fig. 26) in their overlapping region. The two connection holes TH11 are arranged along a direction that is orthogonal to the direction of current flow. In other words, the connection holes TH11 are arranged such that the area of the surface oriented perpendicular to the direction of current flowing in the relatively larger cross-sectional area of second layer wiring M2 is greater than the area of the surface oriented horizontally in the direction of current flow in the relatively larger cross-sectional area of second layer wiring M2. This arrangement allows for improved EM resistance at the connection between first layer wiring M1 and second layer wiring M2, thereby increasing the allowable current value. In addition, since the arranged connection holes TH11 are the same as those in Fig. 26, issues such as peeling of the embedded conductor film during the process of embedding the conductor film within the connection hole do not arise.

[0158] In Fig. 30, the wiring width $W0$ of first layer wiring M1 is the same as the minimum line width in the case of Fig. 26, while the wiring width $W3$ of second layer wiring M2 is larger than twice the minimum line width. In both first layer wiring M1 and second layer wiring M2, the wiring widths $W0$ and $W3$ are uniform in sections where the two connection holes TH11 are arranged and where they are not, resulting in an overall band-like shape with equal widths. The wiring width $W3$ of second layer wiring M2 is set to satisfy the condition $W3 = 2Y1 + 2\alpha + \beta$ in relation to the lengths of connection hole TH11 $Y2$ and the allowances α and β . This wiring width $W3$ need only satisfy the aforementioned condition and is not particularly limited; for example, it may be approximately $0.8 \mu\text{m}$. It should be noted that the allowance β is the alignment allowance between connection holes TH11 and is equal to the alignment allowance α .

[0159] Fig. 31 shows a state where first layer wiring M1 and second layer wiring M2, which extend parallel to each other, are electrically connected through two connection holes TH11 in their overlapping region. The wiring widths W3 of both first layer wiring M1 and second layer wiring M2 are equal. Other than that, since it is the same as in the case of Fig. 30, the explanation is omitted.

[0160] In this way, when multiple second layer wirings M2 with different wiring widths W1, W2, W3 are arranged on the interlayer insulation film 3, a connection hole TH11 is formed based on the minimum hole diameter (reference hole diameter) on the interlayer insulation film 3. By providing a connection hole TH11 or a connection hole TH12 with a nearly the same planar area as connection hole TH11 according to the wiring width, the EM resistance of the wiring can be improved. It should be noted that when the wiring width of second layer wiring M2 is greater than or equal to W3, various arrangements of connection holes TH are possible within the scope that does not change the essence of this invention.

[0161] In Fig. 32(a), instead of arranging two connection holes TH11 as in Fig. 30, a rectangular connection hole TH13 is arranged. In this case, the length Y2 of connection hole TH13 in the direction perpendicular to the extension direction of second layer wiring M2 is longer than the length X2 in the extension direction of second layer wiring M2. In other words, the area of the surface perpendicular to the direction of current flow in the wider second layer wiring M2 within connection hole TH13 is set to be larger than the area of the surface perpendicular to the current direction in the first layer wiring M1.

[0162] In addition, the length Y3 of connection hole TH13 is made longer than the length X3, but its planar area is made almost the same as the planar area of the minimum-sized connection hole TH11. In other words, in connection hole TH13, the length Y1 of the minimum-sized connection hole TH11 is extended to length Y3, and the length X1 of the minimum-sized connection hole TH11 is shortened to length X3 by the same amount.

[0163] With these adjustments, while maintaining the current concentration mitigation effect, it is possible to make the etching rate of the embedded conductor film embedded within connection hole TH13 nearly the same as that of the normal square connection hole TH11. It is possible to improve the EM resistance (tolerable current value) and avoid issues such as the peeling of the embedded conductor film.

[0164] Although it is not particularly limited, the length X3 of connection hole TH13 may be approximately 0.43 μm , and the length Y3 may be approximately 0.21 μm . The shape of connection hole TH13 in its actual transferred state will be rounded as described above.

[0165] Fig. 32(b) shows the state where first layer wiring M1 and second layer wiring M2, extending parallel to each other, are electrically connected through a single connection hole TH13 in their overlapping region. The wiring widths W3 of both first layer wiring M1 and second layer wiring M2 are equal. Since this is the same as in the case of Fig. 32(a), the explanation is omitted.

[0166] Fig. 33 shows an example of wiring widths where the second layer wiring M2 has a wiring width W4 larger than wiring width W3, to the point that two connection holes TH12 cannot be arranged in parallel. In this case, by arranging connection holes TH11 and TH12 in parallel, the EM resistance can be improved. Naturally, if the wiring width W4 allows two connection holes TH12 to be arranged in parallel, it is also acceptable to arrange two connection holes TH12 in parallel.

[0167] According to Embodiment 8, it is possible to improve the EM resistance of the wiring connection part, and by avoiding issues such as the peeling of the embedded conductor film inside the connection hole, it is possible to improve the yield and reliability of semiconductor integrated circuit devices.

[0168] Next, the simulation results of the current density distribution in the connection hole part will be explained with reference to Fig. 34 to Fig. 36. Fig. 34 is a perspective diagram of the outer shape of the simulated orthogonal wiring. In other words, first layer wiring M1 and second layer wiring M2 are formed in directions orthogonal to each other, and the connection hole TH is placed in the overlapping

area between them. The two wirings are electrically connected through this connection hole. The width of the first layer wiring M1 is approximately 0.6 μm , and the width of the second layer wiring M2 is approximately 1 μm .

[0169] Fig. 35 shows the simulation results for the case in Fig. 28. The hatching indicates the current density distribution, with the intensity of the hatching corresponding to the density of the current. In Fig. 36, the simulation results are shown for the case where the connection hole has a square shape. In Fig. 36, the regions of current density that are almost the same as in Fig. 35 are marked with the same hatching. From Figs. 35 and 36, it can be seen that a connection hole with a rectangular shape results in a more relaxed current concentration compared to a connection hole with a square shape. In other words, in Fig. 36, there are regions with high current density at the edges of the connection hole, whereas in Fig. 35, there is no corresponding current density distribution.

[0170] Fig. 51 is a cross-sectional diagram of the main part of the semiconductor integrated circuit device of this embodiment. The MISFET transistor Tr has a pair of n-type semiconductor regions 10 as the source and drain, a gate insulation film 12, and a gate electrode 14. The semiconductor regions 10 are formed within the substrate 1, and the region under the gate insulation film 12 between the semiconductor regions 10 serves as the channel formation region. The gate insulation film 12 is formed on the main surface of the substrate 1, and the gate electrode 14 is formed on top of the gate insulation film 12. The first layer wiring M1 is formed on the insulation film 2, and the first layer wiring M1 is electrically connected to the semiconductor regions 10 or the gate electrode 14 of the MISFET transistor Tr via the connection hole THa formed in the insulation film 2. An embedded conductor film M0 is formed inside the connection hole THa. The second layer wiring is formed on the interlayer insulation film 3, and the second layer wiring is electrically connected to the first layer wiring M1 via the connection hole TH6 formed in the interlayer insulation film 3. An embedded conductor film M3 is formed inside the connection hole TH6. A third layer wiring M10 is formed on the interlayer insulation film 6, and the third layer wiring M10 is electrically connected to the second layer wiring M2 via the insulation hole THc formed in the interlayer insulation film 6. An embedded conductor film M12 is formed inside the connection hole THc. It should be noted that the insulation films 2, interlayer insulation films 6, and 8 are flattened on their surfaces, for example, by CMP or similar methods. Fig. 26 to Fig. 36 mainly explain the connection hole TH between the second layer wiring M2 and the first layer wiring M1. However, similar connection holes are also formed between the second layer wiring M2 and higher layer wiring, such as the connection hole between the second layer wiring M2 and the third layer wiring M3.

[0171] (Embodiment 9) Fig. 37 to Fig. 44 are the plan diagrams of the main part of the wiring for explaining the wiring structure of a semiconductor integrated circuit device of another embodiment of this invention.

[0172] In Embodiment 9, the case where the part of the wiring where the connection hole is placed is formed to be wider (dockbone shape) compared to other parts is explained. Other than this, it is the same as the aforementioned Embodiment 8.

[0173] Fig. 37 shows a state in which the first layer wiring M1 and second layer wiring M2, extending perpendicularly to each other, are electrically connected through a single connection hole TH11 in their overlapping region. In this case, both the first layer wiring M1 and second layer wiring M2 are wired with minimal line widths, and the width of the parts where the connection hole TH11 is placed is wider than the width of the parts where it is not placed.

[0174] The width of the wide portions of the first layer wiring M1 and second layer wiring M2 corresponds to the wiring widths W0 and W1 described in aforementioned Embodiment 8, and these wiring widths W0 and W1 are set to satisfy the conditions $W0 = X1 + 2\alpha$ and $W1 = Y1 + 2\alpha$ in relation to the lengths X1 and Y1 of the connection hole TH11, along with the allowance α . The wiring widths W0 and W1 only need to satisfy the above conditions and are not particularly limited; for example, they can be around 0.4 μm . In addition, the narrow portions of the first layer wiring M1 and second layer wiring M2 have wiring widths W00 and W10 that are equal to each other, and are set to satisfy the conditions $W00 = W0 - 2\alpha$ and $W10 = W1 - 2\alpha$ in relation to the wide portions' wiring widths W0 and W1.

[0175] In addition, the connection hole TH11 in this case is the minimal dimension connection hole, with the length X1 in the extending direction of the second layer wiring M2 and the length Y1 perpendicular to that extending direction being approximately equal, resulting in an overall square shape in its design. The lengths X1 and Y1 can be around 0.32 μm , for example. It should be noted that the shape of the connection hole TH11 will appear rounded in a state of being actually transferred.

[0176] Fig. 38 shows a state in which the first layer wiring M1 and second layer wiring M2, extending parallel to each other, are electrically connected through a single connection hole TH11 in their overlapping region. Other than this, the explanation is omitted as it is the same as in the case of Fig. 37.

[0177] Fig. 39 shows a state in which the first layer wiring M1 and second layer wiring M2, extending perpendicularly to each other, are electrically connected through a single connection hole TH12 in their overlapping region. In the case of Fig. 39, the width of the part where the connection hole TH12 is placed is also wider than the width of the parts where it is not placed for both the first layer wiring M1 and second layer wiring M2.

[0178] The first layer wiring M1 has the same minimal line width as in the case of Fig. 37, while the wide portion of the second layer wiring M2 has a wiring width W2 that is greater than the minimal line width and smaller than twice the minimal line width. The wiring width W2 of the wide portion of the second layer wiring M2 is set to satisfy the condition $W2 = Y2 + 2\alpha$ in relation to the length Y2 of the connection hole TH12 along with the allowance α . This wiring width W2 only needs to satisfy the conditions mentioned above and is not particularly limited; for example, it can be around 0.6 μm . In addition, the narrow portion of the second layer wiring M2 has a wiring width W20 that is set to satisfy the condition $W20 = W2 - 2\alpha$ in relation to the wide portion's wiring width W2.

[0179] In addition, in this case, the length Y2 in the direction perpendicular to the extending direction of the second layer wiring M2 is longer than the length X2 in the extending direction of the second layer wiring M2 for the connection hole TH12. In other words, in the connection hole TH12, the area of the surface perpendicular to the direction of current flowing through the wide wiring of the second layer wiring M2 is set to be larger than the area of the surface perpendicular to the direction of current flowing through the first layer wiring M1. This configuration allows for an improvement in the EM resistance of

the connection hole TH12 on the second layer wiring M2 side, making it possible to increase the allowable current value.

[0180] In addition, in this Embodiment 9, similarly to Embodiment 8, the length Y2 of the connection hole TH12 is made longer than the length X2, but its planar area is set to be approximately the same as the planar area of the minimum dimension connection hole TH11. In other words, in the connection hole TH12, the length Y1 of the minimum dimension connection hole TH11 is extended to become length Y2, and the extension is compensated by shortening the length X1 of the minimum dimension connection hole TH11 to become length X2. This allows for the maintenance of current concentration relaxation effects while ensuring that the etching rate of the embedded conductor film embedded within the connection hole TH12 is approximately equal to that of the normal square connection hole TH11. For this reason, it becomes possible to improve EM resistance (allowable current value) and to avoid issues related to the peeling of the embedded conductor film.

[0181] Although it is not particularly limited, the length X2 of the connection hole TH12 is approximately 0.2 μm , while the length Y2 is approximately 0.5 μm . The shape of the connection hole TH12, in a state of being actually transferred, takes on a rounded shape as described above. Connection holes TH12 like those shown in Fig. 39 are effective, for example, at the junction between minimal line width wiring and power wiring.

[0182] Fig. 40 shows a state where the first layer wiring M1 and the second layer wiring M2, which extend parallel to each other, are electrically connected through a single connection hole TH12 in their overlapping region. The wide part wiring width W2 of both the first layer wiring M1 and the second layer wiring M2 is equal. Since the rest is the same as in the case of Fig. 39, the explanation will be omitted.

[0183] Fig. 41 illustrates a state where the first layer wiring M1 and the second layer wiring M2, which extend perpendicularly to each other, are electrically connected through two connection holes TH11 (the same as Fig. 37) of the same size in their overlapping region. In the case of Fig. 41 as well, the width of the portion where connection hole TH11 is arranged is wider than the width of the portion where it is not arranged for both the first layer wiring M1 and the second layer wiring M2.

[0184] The two connection holes TH11 are arranged along a direction perpendicular to the direction of the current flowing through the second layer wiring M2. In other words, the connection holes TH11 are configured such that in the connection holes connecting the first layer wiring M1 and the second layer wiring M2, the area of the surface perpendicular to the direction of the current flowing through the relatively large cross-sectional area of the second layer wiring M2 is larger than the area of the surface parallel to the direction of the current flowing through the relatively large cross-sectional area of the second layer wiring M2. This allows for an improvement in EM resistance at the connection point between the first layer wiring M1 and the second layer wiring M2, making it possible to increase the allowable current value. In addition, since the arranged connection hole TH11 is the same as that in Fig. 37, there will be no issues such as the embedded conductor film peeling during the process of embedding the conductor film within the connection hole.

[0185] In Fig. 41, the first layer wiring M1 is, like in the case of Fig. 37, wiring with a minimum line width, but the wiring width W3 of the wide portion of the second layer wiring M2 is larger than twice the minimum line width. The wiring width W3 of the wide portion of the second layer wiring M2 is set to satisfy the condition $W3 = 2Y1 + 2\alpha + \beta$ in relation to the length Y2 of the connection hole TH11 and the allowances α and β . This wiring width W3 must satisfy the aforementioned conditions and is not particularly limited; for example, it may be approximately 0.8 μm . It should be noted that the fitting allowance β is the fitting allowance between the connection holes TH11 and is equal to the fitting allowance α . In addition, the wiring width W30 of the narrow portion of the second layer wiring M2 is set to satisfy the condition $W30 = W3 - 2\alpha$ in relation to the wiring width W3 of the wide portion.

[0186] Fig. 42 shows a state where the first layer wiring M1 and the second layer wiring M2, which extend parallel to each other, are electrically connected through two connection holes TH11 in their overlapping region. The wiring width W3 of the wide portion and the wiring width W30 of the narrow portion of both the first layer wiring M1 and the second layer wiring M2 are equal. Since the rest is the same as in the case of Fig. 41, the explanation will be omitted.

[0187] In Fig. 43, instead of having two connection holes TH11 arranged as in Fig. 42, a rectangular connection hole TH13 is provided. In this case, the length Y2 of the connection hole TH13 in the direction perpendicular to the extension direction of the second layer wiring M2 is longer than the length X2 in the extension direction of the second layer wiring M2. In other words, the area of the surface perpendicular to the direction of the current flowing through the wide wiring of the second layer wiring M2 in the connection hole TH13 is set to be larger than the area of the surface perpendicular to the direction of the current flowing through the first layer wiring M1.

[0188] In addition, the length Y3 of the connection hole TH13 is made longer than the length X3, but its planar area is set to be approximately the same as the planar area of the minimum dimension connection hole TH11. In other words, in the connection hole TH13, the length Y1 of the minimum dimension connection hole TH11 is extended to become length Y3, and the extended portion causes the length X1 of the minimum dimension connection hole TH11 to be shortened to become length X3.

[0189] As a result, while maintaining the current concentration relaxation effects, it becomes possible to make the etching rate of the embedded conductor film embedded within the connection hole TH13 nearly equal to that of the normal square connection hole TH11, thereby improving EM resistance (allowable current value) and avoiding issues such as the peeling of the embedded conductor film.

[0190] Although it is not particularly limited, the length X3 of the connection hole TH13 may be approximately 0.43 μm , while the length Y3 may be approximately 0.21 μm . The shape of the connection hole TH13 will take on a rounded shape in a state of being actually transferred, as described above.

[0191] Fig. 44 illustrates a state where the first layer wiring M1 and the second layer wiring M2, which extend parallel to each other, are electrically connected through a single connection hole TH13 in their overlapping region. The wiring width W3 of the wide portion and the wiring width W30 of the narrow portion of both the first layer wiring M1 and the second layer wiring M2 are equal. Since the rest is the same as in the case of Fig. 43, the explanation will be omitted.

[0192] Thus, while the inventions made by the inventors have been specifically explained based on Embodiment 1 to 9, it goes without saying that this invention is not limited to the aforementioned embodiments and can be variously modified without deviating from the essence.

[0193] For example, in the aforementioned Embodiments 1 to 9, the case of electrically connecting the first layer wiring and the second layer wiring has been explained as an example, but it is not limited to this and can be variously modified. For instance, this invention can also be applied in cases where the second layer wiring is electrically connected to the third layer wiring or where the first layer wiring is electrically connected to the third layer wiring.

[0194] In addition, in the aforementioned Embodiments 1 to 9, the case where the conductor film with barrier functionality formed above and below the main part of the wiring is TiN has been explained; however, it is not limited to this and can be variously modified. For example, titanium tungsten (TiW) or tungsten may also be used.

[0195] In addition, in the aforementioned Embodiments 1 to 9, a case was explained where tungsten is embedded in the connection hole; however, it is not limited to this and can be variously modified. For example, this invention can also be applied in cases where aluminum (Al) is embedded.

[0196] In addition, as shown in Fig. 45, this invention may also be applied to a connection hole structure without an embedded conductor film. In this case, the first layer wiring M1 is constructed by stacking the main part formed from conductor film M1d on top of a conductor film M1a that has a barrier function. Furthermore, the second layer wiring M2 is constructed by stacking the main part formed from conductor film M2d on top of a conductor film M2a that also has a barrier function. No tungsten or similar material is embedded in the connection hole.

[0197] In addition, this invention can be applied to wiring where the main part is made of copper (Cu). In the case of Cu wiring, a barrier film such as tungsten is coated around the wiring to prevent the diffusion of Cu. Therefore, as in the aforementioned Embodiments 1 to 9, discontinuities in the flow of Cu atoms occur in or near the connection hole.

[0198] In addition, in the aforementioned Embodiment 3, although the shape of the connection hole was set to rectangular, it is not limited to this and can be variously modified. For instance, it can be shaped like a T as shown in connection hole TH14 in Fig. 46. Alternatively, it can also take the form of an inverted L as shown in connection hole TH15 in Fig. 47. It can also be shaped like a hook as shown in connection hole TH16 in Fig. 48.

[0199] In addition, as shown in Fig. 49, it may also extend along the diagonal of the overlapping area between the first layer wiring M1 and the second layer wiring M2. In this case, it becomes possible to increase the area of the surface intersecting with the current in connection hole TH17 without increasing the wiring width.

[0200] In addition, as shown in Fig. 50, when the first layer wiring M1 and the second layer wiring M2 are arranged horizontally as in the aforementioned Embodiment 1, a parallelogram-shaped connection hole TH18 may also be provided. In this case, it is also possible to increase the area of the surface intersecting with the current in connection hole TH18 without increasing the wiring width.

[0201]

[Effects of the invention] To briefly explain the effects obtained from the representative inventions disclosed herein, they are as follows:

[0202] (1). According to this invention's semiconductor integrated circuit device, by ensuring that the area of the surface perpendicular to the direction of current flowing through the connection hole, which electrically connects two layers (upper and lower) of wiring extending parallel to each other, is larger than the area of the surface parallel to the direction of current flow, it becomes possible to disperse the current in the connection hole part, thereby suppressing high local current density in the connection hole and the nearby wiring parts. This enhances EM resistance within the wiring system, improving the reliability and yield of the semiconductor integrated circuit device.

[0203] (2). According to this invention's semiconductor integrated circuit device, in a connection hole that electrically connects two layers (upper and lower) of wiring intersecting with each other, by ensuring that the area of the surface intersecting with the direction of current flowing through the smaller cross-sectional area wiring is equal to or greater than the area of the surface aligned with the direction of current in the smaller cross-sectional area wiring of two layers (upper and lower) of wiring, it becomes possible to effectively disperse the current in the connection hole part, thereby suppressing high local current density in the connection hole and the nearby wiring parts. This improves EM resistance within the wiring system, enhancing both the reliability and yield of the semiconductor integrated circuit device.

[0204] (3). According to the semiconductor integrated circuit device of this invention, in the arrangement area of the connection hole that electrically connects two layers (upper and lower) of

wiring that intersect with each other, the two layers (upper and lower) of wiring are arranged to overlap in parallel with each other. One of the wiring ends is extended in the direction of the other wiring, and the connection hole is arranged such that the area of the surface intersecting the direction of current flowing through the wiring is larger than the area of the surface along the direction of the current in the wiring. This arrangement provides the effect described in (1), and it also makes the design and placement of the connection hole easier.

[0205] (4). According to the semiconductor integrated circuit device of this invention, when the width of the overlapping region of the two parallel layers (upper and lower) of wiring is larger than the minimum wiring width and smaller than twice the minimum wiring width, the area of the surface intersecting the direction of the current flowing through the wiring in the connection hole is larger than the area of the surface along the direction of the current in the wiring. By setting the length of the connection hole in the width direction of the wiring to be longer than the length of the connection hole in the longitudinal direction of the wiring, current can be effectively dispersed in the connection hole area. This suppresses the local high current density in the connection hole and the surrounding wiring, improving the EM resistance of the wiring system and enhancing the reliability and yield of the semiconductor integrated circuit device.

[0206] (5). According to the semiconductor integrated circuit device of this invention, when the width of the overlapping region of the two intersecting layers (upper and lower) of wiring is larger than the minimum wiring width and smaller than twice the minimum wiring width, the area of the surface intersecting the direction of the current flowing through the wiring in the connection hole is larger than the area of the surface along the direction of the current in the wiring. By setting the length of the connection hole in the width direction of the wiring to be longer than the length of the connection hole in the longitudinal direction of the wiring, current can be effectively dispersed in the connection hole area. This suppresses the local high current density in the connection hole and the surrounding wiring, improving the EM resistance of the wiring system and enhancing the reliability and yield of the semiconductor integrated circuit device.

[0207] (6). According to the semiconductor integrated circuit device of this invention, since the planar area of the connection holes within the same plane, including the aforementioned connection hole, is almost equal, in addition to the effects such as those described in (4), when performing the conductor film removal process (planarization process) in the embedding of the conductor film in all connection holes in the same plane, the amount of conductor film removal can be made almost uniform for all connection holes. Furthermore, when embedding the conductor film in the connection holes within the same plane, the deposition speed of the conductor film can be made almost uniform for all connection holes. For this reason, it is possible to avoid problems where the conductor film in a specific connection hole might peel off due to uneven removal amounts for each connection hole. Therefore, it is possible to improve the reliability and yield of the semiconductor integrated circuit device.

[0208] (7). According to the semiconductor integrated circuit device of this invention, in the aforementioned (1) to (6), the upper and lower layer main parts of the wiring are electrically connected via a conductor film made of a different material from that of the main parts of the connection hole and the wiring. This improves the EM resistance, thereby enhancing the reliability of the semiconductor integrated circuit device.

[Brief description of the figures]

[Fig. 1] It is a plan diagram of a main part of the wiring system in the semiconductor integrated circuit device of this invention.

[Fig. 2] It is a cross-sectional diagram along line II-II of Fig. 1.

[Fig. 3] It is a schematic cross-sectional diagram showing the wiring and connection hole with an embedded conductor film that the inventors examined.

[Fig. 4] It is a graph diagram comparing the relationship between current density and EM lifetime with and without the embedded conductor film in the connection hole.

[Fig. 5] It is a graph diagram comparing the temperature dependence of EM lifetime with and without the embedded conductor film in the connection hole.

[Fig. 6] It is a graph diagram showing the variation of EM lifetime.

[Fig. 7] It is a photo observing the failure location of the material that resulted in disconnection during the EM test.

[Fig. 8] It is an explanatory diagram showing the flow of electrons in the case of disconnection as illustrated in Fig. 7.

[Fig. 9] It is an explanatory diagram showing the simulation results of the two-dimensional current density distribution around the connection hole with an embedded conductor film.

[Fig. 10] (a) and (b) are explanatory diagrams showing the simulation results of the current density distribution when one and two connection holes with embedded conductor films are provided, respectively.

[Fig. 11] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 12] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 13] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 14] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 15] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 16] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 17] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 18] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 19] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 20] (a) and (b) are cross-sectional diagrams of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 21] It is a cross-sectional diagram showing a main part during the formation process of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 22] It is a cross-sectional diagram of a main part continuing from Fig. 21 during the formation process of the wiring system in the semiconductor integrated circuit device.

[Fig. 23] It is a cross-sectional diagram of a main part continuing from Fig. 22 during the formation process of the wiring system in the semiconductor integrated circuit device.

[Fig. 24] It is a cross-sectional diagram of a main part continuing from Fig. 23 during the formation process of the wiring system in the semiconductor integrated circuit device.

[Fig. 25] It is a cross-sectional diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 26] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 27] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 28] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 29] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 30] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 31] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 32] (a) and (b) are plan diagrams of the wiring system of a main part of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 33] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 34] It is an explanation of the simulation of current density distribution in the connection hole portion of another embodiment of the semiconductor integrated circuit device of this invention.

[Fig. 35] It is an explanation of the simulation of current density distribution in the connection hole portion of another embodiment of the semiconductor integrated circuit device of this invention.

[Fig. 36] It is an explanation of the simulation of current density distribution in the connection hole portion of another embodiment of the semiconductor integrated circuit device of this invention.

[Fig. 37] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 38] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 39] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 40] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 41] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 42] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 43] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 44] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 45] It is a cross-sectional diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 46] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 47] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 48] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 49] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 50] It is a plan diagram of a main part of the wiring system of a semiconductor integrated circuit device according to another embodiment of this invention.

[Fig. 51] It is a cross-sectional diagram of a main part of a semiconductor integrated circuit device according to another embodiment of this invention.

[Description of the reference numerals]

1: semiconductor substrate

2: insulation film

3: interlayer insulation film

M1: first layer wiring

M1a ~ M1k, M1 m: conductor film

M2: second layer wiring

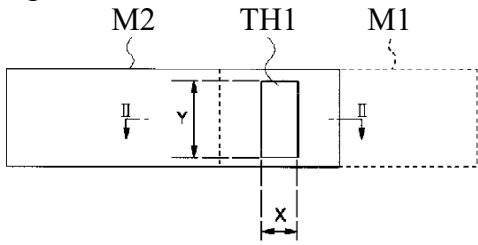
M2a ~ M2k, M2m, M2n: conductor film

TH1 ~ TH18: connection hole

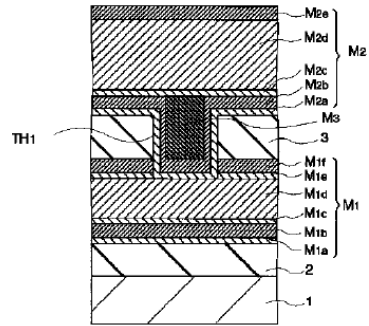
TH: connection hole

M3: embedded conductor film

[Fig. 1]
Fig. 1

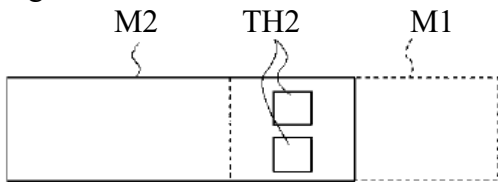


[Fig. 2]
Fig. 2

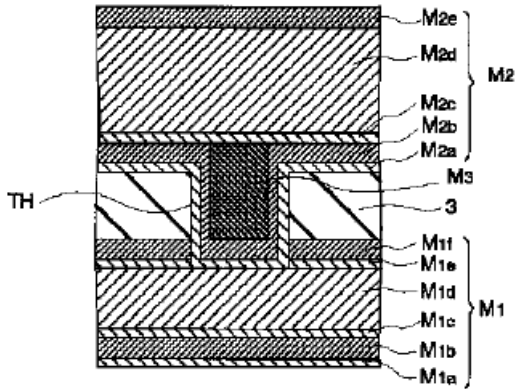


M3: embedded conductor film

[Fig. 11]
Fig. 11

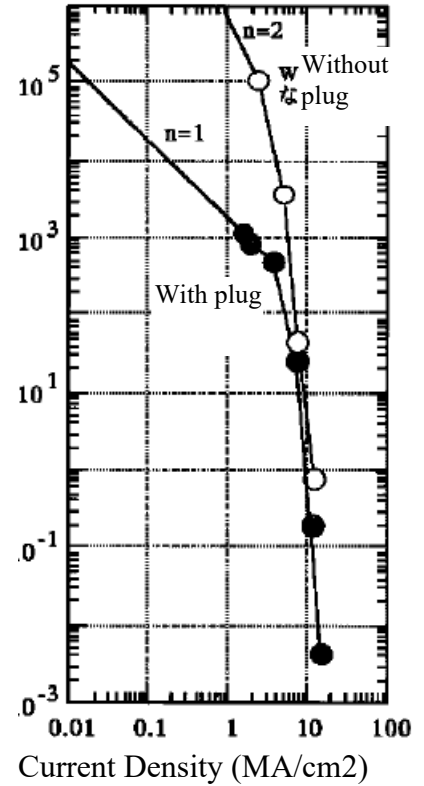


[Fig. 3]
Fig. 3



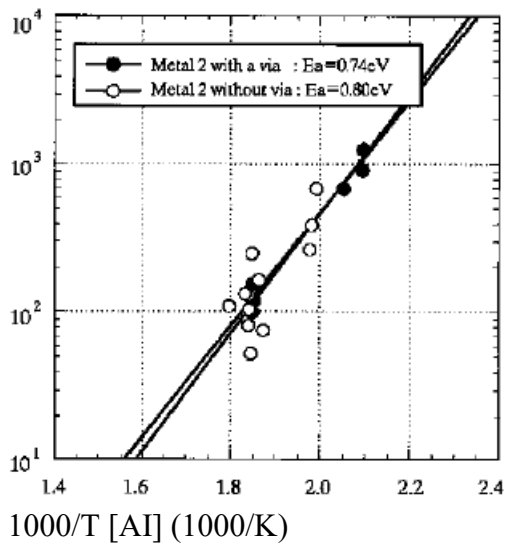
[Fig. 4]
Fig. 4

EM
Lifetime
[Ta=200°C
(a.u.)

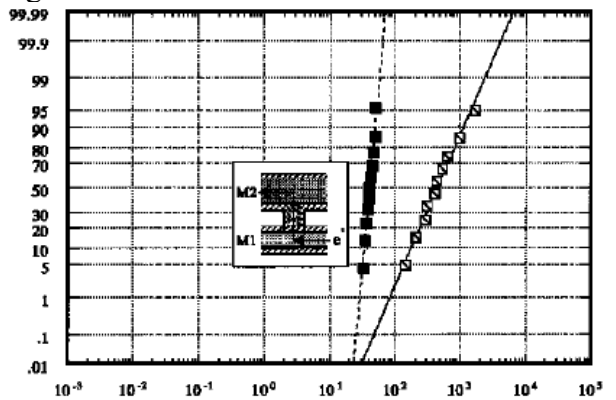


[Fig. 5]
Fig. 5

EM
Lifetime
[I=40mA
(hrs)



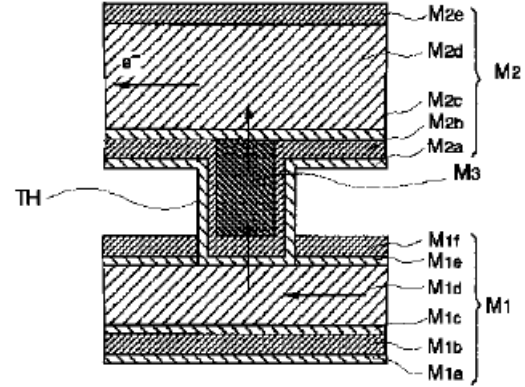
[Fig. 6]
Fig. 6



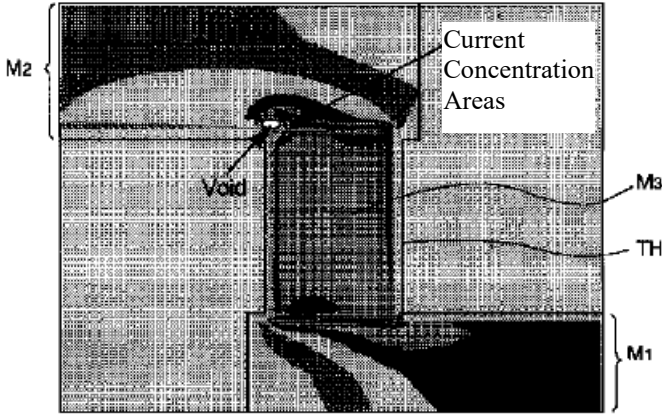
[Fig. 7]
Fig. 7



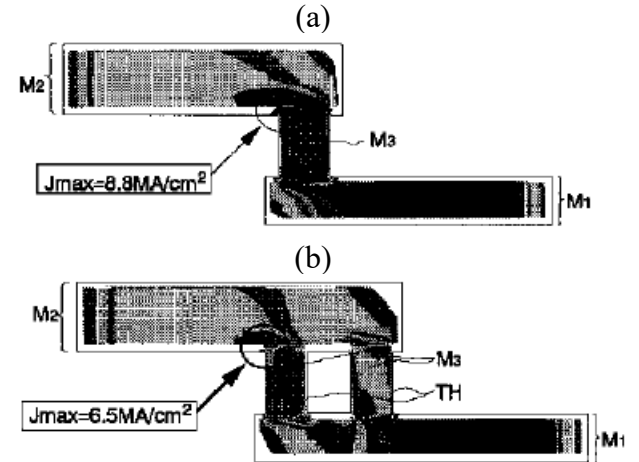
[Fig. 8]
Fig. 8



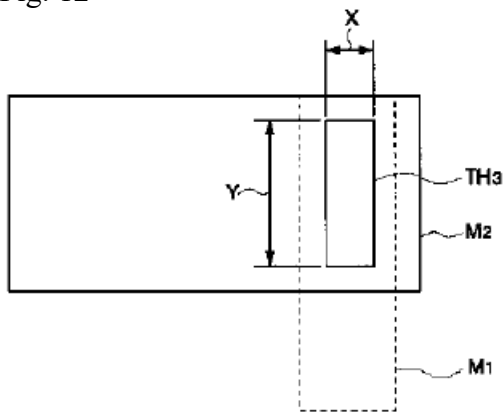
[Fig. 9]
Fig. 9



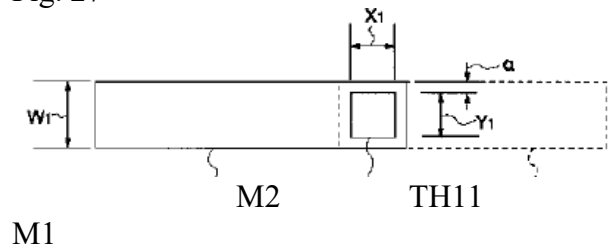
[Fig. 10]
Fig. 10



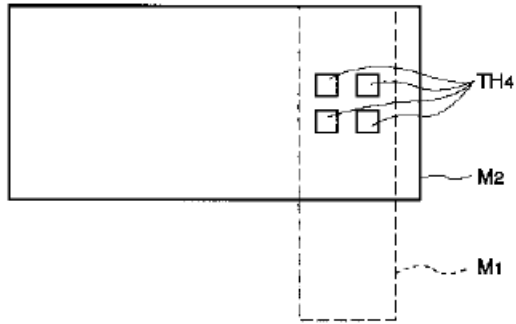
[Fig. 12]
Fig. 12



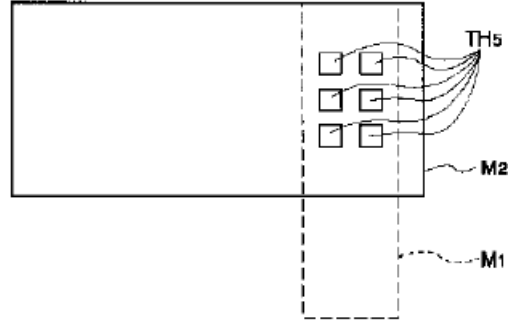
[Fig. 27]
Fig. 27



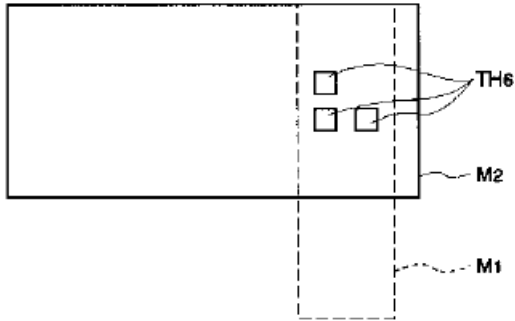
[Fig. 13]
Fig. 13



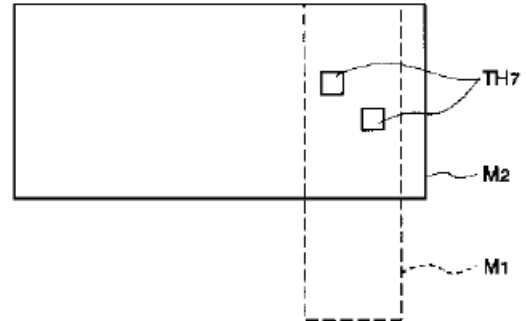
[Fig. 14]
Fig. 14



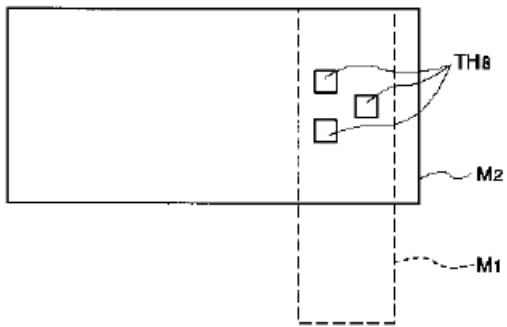
[Fig. 15]
Fig. 15



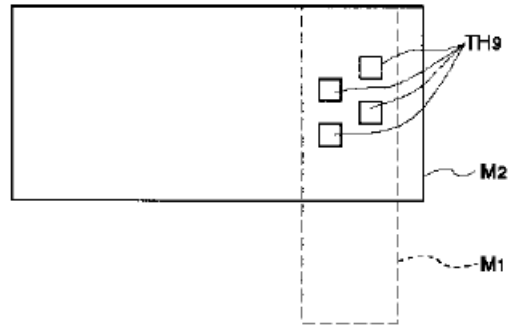
[Fig. 16]
Fig. 16



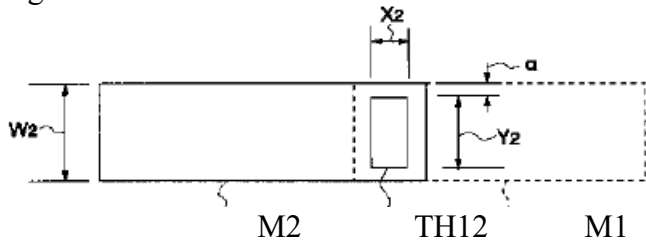
[Fig. 17]
Fig. 17



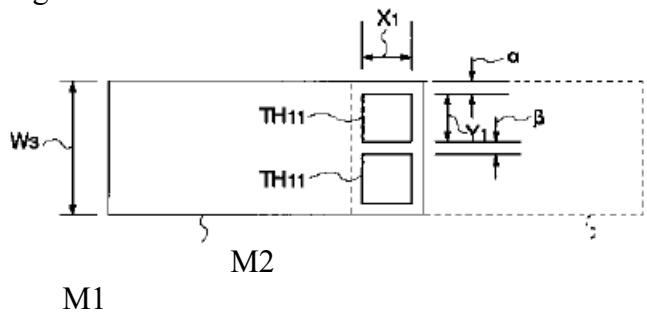
[Fig. 18]
Fig. 18



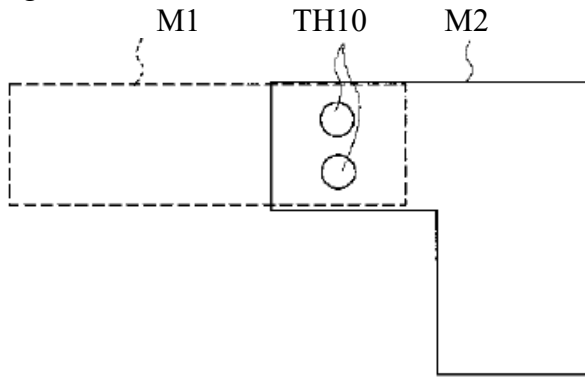
[Fig. 29]
Fig. 29



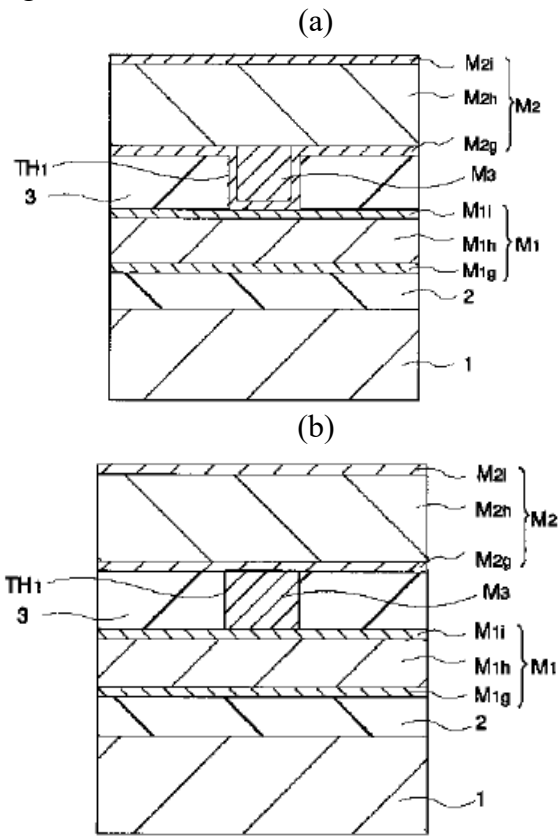
[Fig. 31]
Fig. 31



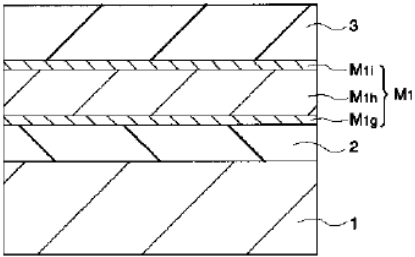
[Fig. 19]
Fig. 19



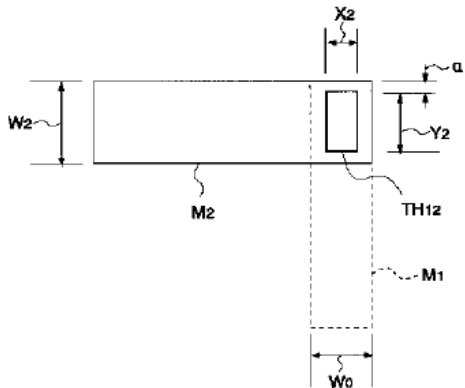
[Fig. 20]
Fig. 20



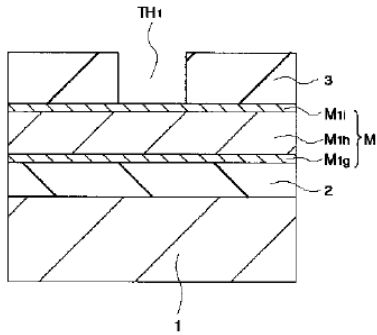
[Fig. 21]
Fig. 21



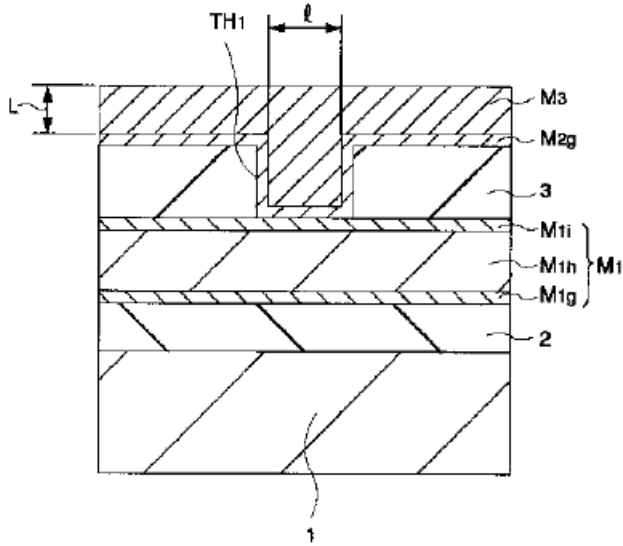
[Fig. 28]
Fig. 28



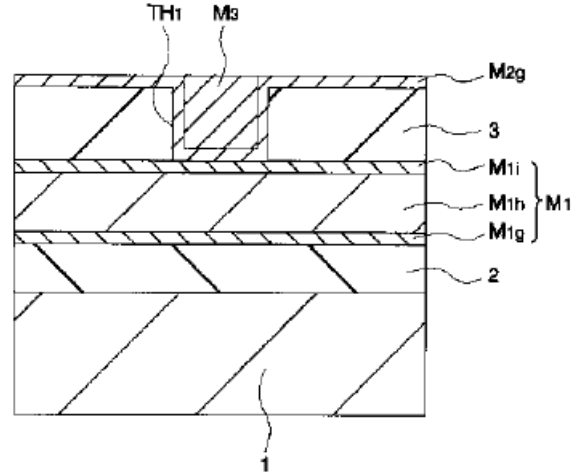
[Fig. 22]
Fig. 22



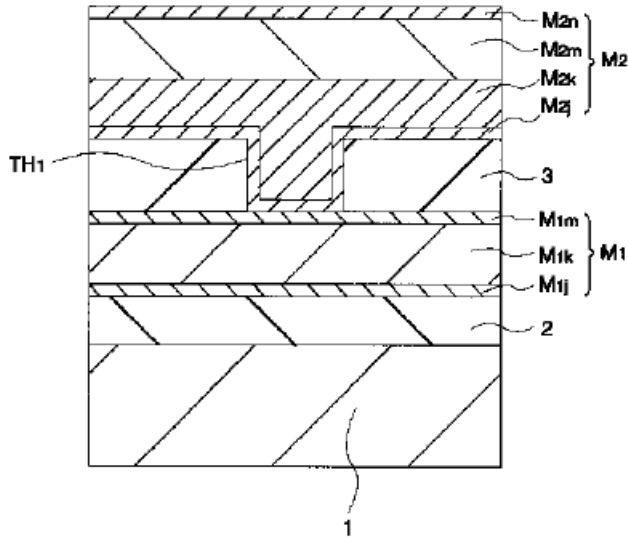
[Fig. 23]
Fig. 23



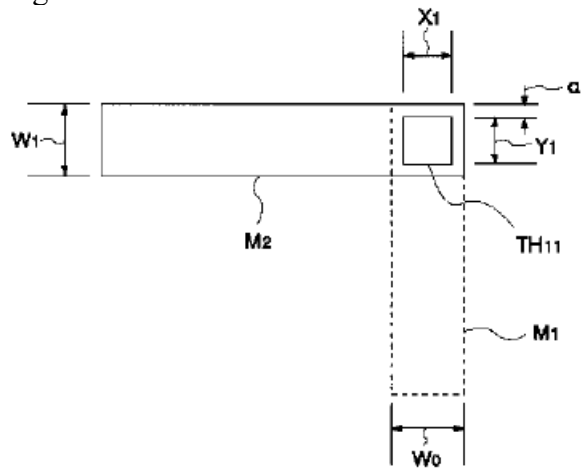
[Fig. 24]
Fig. 24



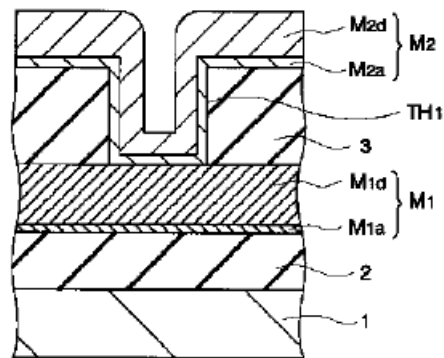
[Fig. 25]
Fig. 25



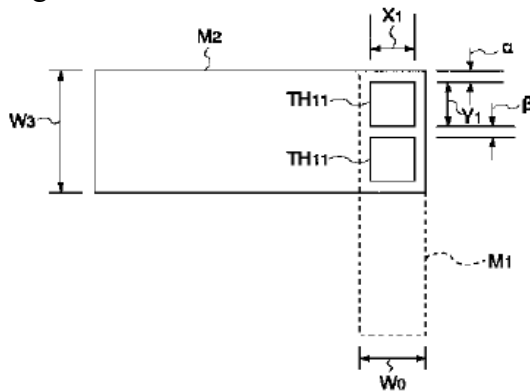
[Fig. 26]
Fig. 26



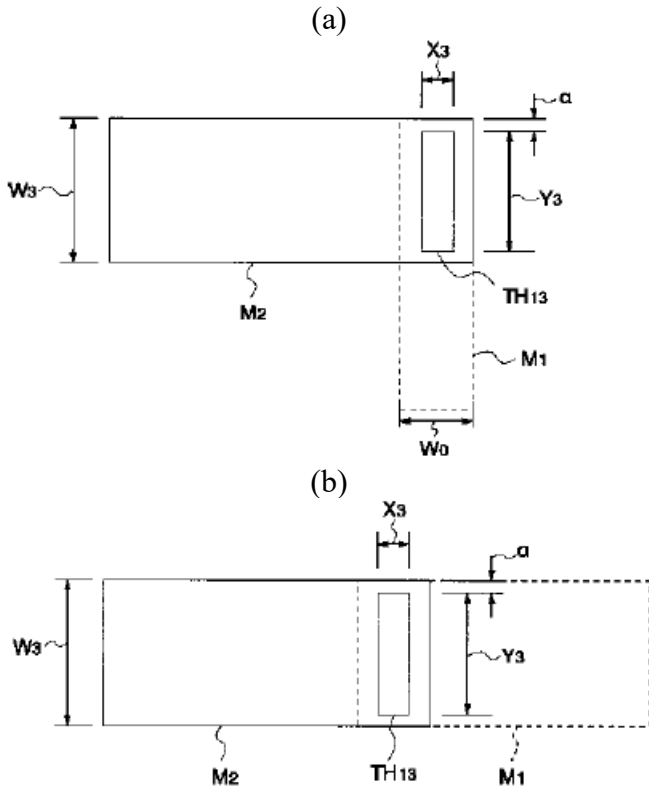
[Fig. 45]
Fig. 45



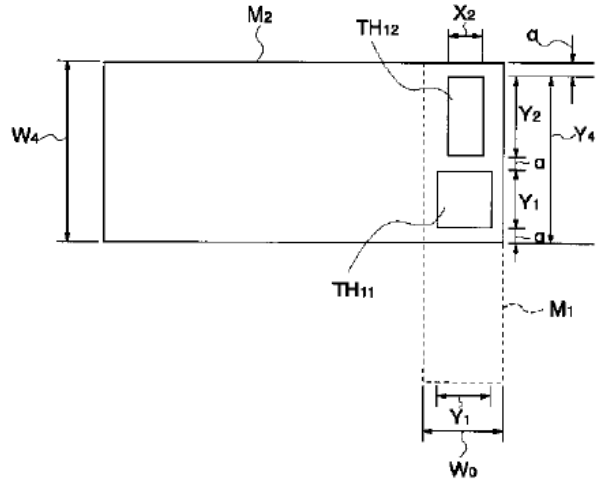
[Fig. 30]
Fig. 30



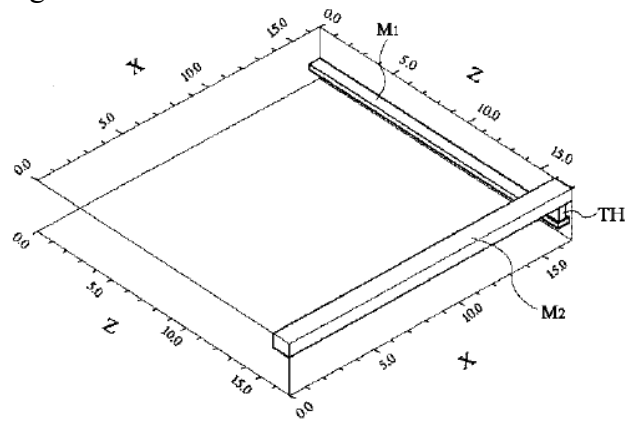
[Fig. 32]
Fig. 32



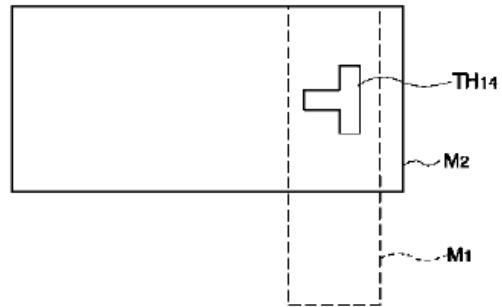
[Fig. 33]
Fig. 33



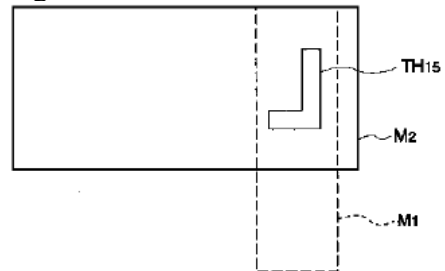
[Fig. 34]
Fig. 34



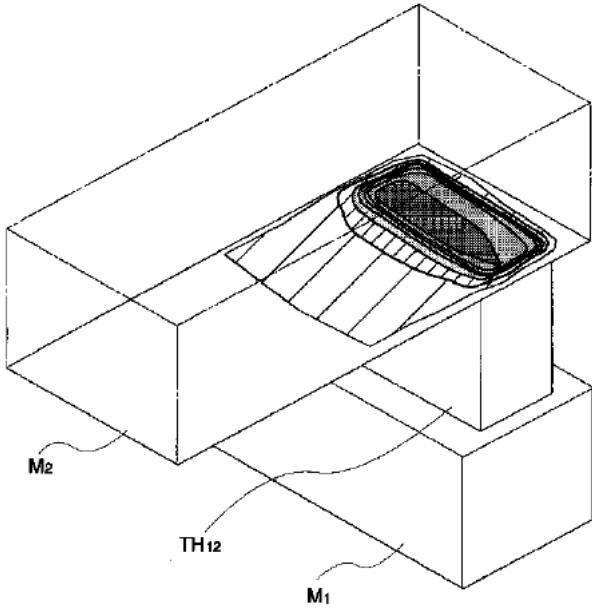
[Fig. 46]
Fig. 46



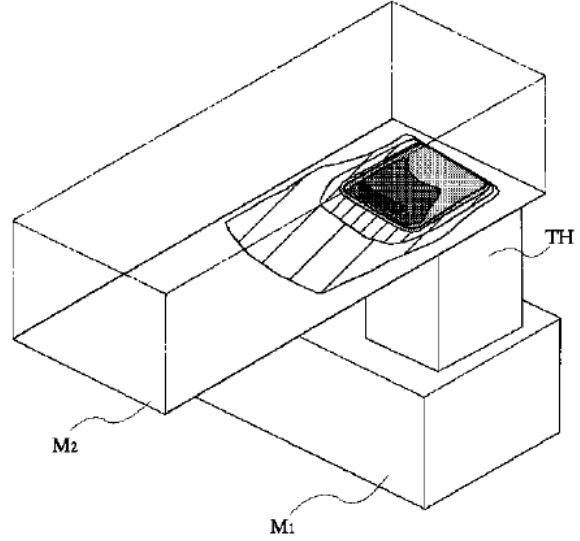
[Fig. 47]
Fig. 47



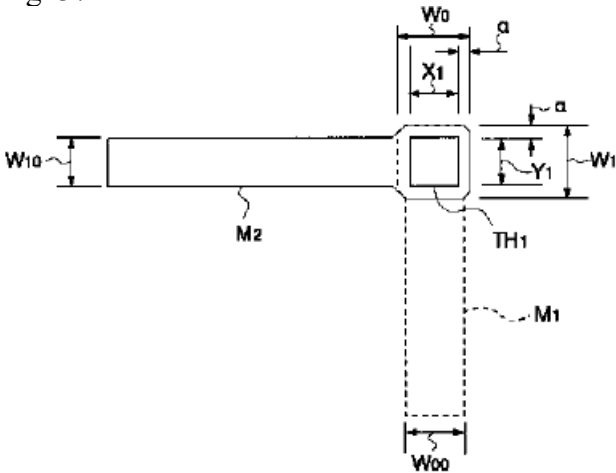
[Fig. 35]
Fig. 35



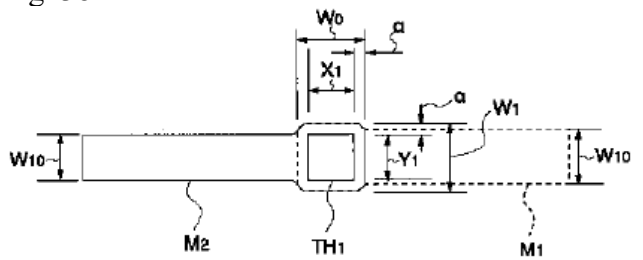
[Fig. 36]
Fig. 36



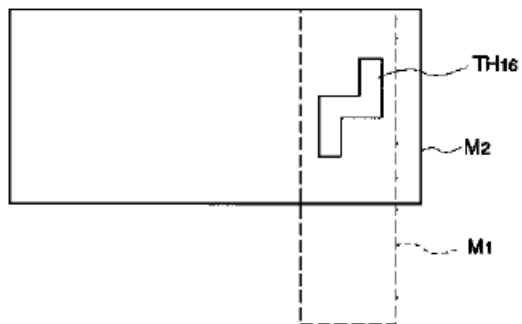
[Fig. 37]
Fig. 37



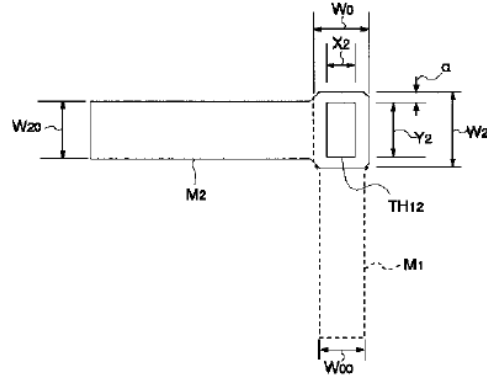
[Fig. 38]
Fig. 38



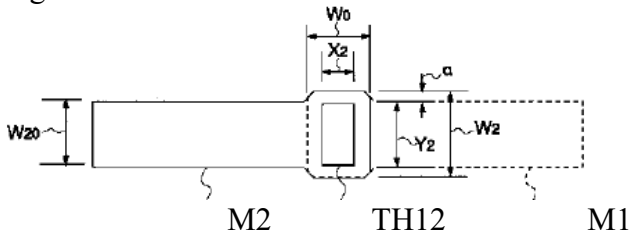
[Fig. 48]
Fig. 48



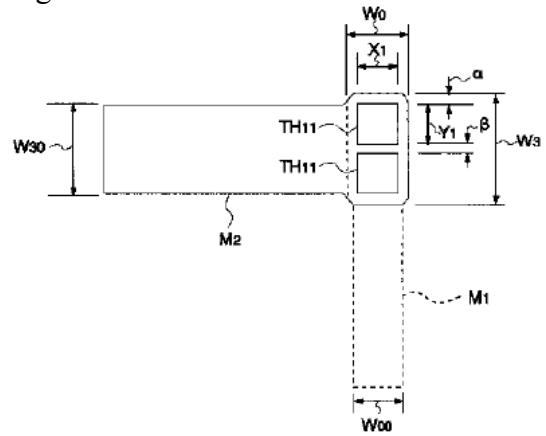
[Fig. 39]
Fig. 39



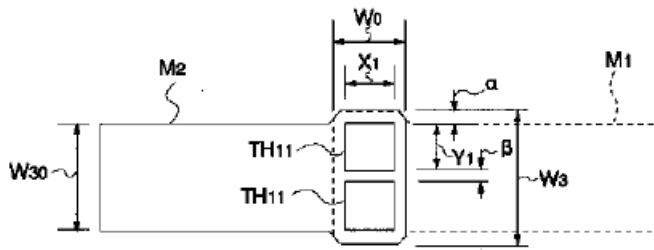
[Fig. 40]
Fig. 40



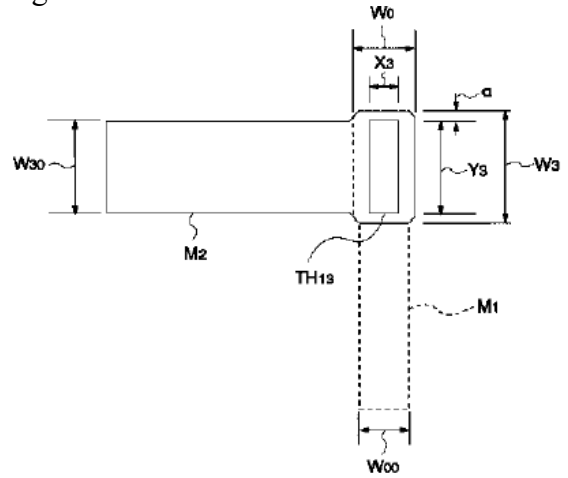
[Fig. 41]
Fig. 41



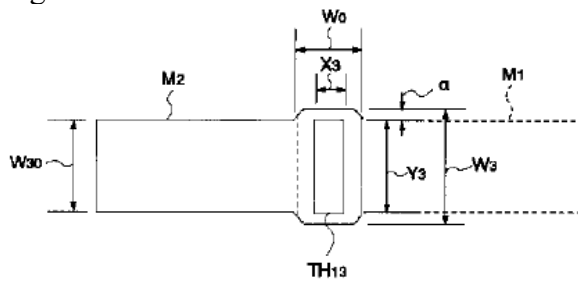
[Fig. 42]
Fig. 42



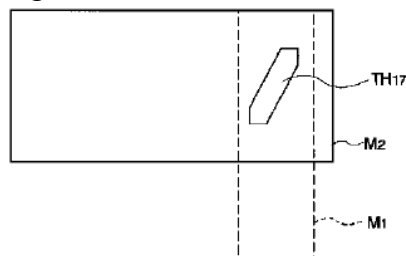
[Fig. 43]
Fig. 43



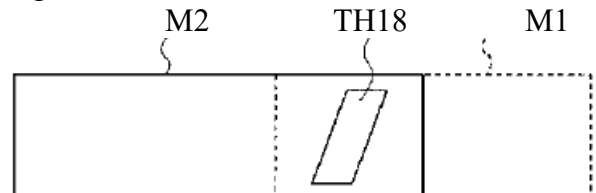
[Fig. 44]
Fig. 44



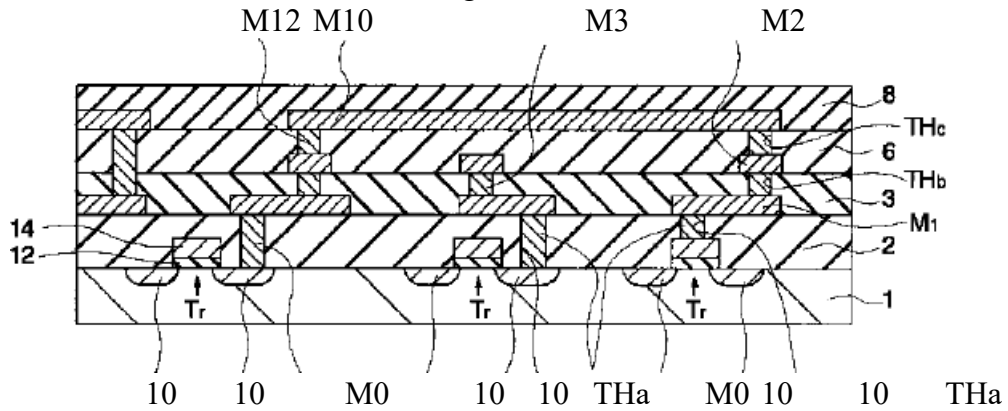
[Fig. 49]
Fig. 49



[Fig. 50]
Fig. 50



[Fig. 51]
Fig. 51



Continuation of the Front Page

(72) Inventor: Takahashi Tsuyoshi
20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
Inside the Semiconductor Division, Hitachi, Ltd.

(72) Inventor: Ise Kiyoshi
20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
Inside the Semiconductor Division, Hitachi, Ltd.

(72) Inventor: Yamada Hiroshi
20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
Inside the Semiconductor Division, Hitachi, Ltd.

(72) Inventor: Takeda Toshifumi
20-1, Kamimizuhoncho 5-chome, Koganei City, Tokyo
Inside the Semiconductor Division, Hitachi, Ltd.



Legaltranslations.biz

(A Division of Nelles Translations)

3 Grant Square Ste. 336 • Hinsdale, IL 60521 • 630-539-8082 • www.nellestranslations.com

Certification

This is to certify that the foregoing translation of the document entitled "**Semiconductor Integrated Circuit Device** (JPH10214893A)" was made from Japanese to English by a competent professional translator that is proficient in both languages. This work, to the best of our knowledge and belief, is a true and complete rendering into English of the original document.

Date: May 28, 2025

Donald W. Hanley, CEO

www.nellestranslations.com