

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-129024

(P2007-129024A)

(43) 公開日 平成19年5月24日(2007.5.24)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 G	4 M 1 1 8
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 Z	5 F 0 4 9
	HO 1 L 31/10 A	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号	特願2005-319513 (P2005-319513)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成17年11月2日 (2005.11.2)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
		(72) 発明者	長谷川 昭博 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	4M118 AA10 AB10 BA02 CA05 5F049 MA04 MB02 NA03 NA10 NA15 NB08 QA03 RA04 RA10 SE01 SE05 SZ03 UA01 UA07 UA12 UA13 UA17 WA03

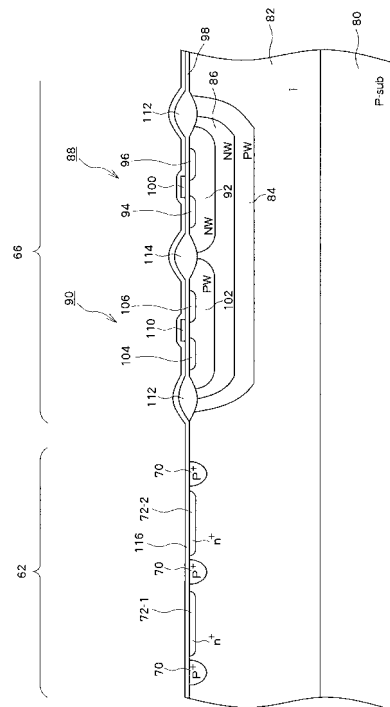
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 PINフォトダイオードを受光部に備える光検出用半導体素子において、同一チップ上にCMOSを構成可能とする。

【解決手段】 P-sub層80の上にエピタキシャル層82を積層した半導体基板に受光部62及び信号処理回路部66を構成する。PINフォトダイオードはP-sub層80をアノードとし、カソード領域72とP-sub層80との間のエピタキシャル層82をi層として構成される。信号処理回路部66においてCMOSを形成するNウェル86とエピタキシャル層82との境界にPウェル84を形成する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

共通の半導体基板に形成された受光部及び回路部を有する半導体装置であって、
前記半導体基板の主面に設けられ、低不純物濃度により高比抵抗に形成される高比抵抗領域を有し、

前記受光部は、

前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第 1 導電型半導体領域であって第 1 電圧を印加される第 1 電極領域と、

前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第 2 導電型半導体領域であって第 2 電圧を印加される第 2 電極領域と、

を有し、

前記第 1 電極領域及び前記第 2 電極領域相互間は、前記第 1 電圧及び前記第 2 電圧により逆バイアス状態とされて、前記高比抵抗領域に空乏層を形成し、

前記回路部は、

前記主面に設けられ、内部に回路素子が形成される第 1 導電型半導体領域である回路素子領域と、

前記高比抵抗領域及び前記回路素子領域の間の境界を構成し、前記高比抵抗領域よりも高不純物濃度の第 2 導電型半導体領域である接合境界領域と、

を有することを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、

前記高比抵抗領域は、第 2 導電型半導体領域であること、を特徴とする半導体装置。

20

【請求項 3】

請求項 1 又は請求項 2 に記載の半導体装置において、

前記高比抵抗領域は、 $200 \text{ } \cdot \text{ cm}$ 以上の比抵抗を有すること、を特徴とする半導体装置。

【請求項 4】

請求項 1 から請求項 3 のいずれか 1 つに記載の半導体装置において、

前記高比抵抗領域は、エピタキシャル成長層であること、を特徴とする半導体装置。

【請求項 5】

請求項 1 から請求項 4 のいずれか 1 つに記載の半導体装置において、

前記第 2 電極領域は、前記高比抵抗領域の下地層であり、

前記第 1 電極領域及び前記回路素子領域はそれぞれ、前記高比抵抗領域の表層部に形成されること、

を特徴とする半導体装置。

30

【請求項 6】

請求項 1 から請求項 4 のいずれか 1 つに記載の半導体装置において、

前記第 1 電極領域、前記第 2 電極領域及び前記回路素子領域はそれぞれ、前記高比抵抗領域の表層部に形成されること、

を特徴とする半導体装置。

40

【請求項 7】

請求項 6 に記載の半導体装置において、

他の前記第 2 電極領域は、当該高比抵抗領域の下地層であること、を特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高比抵抗の半導体領域に広がる空乏層を利用した受光部を有し光電変換による信号を生成する半導体装置に関する。

【背景技術】

50

【 0 0 0 2 】

近年、情報記録媒体として、C D (Compact Disk) や D V D (Digital Versatile Disk) といった光ディスクが大きな位置を占めるようになってきた。これら光ディスクの再生装置は、光ピックアップ機構により光ディスクのトラックに沿ってレーザ光を照射し、その反射光を検知する。そして、反射光強度の変化に基づいて記録データが再生される。

【 0 0 0 3 】

光ディスク再生装置は、反射光に基づいてデータを検出しつつ、光ピックアップ機構と光ディスクとの位置関係をサーボ制御する。具体的には、レーザ光をトラックの中心線に沿って照射するためのトラッキングサーボ及び、光ディスクと光ピックアップ機構との距離を一定に保つフォーカスサーボが行われる。例えば、フォーカスサーボ制御は、レーザ反射光を検出する光検出器の出力信号に基づき、アクチュエータで光ピックアップ機構の位置を可変制御し、光ディスクとの距離 d を一定に保つ。これにより、光ディスクの表面での照射光のフォーカスのずれに応じた反射光量の変動が抑制され、受光信号に重畳されるノイズが抑制される。

【 0 0 0 4 】

このようなサーボ制御のための情報を得るために、光検出器として反射光像を複数区画に分割して受光するものが用いられる。図 9 は、光検出器の受光部及び、当該受光部上での反射光像を示す模式図である。レーザ反射光はシリンドリカルレンズを通して光検出器に入射される。非点収差法の原理により、円形状断面でシリンドリカルレンズに入射した反射光の当該シリンドリカルレンズ通過後の像は、光ピックアップ機構と光ディスクとの距離 d に応じて、直交する 2 方向の寸法比率が変化する。具体的には、距離 d が目標値である場合に、図 9 (b) に示すように、反射光像が真円 3 0 となるように設定される。一方、例えば、距離 d が、オーバーである場合には図 9 (a) に示すように、反射光像は縦長の楕円 3 2 となり、アンダーである場合には図 9 (c) に示すように、反射光像は横長の楕円 3 4 となる。

【 0 0 0 5 】

光検出器は例えば、 2×2 の 4 つの区画 3 6 に分割された受光部を有し、各区画はそれぞれ受光信号を出力する受光素子を構成する。光検出器は、受光素子の 2×2 の正方配列の対角方向が縦長楕円 3 2 及び横長楕円 3 4 それぞれの軸に一致するように配置される。このように配置することで、図 9 において垂直方向の対角線上に並ぶ 2 受光素子の出力信号の和と水平方向の対角線上に並ぶ 2 受光素子の出力信号の和との差に基づき、各反射光像の形状を判別し、距離 d の制御に用いることができる。一方、データに応じた反射光強度は、4 つの受光素子の出力信号の総和により求められる。

【 0 0 0 6 】

光ディスクから読み出されるデータレートは非常に高いため、光検出器は、応答速度の速い P I N フォトダイオードを用いた半導体素子で構成されている。図 1 0 は、従来の光検出器を構成する 1 つの受光素子の模式的な断面図である。この図は、受光素子である P I N フォトダイオードの垂直断面構造を表している。この半導体素子において、p 型半導体基板 4 0 がフォトダイオードのアノード領域 4 2 となり、その上に不純物濃度が低く高比抵抗である i 層 4 4 がエピタキシャル成長により形成される。i 層 4 4 の不純物濃度は極めて低く、その比抵抗は $100 \text{ } \cdot \text{ cm}$ のオーダーであり、この比抵抗は他の一般的な半導体素子に用いられる半導体基板に比べて桁違いに高い。i 層 4 4 の表面にはカソード領域 4 8 となる n^+ 領域が形成される。低濃度の i 層 4 4 をアノード領域 4 2 とカソード領域 4 8 との間に配することで、アノードとカソードとの間に印加する逆バイアス電圧を低くしても i 層 4 4 に空乏層を形成することができ、光検出器の低電圧駆動化が図られる。

【 0 0 0 7 】

これらアノード領域 4 2、i 層 4 4、及びカソード領域 4 8 が光検出器の受光素子となる P I N フォトダイオードを構成する。この P I N フォトダイオードは、アノード領域 4 2 とカソード領域 4 8 とがそれぞれ電圧端子に接続され、それらの間に逆バイアス電圧が

印加される。逆バイアス状態にてアノード領域42とカソード領域48との間のi層44には空乏層が形成され、空乏層内にて入射光の吸収により発生する電子が、空乏層内の電界でカソード領域48へ移動し、受光信号として出力される。

【0008】

i層44の厚さは、検出する光の半導体内での吸収長程度以上に設定される。例えば、CDやDVDに用いられている780nm帯や650nm帯の光に対するシリコンの吸収長は10~20μm程度である。

【発明の開示】

【発明が解決しようとする課題】

【0009】

受光部にて発生した微弱な光電変換信号は増幅器にて増幅され、後段の信号処理回路へ出力される。ここで、光電変換信号の減衰やノイズの重畳を抑制する観点から、受光部と増幅器との間の配線長をできるだけ短くするように構成される。この観点と、光検出器の製造コスト低減の観点とから、PINフォトダイオード構造の受光部と増幅器等の回路とは同一の半導体チップ上に形成することが好適である。この場合、図11の模式的な断面図に示すように、低濃度のp型領域に形成されたi層44の表面にn型不純物領域であるNウェル50を形成し、このNウェル50内に例えば、pチャネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor: MOS型電界効果トランジスタ)52及びnチャネルMOSFET54を形成しCMOS(Complementary Metal Oxide Semiconductor)を構成することができる。しかし、この構成には、i層44の不純物濃度が極めて低いことに起因して、i層44とNウェル50とのpn接合でのリーク電流が大きくなるという問題があった。

10

20

【0010】

本発明は上記問題点を解決するためになされたものであり、低電圧で高速駆動可能であると共にコスト削減が図られる光検出用半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明に係る半導体装置は、共通の半導体基板に形成された受光部及び回路部を有するものであって、前記半導体基板の主面に設けられ、低不純物濃度により高比抵抗に形成される高比抵抗領域を有し、前記受光部が、前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第1導電型半導体領域であって第1電圧を印加される第1電極領域と、前記高比抵抗領域に接して配置され、前記高比抵抗領域よりも高不純物濃度の第2導電型半導体領域であって第2電圧を印加される第2電極領域と、を有し、前記第1電極領域及び前記第2電極領域相互間が、前記第1電圧及び前記第2電圧により逆バイアス状態とされて、前記高比抵抗領域に空乏層を形成し、前記回路部が、前記主面に設けられ、内部に回路素子が形成される第1導電型半導体領域である回路素子領域と、前記高比抵抗領域及び前記回路素子領域の間の境界を構成し、前記高比抵抗領域よりも高不純物濃度の第2導電型半導体領域である接合境界領域と、を有するものである。

30

【発明の効果】

【0012】

本発明によれば、高比抵抗領域と回路素子領域との境界に回路素子領域とは反対の導電型で高比抵抗領域より高濃度の接合境界領域が設けられる。この接合境界領域と回路素子領域とが形成するpn接合部分においては、熱励起等に起因して電荷を発生し得る空乏層の拡がり抑制され、リーク電流が抑制される。その結果、CMOS等の回路素子を含む回路部を受光部に併設して同一基板に形成することができ、コストを抑制しつつ低電圧かつ高速駆動の光検出用半導体素子を実現することができる。

40

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態(以下実施形態という)について、図面に基づいて説明する。

50

【 0 0 1 4 】

[実施形態 1]

図 1 は、実施形態の半導体素子である光検出器の概略の平面図である。本光検出器 6 0 はシリコンからなる半導体基板に形成され、半導体基板表面上に積層される保護膜に設けられた開口部分（図示せず）に受光部 6 2 が配置される。受光部 6 2 は、例えば、 2×2 に配列された 4 つの P I N フォトダイオード（P D）6 4 を含み、光学系から基板表面へ入射する光を 2×2 の 4 区画に分割して受光する。半導体基板表面上には受光部 6 2 だけでなく、信号処理回路部 6 6 が形成される。例えば、信号処理回路部 6 6 は受光部 6 2 の周囲に配置される。信号処理回路部 6 6 は例えば、C M O S 6 8 等の回路素子を含み、これら回路素子を用いて受光部 6 2 からの出力信号に対する増幅回路やその他の信号処理回路を受光部 6 2 と同一の半導体チップに形成することができる。

10

【 0 0 1 5 】

図 2 は、受光部 6 2 のより詳しい平面図である。各 P D 6 4 はそれらの周囲の半導体基板表面に形成される分離領域 7 0 により区切られる。分離領域 7 0 は、例えば、高濃度の p 型不純物を拡散された p^+ 領域として形成される。シリコン基板の受光部に対応した部分では、光の吸収により電子及び正孔が生成される。各 P D 6 4 には、そのカソードとして、生成した電荷のうち電子を集めるカソード領域 7 2 が配置される。カソード領域 7 2 は、例えば、高濃度の n 型不純物を拡散された n^+ 領域として形成される。

【 0 0 1 6 】

分離領域 7 0 及び各カソード領域 7 2 はそれぞれコンタクトを介して、例えばアルミ（A l）層等で形成された配線に接続される。分離領域 7 0 は、配線 7 4 により例えば、接地電位を印加される。また、各カソード領域 7 2 に集められた信号電荷は、配線 7 6 を介して読み出される。

20

【 0 0 1 7 】

図 3 は、図 1 及び図 2 にそれぞれ示す直線 A - A' を通り半導体基板に垂直な断面での受光部 6 2 及び信号処理回路部 6 6 の構造を示す模式的な断面図である。この断面には受光部 6 2 の 2 つの P D 6 4 と信号処理回路部 6 6 の C M O S 6 8 とが現れている。

【 0 0 1 8 】

本光検出器 6 0 は、p 型不純物が導入された p 型シリコン基板である P -sub 層 8 0 の一方主面に、P -sub 層 8 0 より不純物濃度が低く高比抵抗を有する半導体層が積層された半導体基板を用いて形成される。P -sub 層 8 0 は各 P D 6 4 に共通のアノードを構成し、例えば、基板裏面から接地電位を印加される。P -sub 層 8 0 の上に積層される高比抵抗の半導体層は、例えばエピタキシャル成長により形成される。このエピタキシャル層 8 2（高比抵抗領域）は、受光部 6 2 にて P D 6 4 の i 層を構成する。エピタキシャル層 8 2 に導入される低濃度不純物は、例えば p 型不純物である。また、エピタキシャル層 8 2 の比抵抗は、少なくとも $200 \cdot \text{cm}$ 以上であり、ここでは、 $500 \cdot \text{cm}$ 程度であるとす。また、i 層を構成するエピタキシャル層 8 2 の厚さは、検出する光の半導体内での吸収長程度以上に設定される。例えば、C D や D V D に用いられている 780 nm 帯や 650 nm 帯の光に対するシリコンの吸収長は $10 \sim 20 \mu\text{m}$ 程度である。よって、ここではエピタキシャル層 8 2 の厚さは、 $10 \sim 20 \mu\text{m}$ に設定される。

30

40

【 0 0 1 9 】

受光部 6 2 において、エピタキシャル層 8 2 の表面には、上述の分離領域 7 0 及びカソード領域 7 2 が形成される。分離領域 7 0 及びカソード領域 7 2 への不純物の導入はそれぞれ、このエピタキシャル層 8 2 を形成されたシリコン基板の表面にフォトリソグラフィ技術で形成されたマスクを形成し、このマスクを用いてイオン注入を対象領域へ選択的に行うことにより実現される。

【 0 0 2 0 】

ちなみに、分離領域 7 0、カソード領域 7 2 を形成する位置にそれぞれイオン注入により導入された不純物は、さらに必要に応じて熱拡散工程を行って、基板深さ方向に押し込まれる。その押し込み量は、分離領域 7 0、カソード領域 7 2 それぞれについて別個に制

50

御され得る。例えば、分離領域 70 は、後述するように、各カソード領域 72 に集められる信号電荷の PD 64 間でのクロストークを抑制する機能を担っている。そこで分離領域 70 の深さは、例えば、カソード領域 72 に比べて深く設定され得る。一方、カソード領域 72 の深さを浅くすることで、その下の i 層に形成される空乏層が基板表面近くから広がることとなり、PD 64 での光電変換効率の向上が期待できる。このようにカソード領域 72 を分離領域 70 より浅く形成する場合には、カソード領域 72 へのイオン注入に先立って、分離領域 70 への不純物のイオン注入及び熱拡散を行うのが好適である。

【0021】

なお、本光検出器 60 の構成では、分離領域 70 は P-sub 層 80 までは到達せず、分離領域 70 と P-sub 層 80 との間には、高比抵抗のエピタキシャル層 82 が i 層として存在する。また、分離領域 70 は、上述したように基板表面側に設けられた配線 74 により接地電位を印加され、P-sub 層 80 と共にアノードを構成する。

10

【0022】

一方、信号処理回路部 66 においては CMOS 68 の形成領域に対応して、エピタキシャル層 82 の表層部に P ウェル 84 及び N ウェル 86 が形成される。ここで、N ウェル 86 は、後述するように内部に回路素子が形成される回路素子領域であり、P ウェル 84 は N ウェル 86 とエピタキシャル層 82 との境界を形成する接合境界領域である。例えば、P ウェル 84 及び N ウェル 86 はそれぞれイオン注入により形成される。具体的には、先に P ウェル 84 を形成するイオン注入を行い、その後、N ウェル 86 をイオン注入により P ウェル 84 より浅く形成し、P ウェル 84 の内側に N ウェル 86 を形成する。P ウェル 84 と N ウェル 86 との深さは、それぞれのイオン注入のエネルギーの調整やイオン種の選択によって、互いに異ならせることができる。N ウェル 86 の濃度はその領域内に形成される CMOS 68 との関係に応じて定めることができる。P ウェル 84 は、エピタキシャル層 82 よりも高濃度に設定され、エピタキシャル層 82 と N ウェル 86 との間の接合リーク電流を抑制する。

20

【0023】

N ウェル 86 内には、CMOS 68 を構成する p チャネル MOSFET 88 及び n チャネル MOSFET 90 が形成される。p チャネル MOSFET 88 は、例えば、N ウェル 86 内にさらに N ウェル 92 を形成し、その表面に p⁺ 領域であるソース領域 94、ドレイン領域 96 が形成される。ソース領域 94 とドレイン領域 96 との間のチャンネル領域の上にはゲート酸化膜 98 を介してゲート電極 100 が配置される。n チャネル MOSFET 90 は、N ウェル 86 内にさらに P ウェル 102 を形成し、その表面に n⁺ 領域であるソース領域 104、ドレイン領域 106 が形成される。ソース領域 104 とドレイン領域 106 との間のチャンネル領域の上にはゲート酸化膜 98 を介してゲート電極 110 が配置される。ゲート電極 100、110 は例えば、ポリシリコンやタングステン (W) 等を用いて形成される。

30

【0024】

なお、エピタキシャル層 82 の表面において、CMOS 68 の形成領域とエピタキシャル層 82 との境界には、領域間の分離のために LOCOS (局所酸化膜) 112 が形成される。また、p チャネル MOSFET 88 と n チャネル MOSFET 90 との境界にも素子分離のために LOCOS 114 が形成される。

40

【0025】

以上のように受光部 62 及び信号処理回路部 66 が形成された基板表面に反射防止膜 116 が積層される。反射防止膜 116 は例えばシリコン窒化膜で構成される。さらにこの上に平坦化膜や配線層、遮光層が形成されるが、簡略化のため図 3 においては図示を省略している。

【0026】

図 4 は、本光検出器 60 の動作時における回路構成及び、受光部 62 の断面でのポテンシャル分布を示す模式図である。図 4 に示す受光部 62 の断面は図 3 と同様、図 1、図 2 に示す直線 A-A' に沿ったものである。電圧源 120 によって、カソード領域 72 と分

50

離領域 70 及び P-sub 層 80 との間には逆バイアス電圧が印加される。具体的には、各カソード領域 72 からの配線 (図 2 の配線 76) はそれぞれオペアンプ 122 の一方入力端子に接続され、当該オペアンプ 122 の他方入力端子に電圧源 120 からの正電圧 Vb が入力される。オペアンプ 122 は、抵抗を介して出力端子がカソード領域 72 に接続され、電流検出器を構成する。この構成により、カソード領域 72 は分離領域 70 及び P-sub 層 80 の電位を基準として正の電圧 Vb を印加され、かつカソード電流に応じた電圧がオペアンプ 122 の出力端子に取り出される。ちなみに、オペアンプ 122 を含む電流検出器は、信号処理回路部 66 に形成することができる。

【 0027 】

断面図にはいくつかの等電位線を点線で示している。この断面図は、PIN フォトダイオードのアノードとカソードとに逆バイアス電圧を印加したことにより、i 層を構成するエピタキシャル層 82 に空乏層が広がっていることを示している。ポテンシャル電位はカソード領域 72 に近いほど深く、すなわち高くなり、各カソード領域 72 を中心として電子に対する電位井戸が形成されることとなる。

10

【 0028 】

分離領域 70 及び P-sub 層 80 をアノードとしてカソード領域 66 に対し逆バイアスとなる接地電位を印加したことにより、エピタキシャル層 82 の分離領域 70 と P-sub 層 80 との間の境界領域 124 のポテンシャル電位は浅くなる。つまり、P-sub 層 80 に加えて分離領域 70 をアノードとして接地電位としたことにより、分離領域 70 下の境界領域 124 のポテンシャル電位が浅くなる方向に引っ張られる。これにより、分離領域 70 を挟んで隣り合う各 PD 64 に対応する電位井戸の間に、電子の移動に対する電位障壁が形成される。

20

【 0029 】

例えば、図 4 において左側の PD 64 への入射光によって、その左側のカソード領域 72-1 下の i 層で発生した電子は、当該左側の電位井戸の電界に沿ってカソード領域 72-1 へは容易に移動可能であるが、右側のカソード領域 72-2 へは領域 124 に電位障壁が間に存在するため移動しにくい。そのため、左側の PD 64 への入射光に対応する信号電荷は、専らカソード領域 72-1 に集められることとなる。同様に、右側の PD 64 への入射光に対応する信号電荷は、電位障壁の存在によりカソード領域 72-1 へは移動しにくく、専らカソード領域 72-2 に集められる。各カソード領域 72 に集められた電子の量は、カ

30

【 0030 】

このように P-sub 層 80 に加えて分離領域 70 をアノードとしたことにより、分離領域 70 の下で隣接 PD 64 の i 層がつながっているにも関わらず、PD 64 相互の素子分離が実現され、クロストークが抑制された受光信号が得られる。

【 0031 】

また、本光検出器の構成では、P-sub 層 80 がアノードとされ、この P-sub 層 80 は信号処理回路部 66 の下にも広がる。ここで、エピタキシャル層 82 の不純物濃度が極めて薄い。そのため、エピタキシャル層 82 が N ウェル 86 に接する構成では、P-sub 層 80 の電位が低いほど、N ウェル 86 との接合部分のエピタキシャル層 82 に空乏層が広がりやすい。空乏層では熱励起等による電荷が発生しやすく、これに起因してリーク電流が生じ得る。すなわち、受光部 62 及び信号処理回路部 66 の下に共通の P-sub 層 80 が配され、この P-sub 層 80 が受光部 62 のアノードとして接地電位を印加される光検出器の構成において、信号処理回路部 66 の N ウェル 86 を直接、エピタキシャル層 82 に接するとリーク電流が生じやすくなり得る。そこで、本光検出器 60 では、N ウェル 86 とエピタキシャル層 82 との境界に、エピタキシャル層 82 より不純物濃度の高い P ウェル 84 を設け、pn 接合部分での空乏層の広がりを小さくし、リーク電流の抑制を図っている。

40

【 0032 】

また、N ウェル 86 との境界のエピタキシャル層 82 の空乏層は、N ウェル 86 の下面側だけでなく、側面にも拡がり得る。特に、受光部 62 と信号処理回路部 66 との境界部

50

分では、アノードである分離領域 70 が接地されて低い電位とされるため、空乏層が拡がり易く、リーク電流が発生し易い。しかし、P ウェル 84 が N ウェル 86 の側部にも配置される構造とすることで、この受光部 62 と信号処理回路部 66 との境界部分におけるような横方向への空乏層も抑制され、リーク電流の低減が図られる。

【0033】

なお、上述の受光部 62 では複数の PD 64 が間に分離領域 70 を置いて隣接配置される。ここで、素子分離の 1 つの従来技術として、LOCOS 法が知られている。その技術によれば、例えば、分離領域 70 に形成したような p^+ 領域に選択的に、信号処理回路部 66 に形成した LOCOS 112, 114 のような基板に食い込む厚い酸化膜を成長させる。受光部 62 においても、当該技術を適用することができる一方で、本実施形態では当該技術を採用していない。このように分離領域 70 の上に LOCOS 酸化膜を形成しないことにより、分離領域 70 の上方からの入射光が、LOCOS 酸化膜で減衰されることがなくなる。ここで、分離領域 70 の下は i 層であり空乏化され得る。そのため、減衰を抑制されて分離領域 70 の上方から入射した光は、分離領域 70 下の i 層にまで到達して信号電荷を発生し得ることとなり、受光部 62 へ入射する光に対する検出効率が向上する。

10

【0034】

また、分離領域 70 は入射光検出に対して不感領域となり得る。ここで、LOCOS 酸化膜を形成しないことにより、その形成工程での分離領域 70 の横方向の拡散が回避される。その結果、受光部に占める分離領域 70 の割合が抑制されるので、この点でも受光部へ入射する光に対する検出効率の向上が図られる。

20

【0035】

光検出器 60 の受光部 62 の構造は上述のものに限られない。図 5 は、受光部 62 の他の構造を示す模式的な断面図であり、図 1、図 2 に示す直線 A - A' を通り半導体基板に垂直な断面を示している。なお、この受光部 62 の平面図は、図 2 に示すものと共通である。図 5 に示す受光部 62 の特徴は、分離領域 70 に対向する位置に、P-sub 層 80 から突出した p^+ 領域である下部分離領域 150 を有する点にある。この下部分離領域 150 は、P-sub 層 80 に印加される電圧を受けて、P-sub 層 80 と共に基板側のアノードとして機能する。下部分離領域 150 により、分離領域 70 が構成するアノードと基板側のアノードとの距離が、PD 64 の境界にて狭まる。その結果、PD 64 の境界におけるエピタキシャル層 82 に、電子に対する電位障壁がより好適に形成され、PD 64 間の素子分離性能が向上する。

30

【0036】

例えば、下部分離領域 150 は、P-sub 層 80 にエピタキシャル層 82 を一部の厚さだけ積層した段階にて、当該エピタキシャル層 82 の PD 64 の境界に対応する位置にイオン注入等により p 型不純物を導入して形成される。このように下部分離領域 150 を形成した後、エピタキシャル層 82 の残りの厚さを成長させる。しかる後、図 3 に断面構造を示した受光部 62 と同様にして分離領域 70、カソード領域 72 等の基板表面の構造を形成する。

【0037】

図 3 に示す受光部 62 の構造に代えて、図 5 に示す受光部 62 の構造とした場合にも、信号処理回路部 66 に P ウェル 84 を設けることで、N ウェル 86 の境界からエピタキシャル層 82 へ広がる空乏層を抑制することができる。その結果、エピタキシャル層 82 と N ウェル 86 との間の接合リーク電流が抑制された光検出器 60 が実現される。

40

【0038】

[実施形態 2]

以下説明する第 2 の実施形態である光検出器 60 は、受光部 62 の構造が上記第 1 の実施形態と相違する点を除けば、基本的に上記第 1 の実施形態と同様の構成であり、本実施形態において、第 1 の実施形態と同じ符号は、同一の機能・性質を有する構成要素を示す。本実施形態の光検出器 60 の概略の平面図は、図 1 と同じであり、これを援用する。

【0039】

50

図6は、本光検出器60の受光部62の模式的な平面図である。本光検出器60は第1の実施形態の光検出器と同様、シリコンからなる半導体基板に形成され、半導体基板表面上に積層される保護膜に設けられた開口部分(図示せず)に受光部62が配置される。受光部62は、基板表面へ入射する光を2×2の4区画に分割して受光する。

【0040】

受光部62の外周の半導体基板表面には、各PD64それぞれに対応してカソード領域200が配置される。また、各PD64相互間の半導体基板表面には、アノード領域202が配置され、これが各PD64間の素子分離を行う。

【0041】

カソード領域200は、受光部の外周に沿った、例えばL字型の平面形状を有するトレンチ204の表面から高濃度のn型不純物を拡散し、n⁺領域として形成される。一方、アノード領域202は、PD64相互間に、例えば十字型の平面形状を有するトレンチ206の表面から高濃度のp型不純物を拡散しp⁺領域として形成される。各カソード領域200は、それぞれコンタクトを介して例えばA1層等で形成された配線(図示せず)に接続され、PINフォトダイオードである各PD64のカソードとして機能する。一方、アノード領域202は、コンタクトを介して配線(図示せず)に接続され、各PINフォトダイオードに共通のアノードとして機能する。

10

【0042】

図7は、図1及び図6にそれぞれ示す直線A-A'を通り半導体基板に垂直な断面での受光部62及び信号処理回路部66の構造を示す模式的な断面図である。この断面には受光部62の2つのPD64と信号処理回路部66のCMOS68とが現れている。p型シリコン基板であるP-sub層80の一方主面に積層された高比抵抗のエピタキシャル層82は、PINフォトダイオードのi層を構成する。エピタキシャル層82の表面には、上述のトレンチ204、206、カソード領域200及びアノード領域202が形成される。トレンチ204、206は、半導体基板の表面をエッチングして形成される。トレンチ204、206の形成後、半導体基板表面にレジストを塗布し、当該レジストをパターンニングしてトレンチ204を囲む開口部を形成する。このレジストをマスクとして、n型不純物のイオン注入を行う。その注入方向を斜めとすることで、トレンチ204の壁面にもイオン注入が行われ、トレンチ204の表面、すなわちトレンチ204の壁面及び底面にカソード領域200が形成される。同様に、トレンチ206に対応した開口部を有するマスクをレジストを用いて形成し、p型不純物のイオン注入を行って、トレンチ206の表面、すなわちトレンチ206の壁面及び底面にアノード領域202を形成する。

20

30

【0043】

なお、カソード領域200及びアノード領域202の形成工程は、必要に応じて、上述のイオン注入後に行われる熱拡散工程を含み得る。また、カソード領域200、アノード領域202を形成した後、トレンチ204、206に絶縁膜を埋め込んで、受光部表面を平坦化した構造とすることができる。

【0044】

トレンチ204、206を用いて形成したカソード領域200、アノード領域202は、上述のように、PINフォトダイオードのカソード及びアノードを構成する一方、各PD64を取り囲んで、各PD64をその外側から分離する機能も有している。ちなみに、このような構成は、STI(Shallow Trench Isolation)技術として知られている。

40

【0045】

各PD64のカソード領域200及びアノード領域202で囲まれた内側部分には、エピタキシャル層82が表面に現れる。後述するように、この部分が、受光部への入射光に対して感度を有する半導体領域(受光半導体領域208)となる。

【0046】

図8は、本光検出器60の動作時における回路構成及び、受光部62の断面でのポテンシャル分布を示す模式図である。図8に示す受光部62の断面は図7と同様、図1、図6に示す直線A-A'に沿ったものである。カソード領域200は、電圧源120によって

50

、接地電位とされたアノード領域 202 及び P-sub層 80 に対して逆バイアス状態とされる。具体的には、各カソード領域 200 からの配線はそれぞれオペアンプ 122 の一方入力端子に接続され、当該オペアンプ 122 の他方入力端子に電圧源 120 からの正電圧 Vb が入力される。オペアンプ 122 は、抵抗を介して出力端子がカソード領域 200 に接続され、電流検出器を構成する。この構成により、カソード領域 200 は Vb を印加され、かつカソード電流に応じた電圧がオペアンプ 92 の出力端子に取り出される。ちなみに、オペアンプ 122 を含む電流検出器は、信号処理回路部 66 に形成することができる。

【0047】

断面図にはいくつかの等電位線を点線で示している。この断面図は、PINフォトダイオードのカソードとアノードとに逆バイアス電圧を印加したことにより、i層を構成するエピタキシャル層 82 に空乏層が広がっていることを示している。カソード領域 200 及びアノード領域 202 は、共に半導体基板表面に配置され、かつそれらの間にて半導体基板表面近傍に位置する受光半導体領域 208 は i層を構成する。この構成により、逆バイアス電圧印加時に、受光半導体領域 208 に対応した半導体基板表面近傍にも空乏層が広がる。

10

【0048】

空乏層内のポテンシャル電位は、アノード領域 202 からカソード領域 200 に向けて深くなる。つまり、各カソード領域 200 に応じた位置に電位井戸が形成される。また、アノード領域 202 の位置に対応した PD64 相互の境界部分は、ポテンシャル電位が浅くなり、電子の移動に対する電位障壁を形成し、PD64 相互の素子分離を実現する。

20

【0049】

各 PD64 に入射した光は、空乏層にて吸収され信号電荷として電子 - 正孔の対を生じ、それらのうち電子が近傍のカソード領域 200 に集められる。各カソード領域 200 に集められた電子の量は、カソード電流としてオペアンプ 122 を介して検出される。本光検出器 60 の PD64 では、受光半導体領域 208 の表面近傍で吸収される光によっても信号電荷が生成され、当該信号電荷をカソード領域 200 から検出することができる。これにより、半導体基板表面近傍で吸収される短波長の光によって発生する信号電荷を受光信号として取り出すことが可能となり、短波長光に対する感度を得ることができる。

【0050】

ちなみに、トレンチ 204, 206 を形成するエッチング方法として例えば、RIE (Reactive Ion Etching) 等の異方性エッチング技術を用いることで、トレンチ 204, 206 を細く形成することができ、各 PD64 の半導体基板表面での面積に占める受光半導体領域 208 の割合を大きくすることができる。これにより、各 PD64 の感度向上が図られる。

30

【0051】

また、カソード領域 200 及びアノード領域 202 とエピタキシャル層 82 との接合面積を小さくすることができるので、PINフォトダイオードのカソードとアノードとの端子間容量が抑制され、良好な応答性を確保することが可能となる。

【0052】

本光検出器 60 の構成では、信号処理回路部 66 において回路素子が内部に形成される Nウェル 86 が、極めて不純物濃度が低いエピタキシャル層 82 内に形成される。そのため、Nウェル 86 との境界のエピタキシャル層 82 に空乏層が拡がり易く、これに起因してリーク電流が生じ易い。特に、PINフォトダイオードは逆バイアス状態で使用され、そのアノードである P-sub層 80 が信号処理回路部 66 の下にも広がる。Nウェル 86 と P-sub層 80 との電位差が小さい (又は逆バイアスである) とエピタキシャル層 82 はより空乏化し易いが、本光検出器 60 では、Nウェル 86 とエピタキシャル層 82 との境界に、エピタキシャル層 82 より不純物濃度の高い Pウェル 84 を設け、Nウェル 86 との pn 接合部分での空乏層の広がりを小さくし、リーク電流の抑制を図っている。

40

【0053】

また、Pウェル 84 が Nウェル 86 の側面も覆う構造とすることで、Nウェル 86 から

50

横方向への空乏層も抑制されリーク電流の低減が図られる。特に、PD 64 はアノード領域 202 が N ウェル 86 に隣接するレイアウトとされる場合もあり、その場合にはそれらの間のエピタキシャル層 82 に横方向に広がる空乏層が形成され易い。しかし、本光検出器 60 では、上述のように P ウェル 84 が N ウェル 86 の側部にも配置される構造とすることで、この場合にも空乏層を好適に抑制しリーク電流を抑制することが可能となる。

【図面の簡単な説明】

【0054】

【図1】本発明の実施形態である光検出器の概略の平面図である。

【図2】第1の実施形態に係る光検出器の受光部の平面図である。

【図3】第1の実施形態に係る光検出器の断面図である。

10

【図4】第1の実施形態に係る光検出器の動作時における回路構成及び、受光部の断面でのポテンシャル分布を示す模式図である。

【図5】第1の実施形態に係る光検出器の他の受光部の断面図である。

【図6】第2の実施形態に係る光検出器の受光部の平面図である。

【図7】第2の実施形態に係る光検出器の受光部の断面図である。

【図8】第2の実施形態に係る光検出器の動作時における回路構成及び、受光部の断面でのポテンシャル分布を示す模式図である。

【図9】光検出器の受光部及び、当該受光部上での反射光像を示す模式図である。

【図10】従来光検出器を構成する1つの受光素子の模式的な断面図である。

【図11】PINフォトダイオード構造の受光部と増幅器等の回路とを同一の半導体チップ上に形成した光検出器の問題点を説明する素子断面図である。

20

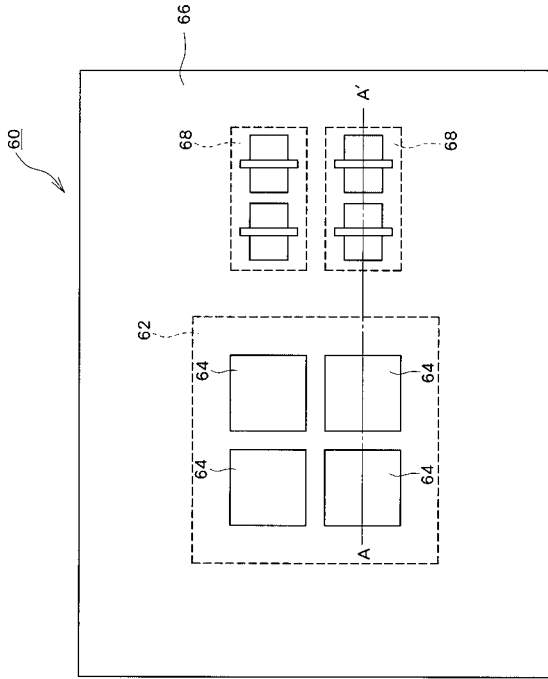
【符号の説明】

【0055】

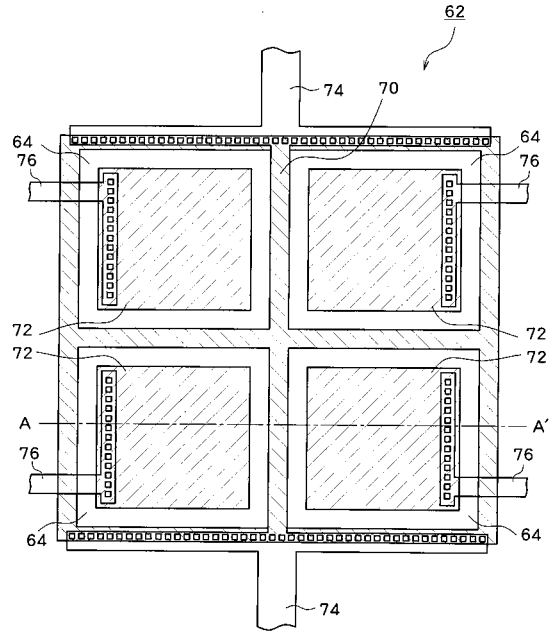
60 光検出器、62 受光部、64 PINフォトダイオード(PD)、66 信号処理回路部、68 CMOS、70 分離領域、72, 200 カソード領域、74, 76 配線、80 P-sub層、82 エピタキシャル層、84 Pウェル、86, 92 Nウェル、88, 102 pチャネルMOSFET、90 nチャネルMOSFET、94, 104 ソース領域、96, 106 ドレイン領域、98 ゲート酸化膜、100, 110 ゲート電極、112 LOCOS、116 反射防止膜、120 電圧源、122 オペアンプ、202 アノード領域、204, 206 トレンチ、208 受光半導体領域。

30

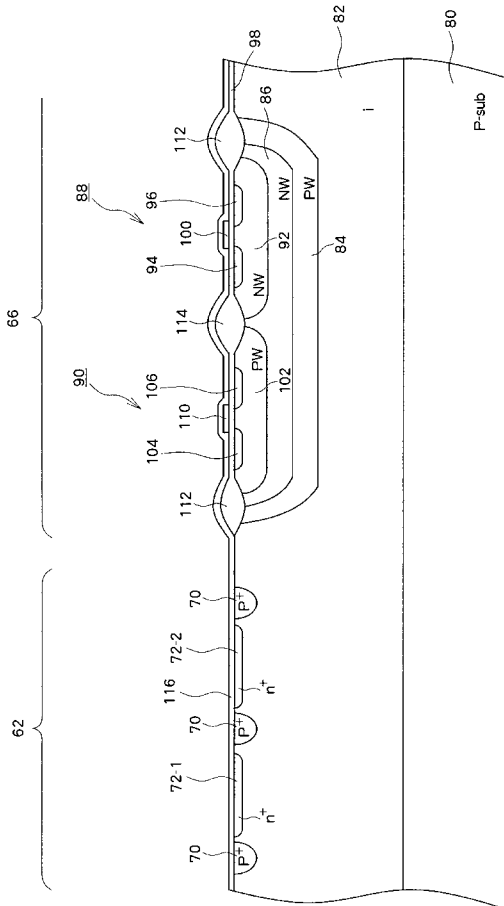
【 図 1 】



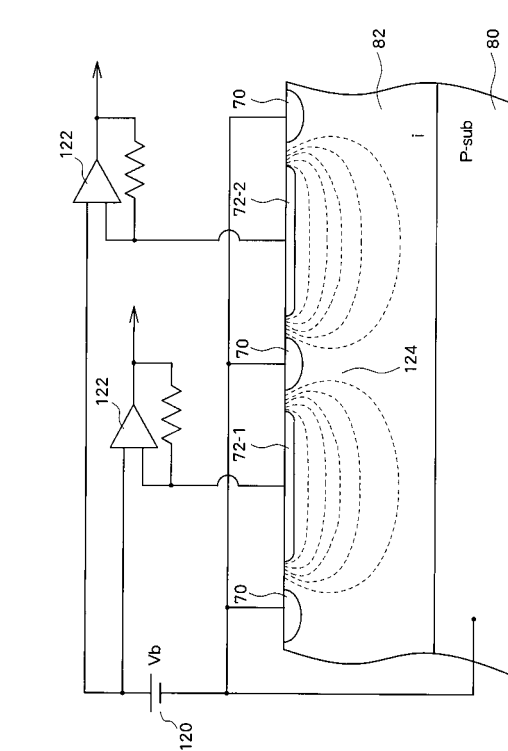
【 図 2 】



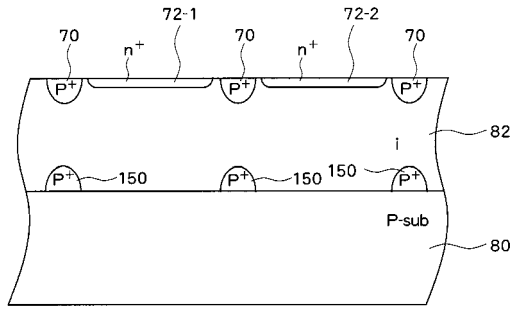
【 図 3 】



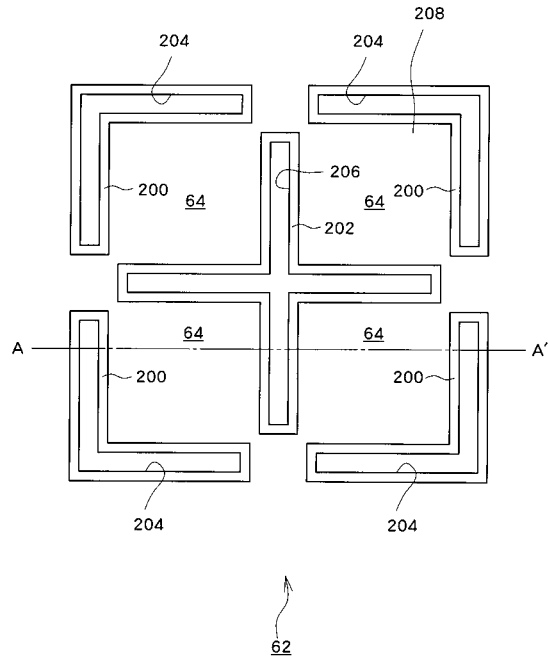
【 図 4 】



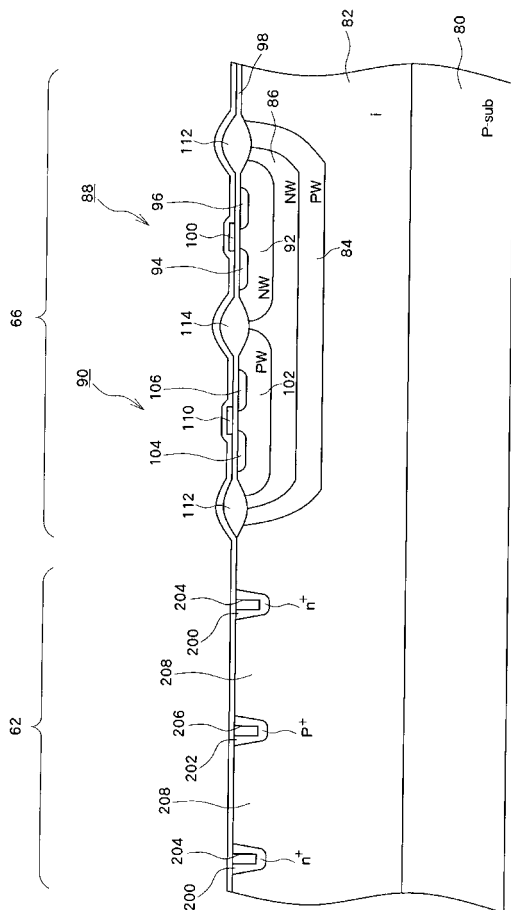
【 図 5 】



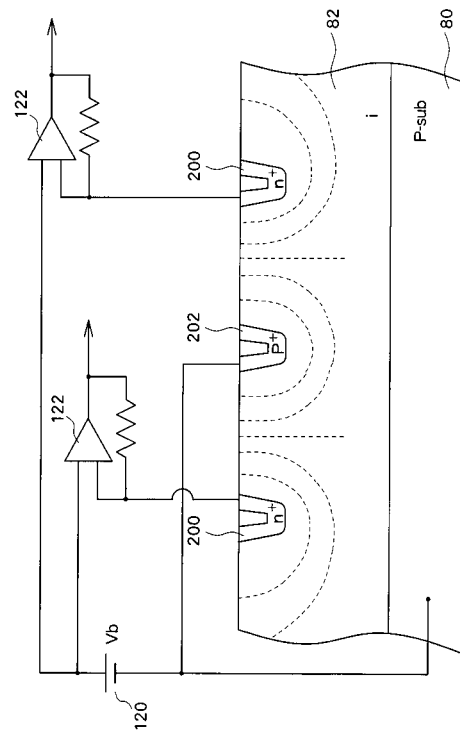
【 図 6 】



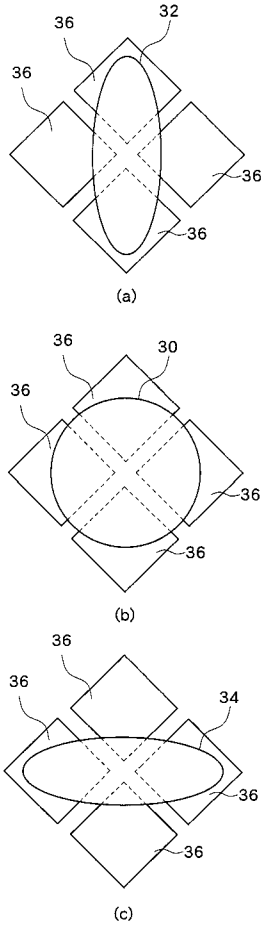
【 図 7 】



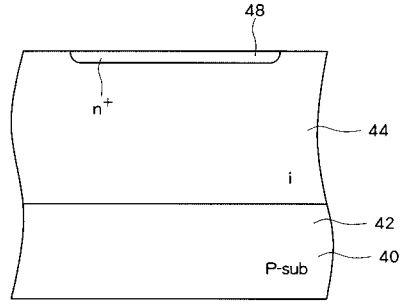
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

