MORNINGSIDE
a Questel company

TRANSLATOR DECLARATION

Date: November 22, 2022

To whom it may concern:

Corey Colling deposes and says:

1. I am over eighteen (18) years of age and believe in the nature and obligation to tell the truth under the penalty perjury.
2. I am employed by (or through) Morningside.
3. I am an independent translator with 13 years' experience.
4. My qualifications include: STIBC Certified Korean to English Translator
5. I state the following:

I, Corey Colling, a translator fluent in the Korean and English languages, on behalf of Morningside, do solemnly and sincerely declare under penalty of perjury under the laws that to the best of my knowledge and belief, the document(s) listed below is a true and accurate translation from Korean into English.

The document is designated as:

- KR_20030001795_A

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true, and that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

COREY COLLING

Print

(19) Korean Intellectual Property Office (KR)
(12) Official gazette of unexamined patent (A)

(51)	₀ Int. Cl. [7] H01L 27/146	(11) Publication No. (43) Publication date	2003-0001795 January 8, 2003

(21)	Application No.	10-2001-0037521
(22)	Application date	June 28, 2001
(71)	Applicant	Hynix Semiconductor Co., Ltd. 136-1-san, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do
(72)	Inventor	HWANG, Joon 201-710 Samjung Apts., Yullyang-dong, Sangdang-gu, Cheongju-si, Chungcheongbuk-do
(74)	Agent	Shinsung Patent Law Firm

Examination requested: None

(54) IMAGE SENSOR AND FABRICATION METHOD THEREOF

Abstract

The present invention relates to a semiconductor device, and specifically, provides an image sensor that can prevent crosstalk and lead to simplification of the process, according to the isolation between devices by acquiring a channel stop region without additional ion implantation, using BSG (borosilicate) as the field insulation film by using shallow trench device isolation, and a fabrication method thereof; to achieve this purpose, it provides an image sensor comprising: a trench-shaped field insulation film formed locally by the first conductivity-type impurities being buried in the semiconductor layer of the first conductivity type; a channel stop region formed by the first conductivity-type impurities being diffused to the bottom of the field insulation film; a gate electrode formed on the top of the semiconductor layer, far from the field insulation film; a first impurities region of a second conductivity type making contact with the channel stop region and the gate electrode; and, a second impurities region of a first conductivity type formed on the interface making contact with the semiconductor layer in the first impurities region.

In addition, the present invention provides an image sensor fabrication method.

Representative figure

FIG. 2c

Keywords
Dark current, photodiode, crosstalk, channel stop region, STI.

Specification

Brief Description of Figures

[0001] FIG. 1 is a schematic diagram of the conventional image sensor having the trench-type field insulation film.

[0002] FIGS. 2a to 2c are cross-sectional views illustrating the image sensor fabrication process according to an embodiment of the present invention. *Description of reference numbers for main parts of figures*

[0003] 20: Semiconductor layer

[0004] 23: Field insulation film

[0005] 24, 25, 26: Gate electrode

[0006] P+: Channel stop region

Detailed description of invention

Purpose of invention

Technical field to which the invention pertains and background art

[0007] The present invention relates to a semiconductor device, and specifically, relates to an image sensor fabrication method, and more specifically, relates to an image sensor using shallow trench device isolation and a fabrication method thereof.

[0008] Generally, image sensors are semiconductor devices that convert optical images to electrical signals. Dual charge-coupled devices (CCD) have several MOS (Metal–Oxide–Silicon) capacitors located in very close proximity to one another and store and transport charge carriers to the capacitors. CMOS (Complementary MOS; hereinafter “CMOS”) image sensors are devices that create as many MOS transistors as there are pixels using CMOS technology that uses peripheral circuits as the control circuit and signal processing circuit, and adopts a switching scheme that detects the outputs in turn by using these.

[0009] Efforts are ongoing to increase the photosensitivity of image sensors in the fabrication of a variety of image sensors; one of these is concentration technology. For example, CMOS image sensors comprise photodiodes that detect light, and the part of the CMOS logic circuit that processes the detected light into electrical signals and converts them into data. Efforts are ongoing to increase the ratio (this is conventionally referred to as “fill factor”) of the photodiode-occupied area to the total area of the image sensor, to increase the photosensitivity.

[0010] FIG. 1 illustrates a schematic diagram of the conventional image sensor having the trench-type field insulation film.

[0011] Referring to FIG. 1, in the conventional image sensor, a semiconductor layer in which a high concentration P++ layer (10) and a P-epi layer (11) are stacked is used. Below, the P++ layer (10) and the P-epi layer (11) will be referred to as the semiconductor layer.

[0012] The trench-type field insulation film (12) is formed locally on the semiconductor layer, and the gate electrodes (13, 14, and 15), for example, the transfer gates, are disposed in the region far from the field insulation film

[0013] (12), and make contact with the gate electrodes (13, 14, and 15) and the field insulation film (12). Also, they have the impurities region for photodiodes (n-) formed at a predetermined height inside the semiconductor layer, and the shallow impurities region (P0) for photodiodes, disposed in the interface, making contact with the semiconductor layer on the top of the impurities region for photodiodes (n-), and the impurities region (n+) connected with a sensing node disposed.

[0014] In the above-described conventional image sensor, the field insulation film (12) is formed as a simple trench; therefore, in the LOCOS (Local Oxidation of Silicon) method, it selects a photodiode shape in which only the Bird’s beak part is extended.

[0015] Therefore, improvements are necessary in terms of improving the photodiode capacity that must additionally achieved. There is demand for a method that is able to reduce intermixing and crosstalk between image data and unit pixels, through more precise isolation between unit pixels.

Technical problem to be solved by the invention

[0016] The purpose of the present invention, proposed to resolve the problems of the above-described conventional technology, is to provide an image sensor that can prevent crosstalk and lead to simplification of the process, according to the isolation between devices by acquiring a channel stop region without additional ion implantation, using BSG (borosilicate) as the field insulation film by using shallow trench device isolation, and a fabrication method thereof.

Configuration and action of the invention

[0017] To achieve the above-described purpose, the present invention provides an image sensor fabrication method comprising: a first step of forming a trench by optionally etching a semiconductor layer of a first conductivity type; a second step of forming a field insulation film doped with a first conductivity-type impurity buried in the trench; a third step of forming a channel stop region by diffusing the first conductivity-type impurity doped on the field insulation film to the bottom of the field insulation film by conducting heat treatment; a fourth step of forming a gate electrode on the top of the semiconductor layer; a fifth step of forming a first impurities region of a second conductivity type that makes contact with the channel stop region and the gate electrode; and, a fifth step of forming a second impurities region of the first conductivity type on the interface that makes contact with the semiconductor layer in the first impurities region.

[0018] In addition, to achieve the above-described purpose, the present invention provides an image sensor comprising: a trench-shaped field insulation film formed locally by the first conductivity-type impurities being buried in the semiconductor layer of the first conductivity type; a channel stop region formed by the first conductivity-type impurities being diffused to the bottom of the field insulation film; a gate electrode formed on the top of the semiconductor layer, far from the field insulation film; a first impurities region of a second conductivity type making contact with the channel stop region and the gate electrode; and a second impurities region of a first conductivity type formed on the interface making contact with the semiconductor layer in the first impurities region.

[0019] Herein, to describe the present invention in detail so that a person skilled in the art would be able to easily carry out the technical spirit of the present invention, description is made by referring to FIGS. 2a to 2c accompanying the most preferred embodiment of the present invention.

[0020] FIG. 2c is a cross-sectional view of the image sensor formed according to an embodiment of the present invention.

[0021] Referring to FIG. 2c, the image sensor of the present invention is configured by providing a trench-shaped field insulation film formed locally by P-type impurity being buried in the P-type semiconductor layer (20); a channel stop region (P+) formed by P-type impurity being diffused to the bottom of the field insulation film (23); gate electrodes (24 and 25) formed on the top of the semiconductor layer (20) far from the field insulation film (23); an N-type impurities region (n-) that makes contact with the channel stop region (P+) and the gate electrodes (24 and 25); and a P-type impurities region (P0) formed on the interface contacting the semiconductor layer (20) inside the impurities region (n-).

[0022] Preferably, the P-type impurity is BSG (borosilicate glass).

[0023] Herein, the image sensor fabrication process of the present invention having the above-described configuration will be described in detail.

[0024] FIGS. 2a to 2c are cross-sectional views illustrating the image sensor fabrication process according to an embodiment of the present invention.

[0025] First, as illustrated in FIG. 2a, to categorize the subsequent field insulation film region and active region, a pad oxide film (21)/buffer polysilicon film (not shown), or the like, are sequentially applied; next, a photosensitive layer pattern (22) is formed to form the trench. In the conventional image sensor, a semiconductor layer in which the high concentration P++ layer and the P-epi layer are stacked is used, therefore figure numeral “20” shows this semiconductor layer in which the P++ layer and P-epi layer are stacked.

[0026] Next, as illustrated in FIG. 2b, the photosensitive film pattern (22) is masked, the pad oxide film (21) and the semiconductor layer (20) are etched, thereby forming the trench (not shown); next, the photosensitive pattern (22) is removed by conducting PR strip. Next, annealing is performed to form the trench profile.

[0027] Next, a substance doped with P-type impurity, for example, BSG (borosilicate glass), or the like, is deposited, thereby burying the trench. Next, chemical mechanical polishing (hereinafter referred to as “CMP”) is carried out, thereby forming a STI-structure field insulation film (23).

[0028] Next, a simple heat process is carried out, thereby diffusing the doped P-type impurity inside the field insulation film (23), by doing so, can form the channel stop region (P+), and can also naturally diffuse when proceeding with the subsequent processes. Therefore, the additional processes, such as ion implantation, or the like, may be omitted, and isolation between pixels is precise; in this manner, may resolve the problems such as crosstalk, or the like.

[0029] Next, as illustrated in FIG. 2c, to form the gate electrodes of the four NMOS transistors inside the unit pixels, a polysilicon film and a tungsten silicide film are sequentially applied, and the photosensitive film (not shown) is applied; next, exposure and development are carried out using a mask for gate electrode formation. At this time, on one side of the gate electrode to be subsequently formed, the doping profile of a low-voltage buried photodiode determines the charge transfer efficiency; therefore, to form the low-voltage buried photodiode so that the thickness of the gate electrode is sufficiently thick, ensures that self-alignment may be done of high energy N-type ion implantation and low energy P-type ion implantation on one side of the gate electrode (thick polycide process).

[0030] If the thickness of the gate electrode is not sufficiently thick, during high energy N-type ion implantation, the phosphorous (P-31) dopant penetrates the gate electrode, thereby self-alignment of high energy P-type ion implantation and low energy P-type ion implantation on one side of the gate electrode becomes impossible, which decreases the charge transfer efficiency.

[0031] Next, the part of the polycide layer in addition to the gate electrodes (24, 25, and 26) is removed through dry etching, thereby forming the gate electrodes (24, 25, and 26). Next, to form the low voltage buried photodiode, the photosensitive film (not shown) is applied, then N-type ion implantation is carried out. At this time, one side of the mask for high energy N-type ion implantation use is aligned on the center of the gate electrode, and the other side is aligned on the interface surface between the field oxide film and active region, and part of this enters into the active region. In other words, the low voltage buried photodiode must include both the region in which the low energy P-type ion implantation is to be proceeded with subsequently, and the region in which the high energy N-type ion implantation is not carried out (connection window structure).

[0032] The reason is because the region formed by low energy P-type ion implantation cannot be electrically isolated from the P-epi layer by the region formed by N-type ion implantation, and they must be connected. [If] the low energy P-type region is not electrically connected with the P-epi layer, the low voltage buried photodiode does not operate normally, and it would operate as

a pure PN junction. Through this process, the third deep buried PN junction is formed on the low concentration P-epi layer, and then the photosensitive film is removed.

[0033] Next, to form the low voltage buried photodiode, the photosensitive film (not shown) is applied, then low energy P-type ion implantation is carried out using the mask for low energy P-type ion implantation. At this time, one side of the mask for low energy P-type ion implantation use is aligned on the center of the gate electrode, and the other side is aligned on the interface surface between the field oxide film and active region, and there is no part that enters into the active region. Therefore, the low energy P-type ion implantation region must be electrically connected with the field insulation film (13) for which high energy N-type ion implantation is not done and the low concentration P-epi layer at the interface surface of the active region, thereby always having equipotential during operation of the low voltage buried photodiode. Through this process, the high energy N-type ion implantation layer and second shallow junction are formed; next, the photosensitive film (not shown) is removed.

[0034] As described above, the present invention forms an STI structure field insulation film, and then uses an insulation film doped with impurities, such as BSG. By doing so, the present invention effectively carries out isolation between pixels, thereby it may resolve the problem of crosstalk, or the like, and may omit the process of ion implantation to form the channel stop region. We examined this through the embodiment.

[0035] The technical spirit of the present invention has been described in detail according to the above-described preferred embodiment; however, the above-described embodiment is for describing the present invention, and care must be exercised so it does not limit the present invention. In addition, it will be apparent to person skilled in the art of the field pertaining to the present invention that various embodiments are possible within the scope of the technical spirit of the present invention.

Effect of the invention

[0036] With the above-described present invention, excellent effects may be anticipated in that it may minimize crosstalk of data between pixels, and dark current; may omit the ion implantation process thereby ultimately may significantly improve the performance of the image sensor; and, may lead to simplification of the process.

(57) Scope of claims

Claim 1.

An image sensor fabrication method, comprising:

a first step of forming a trench by optionally etching a semiconductor layer of a first conductivity type;

a second step of forming a field insulation film doped with a first conductivity-type impurity buried in the trench;

a third step of forming a channel stop region by diffusing the first conductivity-type impurity doped on the field insulation film to the bottom of the field insulation film by conducting heat treatment;

a fourth step of forming a gate electrode on the top of the semiconductor layer;

a fifth step of forming a first impurities region of a second conductivity type that makes contact with the channel stop region and the gate electrode; and,

a fifth step of forming a second impurities region of the first conductivity type on the interface that makes contact with the semiconductor layer in the first impurities region.

Claim 2.

The image sensor fabrication method of claim 1,

wherein the first conductivity-type impurity is BSG (borosilicate glass).

Claim 3.

The image sensor fabrication method of claim 1,

wherein the first conductivity type is P-type, and the second conductivity type is N-type.

Claim 4.

An image sensor, the image sensor comprising:

a trench-shaped field insulation film formed locally by the first conductivity-type impurities being buried in the semiconductor layer of the first conductivity type;

a channel stop region formed by the first conductivity-type impurities being diffused to the bottom of the field insulation film; a gate electrode formed on the top of the semiconductor layer, far from the field insulation film;

a first impurities region of a second conductivity type making contact with the channel stop region and the gate electrode; and,

a second impurities region of a first conductivity type formed on the interface making contact with the semiconductor layer in the first impurities region.

Claim 5.

The image sensor of claim 4,

wherein the first conductivity-type impurity is BSG (borosilicate glass).

Claim 6.

The image sensor of claim 4,

wherein the first conductivity type is a P-type, and the second conductivity type is an N-type.

Figures

FIG. 1

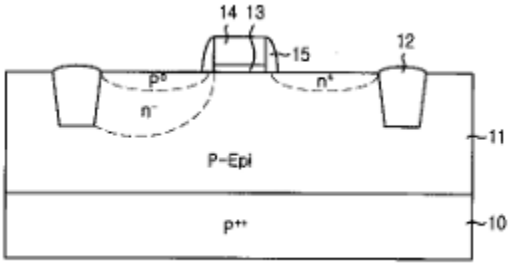


FIG. 2a

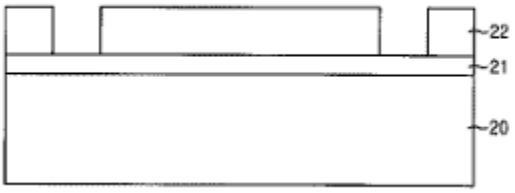


FIG. 2b

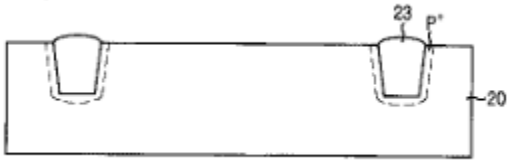
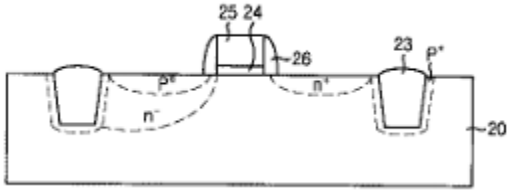


FIG. 2c



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/146

(11) 공개번호 특2003- 0001795
(43) 공개일자 2003년01월08일

(21) 출원번호 10- 2001- 0037521
(22) 출원일자 2001년06월28일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136- 1

(72) 발명자 황준
충청북도청주시상당구율량동삼정아파트201- 710

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 이미지센서 및 그 제조 방법

요약

본 발명은 이미지센서에 관한 것으로, 특히 샬로우 트렌치 소자분리를 이용하여, 필드 절연막으로 BSG(Boro Silicate)를 이용함으로써, 추가의 이온주입없이 채널 스탑 영역을 확보하여 소자간 분리에 따른 크로스토크를 방지할 수 있을 뿐만아니라 공정 단순화를 기할 수 있는 이미지센서 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트렌치 형상의 필드 절연막; 상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역; 상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극; 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역을 포함하여 이루어지는 이미지센서를 제공한다.

또한, 본 발명은 이미지센서 제조 방법을 제공한다.

대표도

도 2c

색인어
암전류, 포토다이오드, 크로스 토크, 채널 스탑 영역, STI.

명세서

도면의 간단한 설명

도 1은 통상적인 트렌치형 필드 절연막을 갖는 이미지센서의 개략도,

도 2a 내지 도 2c는 본 발명의 일실시예에 따른 이미지센서 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

20 : 반도체층

23 : 필드 절연막

24, 25, 26 : 게이트전극

P+ : 채널 스탑 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로 특히, 이미지센서 제조 방법에 관한 것으로, 더욱 상세하게는 샬로우 트렌치 소자 분리를 이용한 이미지센서 및 그 제조 방법에 관한 것이다.

일반적으로, 이미지센서라 함은 광학 영상(Optical image)을 전기 신호로 변환시키는 반도체소자로서, 이중 전하결합 소자(CCD : Charge Coupled Device)는 개개의 MOS(Metal- Oxide- Silicon) 커패시터가 서로 매우 근접한 위치에 있으면서 전하 캐리어가 커패시터에 저장되고 이송되는 소자이며, CMOS(Complementary MOS; 이하 CMOS) 이미지센서는 제어회로(Control circuit) 및 신호처리회로(Signal processing circuit)를 주변회로로 사용하는 CMOS 기술을 이용하여 화소수만큼 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력(Output)을 검출하는 스위칭 방식을 채용하는 소자이다.

이러한 다양한 이미지센서를 제조함에 있어서, 이미지센서의 감광도(Photo sensitivity)를 증가시키기 위한 노력들이 진행되고 있는 바, 그 중 하나가 집광기술이다. 예컨대, CMOS 이미지센서는 빛을 감지하는 포토다이오드와 감지된 빛을 전기적 신호로 처리하여 데이터화하는 CMOS 로직회로부분으로 구성되어 있는 바, 광감도를 높이기 위해서는 전체 이미지센서 면적에서 포토다이오드의 면적이 차지하는 비율(이를 통상 Fill Factor" 라 한다)을 크게 하려는 노력이 진행되고 있다.

도 1은 통상적인 트렌치(Trench)형 필드 절연막을 갖는 이미지센서의 개략도를 도시한다.

도 1을 참조하면, 통상적인 이미지센서에서 고농도인 P+ + 층(10) 및 P- Epi층(11)이 적층된 반도체층을 이용하는 바, 이하 P+ + 층(10) 및 P- Epi층(11)을 반도체층으로 칭한다.

반도체층에 국부적으로 트렌치형 필드 절연막(12)이 형성되어 있으며, 필드 절연막(12)과 떨어진 영역에 게이트전극(13, 14, 15) 예컨대, 트랜스퍼 게이트(Transfer gate)가 배치되어 있으며, 게이트전극(13, 14, 15)과 필드 절연막

(12)에 접하면서 반도체층 내부에 소정의 깊이로 형성된 포토다이오드용 불순물 영역(n-)과 포토다이오드용 불순물 영역(n-) 상부의 반도체층과 접하는 계면에 얕은 포토다이오드용 불순물 영역(P0)이 배치되어 있으며, 센싱 노드와 연결되는 불순물 영역(n+)가 배치되어 있다.

한편, 상기와 같은 종래의 이미지센서는 필드 절연막(12)이 단순 트렌치 형으로 되어 있어 LOCOS(LOCal Oxidation of Silicon) 방법에서의 버즈비크(Bird's beak) 부분만 확장하는 포토다이오드 형태를 취하고 있다.

따라서, 추가적으로 행해져야 할 포토다이오드 용량(Capacity) 향상 측면에서의 개선이 필요하며, 보다 확실한 단위 화소(Pixel)간의 분리(Isolation)를 통해 이미지 데이타가 단위 화소간의 상호 혼합(Intermix)되는 크로스 토크(Crosstalk)를 줄일 수 있는 방법이 요구되어 진다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래 기술의 문제점을 해결하기 위해 제안된 본 발명은, 샬로우 트렌치 소자분리를 이용하여, 필드 절연막으로 BSG(Boro Silicate)를 이용함으로써, 추가의 이온주입없이 채널 스탑 영역을 확보하여 소자간 분리에 따른 크로스토크를 방지할 수 있을 뿐만아니라 공정 단순화를 기할 수 있는 이미지센서 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 제1도전형의 반도체층을 선택적으로 식각하여 트렌치를 형성하는 제1단계; 상기 트렌치에 매립된 제1도전형 불순물이 도핑된 필드 절연막을 형성하는 제2단계; 열처리를 실시하여 상기 필드 절연막에 도핑된 상기 제1도전형 불순물을 상기 필드 절연막 하부로 확산시켜 채널 스탑 영역을 형성하는 제3단계; 상기 반도체층 상에 게이트전극을 형성하는 제4단계; 이온주입을 통해 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역을 형성하는 제5단계; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 제1도전형의 제2불순물 영역을 형성하는 제5단계를 포함하여 이루어지는 이미지센서 제조 방법을 제공한다.

또한, 상기 목적을 달성하기 위하여 본 발명은, 제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트렌치 형상의 필드 절연막; 상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역; 상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극; 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및 상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역을 포함하여 이루어지는 이미지센서를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도 2a 내지 도 2c를 참조하여 설명하기로 한다.

도 2c는 본 발명의 일실시예에 따라 형성된 이미지센서의 단면도이다.

도 2c를 참조하면, 본 발명의 이미지센서는 P형의 반도체층(20)에 P형 불순물이 매립되어 국부적으로 형성된 트렌치 형상의 필드 절연막(23)과, 필드 절연막(23) 하부로 P형 불순물이 확산되어 형성된 채널 스탑 영역(P+)과, 필드 절연막(23)과 떨어져 반도체층(20) 상에 형성된 게이트전극(24, 25)과, 채널 스탑 영역(P+) 및 게이트전극(24, 25)에 접하는 N형의 불순물 영역(n-)과, 불순물 영역(n-) 내의 반도체층(20)과 접하는 계면에 형성된 P형의 불순물 영역(P0)을 구비하여 구성된다.

바람직하게 상기 P형 불순물은, BSG(Boro Silicate Glass) 이다.

이하, 상기한 구성을 갖는 본 발명의 이미지센서 제조 공정을 성세히 후술한다.

도 2a 내지 도 2c는 본 발명의 일실시예에 따른 이미지센서 제조 공정을 도시한 단면도이다.

먼저 도 2a에 도시된 바와 같이, 이후 필드 절연막 영역과 활성영역을 구분하기 위하여 패드산화막(21)/버퍼 폴리실리콘막(도시하지 않음) 등을 연속적으로 도포한 후 트렌치 형성을 위한 감광막 패턴(22)을 형성하는 바, 통상적인 이미지센서에서 고농도인 P++ 층 및 P- Epi층이 적층된 반도체층을 이용하는 바, 도면부호 '20'은 이러한 P++ 층 및 P- Epi층이 적층된 반도체층을 나타낸다.

다음으로 도 2b에 도시된 바와 같이, 감광막 패턴(22)을 마스크로 하여 패드산화막(21) 및 반도체층(20)을 식각하여 트렌치(도시하지 않음)를 형성한 다음, 피알 스트립(PR strip)을 실시하여 감광막 패턴(22)을 제거한 후, 트렌치 프로파일(Profile) 형상을 위해 어닐(Anneal)을 실시한다.

이어서, P형 불순물이 도핑된 물질 예컨대, BSG(Boro Silicate Glass) 등을 증착하여 트렌치를 매립한 다음, 화학 기계적 연막(Chemical Mechanical Polishing; 이하 CMP라 함)를 실시하여 STI 구조의 필드 절연막(23)을 형성한다.

이어서, 간단한 열공정을 실시하여 필드 절연막(23) 내에 도핑된 P형 불순물을 확산시킴으로써, 채널 스탑 영역(P+)을 형성할 수 있으며, 후속 공정 진행시 자연스럽게 확산될 수도 있는 바, 이온주입 등의 추가 공정을 생략할 수 있으며, 화소간 분리를 확실히 함으로써, 크로스 토크 등의 문제를 해결할 수 있게 된다.

다음으로 도 2c에 도시된 바와 같이, 단위 화소 내 4개의 NMOS 트랜지스터의 게이트전극을 형성하기 위해 폴리실리콘막과 텅스텐 실리사이드막을 연속적으로 도포하고 감광막(도시하지 않음)을 도포한 후 게이트전극 형성 용 마스크를 사용하여 노광 및 현상을 실시한다. 이때, 이후 형성되는 게이트전극의 한쪽면에서의 저전압 베리드 포토다이오드의 도핑 프로파일(Doping profile)이 전하 운송 효율(Charge Transfer Efficience)을 결정하게 되므로 게이트전극의 두께를 충분히 두껍게 하여 저전압 베리드 포토 다이오드를 형성하기 위한 고에너지 N- type 이온주입과 저에너지 P- type 이온주입을 게이트전극의 한쪽면에서 자기 정렬(Self Alignment)할 수 있도록 한다.(Thick Polycide 공정)

만일 게이트전극의 두께를 충분히 두껍게 하지 않으면 고에너지 N- type 이온주입시 도판트인 인(P31)이 게이트전극을 뚫고 들어가 고에너지 P- type 이온주입과 저에너지 P- type 이온주입을 게이트전극의 한쪽면에서 자기 정렬(self Alignment)할 수 없게 되어 전하 운송 효율(Charge Transfer Efficience)이 저하된다.

이어서, 건식식각을 통해 게이트전극(24, 25, 26) 이외의 부분의 폴리사이드층을 제거하여 게이트전극(24, 25, 26)을 형성한 다음, 저전압 베리드 포토다이오드를 형성하기 위하여 감광막(도시하지 않음)을 도포한 후 고에너지 N- type 이온주입을 실시하는 바, 이때 고에너지 N- type 이온주입용 마스크의 한쪽 면은 게이트전극의 중앙에 정렬(Align)되고 다른 한쪽 면은 필드 산화막과 활성영역의 경계면에 정렬(Align)되는데 그 일부는 반드시 활성영역 안으로 들어오게 된다. 즉, 저전압 베리드 포토 다이오드는 이후 진행될 저에너지 P- type 이온주입은 실시되고 고에너지 N- type 이온주입은 실시되지 않는 영역을 반드시 포함하여야만 한다.(Connection Window 구조)

그 이유는 저에너지 P- type 이온주입에 의해 형성된 영역이 고에너지 N- type 이온주입에 의해 형성된 영역에 의해 P- Epi층과 전기적으로 분리되어서는 안되고 반드시 연결되어야 하기 때문이다. 만일 저에너지 P- type 영역이 P- epi층과 전기적으로 연결되지 않으며 전압 베리드 포토 다이오드는 정상적으로 동작하지 않고 단순한 PN 접합과 같이 동작할 것이다. 이와같은 공정을 통해 저농도의 P- epi층에 첫 번째 딥(Deep) 베리드 PN 접합을 형성시킨후 감광막을 제거한다.

이어서, 저전압 베리드 포토 다이오드를 형성하기 위하여 감광막(도시하지 않음)을 도포한 후 저에너지 P- type 이온주입용 마스크를 사용하여 저에너지 P- type 이온주입을 실시하는 바, 이때 저에너지 P- type 이온주입용 마스크의 한쪽 면은 게이트전극의 중앙에 정렬(Align)되고 다른 한쪽면은 필드 산화막과 활성영역의 경계면에 정렬(Align)되며 활성영역 안으로 들어오는 부분은 없다. 따라서, 저에너지 P- type 이온주입 영역은 고에너지 N- type 이온주입이 되지 않은 필드 절연막(13)과 활성영역의 경계면에서 저농도의 P- epi 층과 전기적으로 반드시 연결되어 저전압 베리드 포토 다이오드 동작시 항상 등가전위(Equpotential)를 갖는다. 이와같은 공정을 통해 고에너지 N- type 이온주입층과 두 번째 얕은(Shallow) PN 접합을 형성시킨후 감광막(도시하지 않음)을 제거한다.

상기한 바와 같이 이루어지는 본 발명은, STI 구조의 필드 절연막을 형성한 후, BSG 등의 불순물이 도핑된 절연막을 이용함으로써, 화소간 분리를 효과적으로 하여 크로스 토크 등의 문제를 해결할 수 있으며, 채널 스탑 영역 형성을 위한 이온주입 공정을 생략할 수 있음을 실시예를 통해 알아 보았다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은, 화소간 데이타의 크로스 토크 및 암전류를 최소화할 수있으며 이온주입 공정을 생략할 수 있도록 하여, 궁극적으로 이미지센서의 성능을 크게 향상시킬 수 있으며, 공정 단순화를 기할 수 있는 탁월한 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

이미지센서 제조 방법에 있어서,

제1도전형의 반도체층을 선택적으로 식각하여 트렌치를 형성하는 제1단계;

상기 트렌치에 매립된 제1도전형 불순물이 도핑된 필드 절연막을 형성하는 제2단계;

열처리를 실시하여 상기 필드 절연막에 도핑된 상기 제1도전형 불순물을 상기 필드 절연막 하부로 확산시켜 채널 스탑 영역을 형성하는 제3단계;

상기 반도체층 상에 게이트전극을 형성하는 제4단계;

이온주입을 통해 상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역을 형성하는 제5단계; 및

상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 제1도전형의 제2불순물 영역을 형성하는 제5단계

를 포함하여 이루어지는 이미지센서 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제1도전형 불순물은, BSG(Boro Silicate Glass)인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 제1도전형은 P형이며, 상기 제2도전형은 N형인 것을 특징으로 하는 이미지센서 제조 방법.

청구항 4.

이미지센서에 있어서,

제1도전형의 반도체층에 제1도전형 불순물이 매립되어 국부적으로 형성된 트렌치 형상의 필드 절연막;

상기 필드 절연막 하부로 상기 제1도전형 불순물이 확산되어 형성된 채널 스탑 영역;

상기 필드 절연막과 떨어져 상기 반도체층 상에 형성된 게이트전극;

상기 채널 스탑 영역 및 상기 게이트전극에 접하는 제2도전형의 제1불순물 영역; 및

상기 제1불순물 영역 내의 상기 반도체층과 접하는 계면에 형성된 제1도전형의 제2불순물 영역

을 포함하여 이루어지는 이미지센서.

청구항 5.

제 4 항에 있어서,

상기 제1도전형 불순물은, BSG(Boro Silicate Glass)인 것을 특징으로 하는 이미지센서.

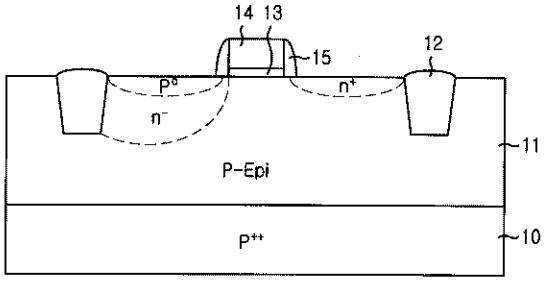
청구항 6.

제 4 항에 있어서,

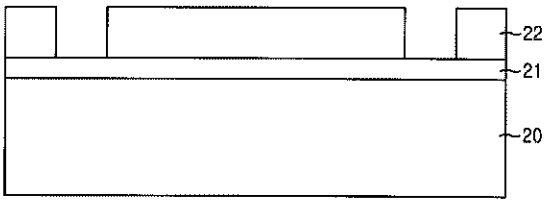
상기 제1도전형은 P형이며, 상기 제2도전형은 N형인 것을 특징으로 하는 이미지센서.

도면

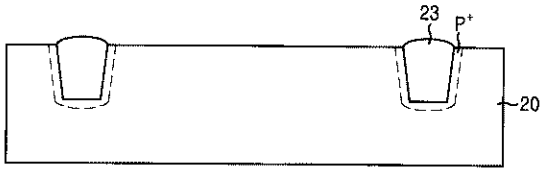
도면 1



도면 2a



도면 2b



도면 2c