(19) [Issuing Country] Japan Patent Office (JP)
(12) [Publication Name] Gazette of Unexamined Patent Applications (A)
(11) [Publication Number] H11-191574
(43) [Publication Date] July 13, 1999

(51) [Int.Cl.[6]]	[Internal File Nos.]	[FI]
H01L 21/60	311	H01L 21/60 311S
23/12		23/12 L

[Examination Request] Received
[Number of Claims] 6
[Application Format] Online (OL)
[Total Number of Pages] 5

(21) [Application Number] H09-359478
(22) [Filing Date] December 26, 1997
(71) [Applicant]
[Identification Number] 000004237
[Name] NEC Corporation
[Address] 5-7-1, Shiba, Minato-ku, Tokyo
(72) [Inventor]
[Name] Shuichi MATSUDA
[Address] NEC Corporation, 5-7-1, Shiba, Minato-ku, Tokyo
(74) [Agent]
[Attorney]
[Name] Masaki YAMAKAWA

(54) [Title of the Invention]

Semiconductor Device

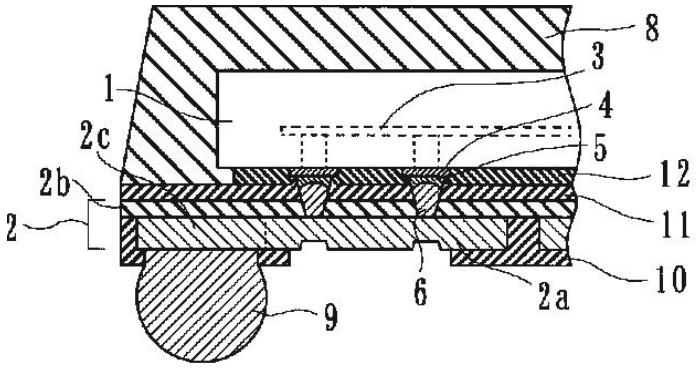
(57) [Abstract]

[Problem]

To prevent poor connections between chip electrodes and bumps.

[Solution]

Provided is a semiconductor device having TAB tape 2 with wiring 2a of a predetermined pattern formed on one side, and a semiconductor chip 1 with a chip electrode 4 provided on the other side, the wiring 2a and chip electrodes 4 being connected electrically via bumps 5, 6 formed in through-holes. Here, the semiconductor chip 1 has two or more chip electrodes 4 connected to a wiring layer 3, the wiring 3 being connected to the two or more chip electrodes 4 via bumps 5, 6 provided opposite each of the chip electrodes 4.



[Claims]

[Claim 1]

A semiconductor device comprising a wiring board with a desired pattern of wiring formed on one side, and a semiconductor chip provided on the other side of the wiring board and having chip electrodes, the wiring and chip electrodes electrically connected via bumps formed in through-holes of the wiring board, the semiconductor device characterized in that the semiconductor chip has two or more chip electrodes connected to the same wiring layer in the semiconductor chip, and one wiring of the wiring board is connected to the two or more chip electrodes via bumps provided opposite each of the chip electrodes.

[Claim 2]

A semiconductor device comprising a wiring board with a desired pattern of wiring formed on one side, and a semiconductor chip provided on the one side of the wiring board and having chip electrodes, the wiring and chip electrodes electrically connected via bumps formed in through-holes of the wiring board, the semiconductor device characterized in that the semiconductor chip has two or more chip electrodes connected to the same wiring layer in the semiconductor chip, and one wiring of the wiring board is connected to the two or more chip electrodes via bumps provided opposite each of the chip electrodes.

[Claim 3]

The semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged from the edge of the semiconductor chip toward the inside of the semiconductor chip.

[Claim 4]

The semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged parallel to the edge of the semiconductor chip, and
the wiring is at least bent at one point.

[Claim 5]

The semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged parallel to the edge of the semiconductor chip, and the width of the wiring at its tip is greater than or equal to the interval between the arranged chip electrodes.

[Claim 6]

The semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are at least any one of a ground terminal, a power terminal, or a signal terminal of the semiconductor chip.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a semiconductor device, and more specifically to a semiconductor device that prevents poor connections between chip electrodes and wiring on a wiring board.

[0002]

[Prior Art]

There are chip size packages (CSPs) in which the size of the package has been reduced until it is almost as small as the size of the semiconductor chip.

[0003]

However, there are several types of CSPs, depending on the interposer used to mount semiconductor chips, and one of them uses a film carrier. When a film carrier is used in the interposer and the wiring on the film carrier is connected to chip electrodes on a semiconductor chip by thermocompression bonding, the stress generated after the connection causes the connections to separate and become electrically open.

[0004]

FIG. 7 is a diagram of a typical CSP configuration. As shown in the figure, the semiconductor chip 1 and the TAB tape 2 are approximately equal in size, and the semiconductor chip 1 is placed on the TAB tape 2, which is the film carrier. The Al chip electrodes (not shown) of the semiconductor chip 1 are electrically connected to bumps 9 via bumps (not shown) in through holes opened in the TAB tape 2. The entire semiconductor chip 1 is encapsulated in an encapsulating resin 8 consisting, for example, of an epoxy resin.

[0005]

FIG. 8 shows a cross-sectional view along line VIII-VIII' in FIG. 7. In this figure, components identical or similar to those in FIG. 7 are denoted by the same reference numbers. The TAB tape 2 is composed of polyimide tape 2b serving as the base and wiring 2a made of copper foil formed on top of the base, and the tape functions as a film carrier (wiring board) for mounting the semiconductor chip 1.

[0006]

The wiring 2a is a desired wiring pattern pre-formed on the polyimide tape 2b, and the bumps 6 are formed by depositing copper in through holes opened in the polyimide tape 2b. Bumps 5 made of Ni or Au, etc. are formed on the exposed surfaces of these bumps 6 by plating. Meanwhile, the chip electrodes 4 are electrically connected to the wiring layer 3 in the semiconductor chip 1, and the surface of the semiconductor chip 1 is covered by a chip cover film 12 so that the chip electrodes 4 are exposed.

[0007]

A film carrier produced in this way is used in the assembly of semiconductor packages as follows. First, the bumps 5 and chip electrodes 4 are arranged so that they face each other, and then the wiring 2a directly above the bumps 6 is subjected to pressure by a bonding tool while applying ultrasonic vibrations and heat. The bumps 5 are deformed to form an Au/Al alloy on the contact surface, and the chip electrodes 4 and bumps 5 are thermo-

compressed. The semiconductor chip 1 and the chip cover film 12 are also bonded by a bonding material 11, resulting in a semiconductor package. The exposed surfaces of the wiring 2a, etc. are coated with a solder resist 10 to protect them from corrosion, etc.

[0008]

[Problem to be Solved by the Invention]

In the past, however, the stress of the TAB tape 2, etc. after the bumps 5 and chip electrodes 4 were connected by thermo-compression bonding caused the connection to separate, resulting in defects being found in post-assembly inspections. It is an object of the present invention to solve this problem by providing a semiconductor device that prevents poor connections between chip electrodes and bumps.

[0009]

[Means for Solving the Problem]

In order to achieve this object, the invention according to claim 1 is a semiconductor device comprising a wiring board with a desired pattern of wiring formed on one side, and a semiconductor chip provided on the other side of the wiring board and having chip electrodes, the wiring and chip electrodes electrically connected via bumps formed in through-holes of the wiring board, the semiconductor device characterized in that the semiconductor chip has two or more chip electrodes connected to the same wiring layer in the semiconductor chip, and one wiring of the wiring board is connected to the two or more chip electrodes via bumps provided opposite each of the chip electrodes. The invention according to claim 2 is a semiconductor device comprising a wiring board with a desired pattern of wiring formed on one side, and a semiconductor chip provided on the one side of the wiring board and having chip electrodes, the wiring and chip electrodes electrically connected via bumps formed in through-holes of the wiring board, the semiconductor device characterized in that the semiconductor chip has two or more chip electrodes connected to the same wiring layer in the semiconductor chip, and one wiring of the wiring board is connected to the two or more chip electrodes via bumps provided opposite each of the chip electrodes. The invention according to claim 3 is the semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged from the edge of the semiconductor chip toward the inside of the semiconductor chip. The invention according to claim 4 is the semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged parallel to the edge of the semiconductor chip, and the wiring is at least bent at one point. The invention according to claim 5 is the semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are arranged parallel to the edge of the semiconductor chip, and the width of the wiring at its tip is greater than or equal to the interval between the arranged chip electrodes. The invention according to claim 6 is the semiconductor device according to claim 1 or claim 2, wherein the chip electrodes are at least any one of a ground terminal, a power terminal, or a signal terminal of the semiconductor chip. Because the configuration in the present invention has at least two pairs of chip terminals and bumps in the same wiring layer, if one connection is disconnected, the components are connected at other points, which has the effect of keeping open defects from occurring.

[0010]

[Embodiment of the Invention]

An embodiment of the present invention will now be described with reference to the drawings. FIG. 1 is a plan view of one embodiment of the present invention. In this figure, components identical or similar to those in FIG. 8 are denoted by the same reference numbers, and two chip electrodes 4 (made of Al, for example) are connected to the same wiring layer 3 of the semiconductor chip 1. Meanwhile, all of the chip electrodes 4 are connected to the same wiring 2a on the TAB tape 2, and pads 2c are formed at the end of the wiring 2a for attaching bumps. The wiring 2a is the wiring of the desired pattern formed with copper.

[0011]

The manufacturing process for the semiconductor device in FIG. 1 will now be explained. FIG. 2 is a cross-sectional view from line II-II' in FIG. 1 showing the manufacturing process for the semiconductor device in FIG. 1. In this figure, components identical or similar to those in FIG. 1 are denoted by the same reference numbers, and FIG. 2(a) and FIG. 2(b) show the various steps in the manufacturing process.

[0012]

First, in FIG. 2(a), the film carrier, which is TAB tape 2, is composed of a polyimide tape 2b serving as the base and wiring 2a made of copper foil formed on top of the base. After aligning the bumps 5 with the chip electrodes 4, the semiconductor chip 1 is mounted on the TAB tape 2 by pressure on the wiring 2a directly above the bumps 6 from two bonding tools 7 while ultrasonic vibration and heat are applied.

[0013]

Then, as shown in FIG. 2(b), the applied pressure deforms bump 5, forming an Au/Al alloy on the contact surface, and the two pairs of bumps 5 and chip electrodes 4 are thermo-compressed against each other. If stronger bonding strength is desired, bumps 5, 6 and corresponding chip electrodes 4 can be provided at three or more locations.

[0014]

FIG. 3 is a cross-sectional view of a semiconductor package using the structure shown in FIG. 1. In this figure, components identical or similar to those in FIG. 1 are denoted by the same reference numbers, and the wiring 2a is connected to a chip electrode 4 at two locations via bumps 5 and 6. Then, a pad 2c is formed at the end of wiring 2a, and a bump 9 is provided on the pad 2c for connection to a mounting substrate.

[0015]

Another embodiment of the present invention will now be described with reference to the drawings. FIG. 4 and FIG. 5 are plan views of another embodiment of the present invention. In these figures, components identical or similar to those in FIG. 3 are denoted by the same reference numbers. This embodiment is characterized by two chip electrodes 4 connected to the same wiring layer 3 being arranged parallel to the edge of the semiconductor chip 1.

[0016]

Here, the wiring 2a is bonded to the two chip electrodes 4 using wiring 2a (FIG. 4) with a partially bent tip (90°) and using wiring 2a (FIG. 5) with a width at the tip that is wider than

the interval between the chip electrodes 4, instead of the straight wiring 2a depicted in FIG. 1. The wiring 2a and the chip electrodes 4 are connected, of course, via bumps.

[0017]

The present invention can clearly be applied to any terminal on a semiconductor chip 1, for example, power supply terminals (VCC), ground terminals (GND), and signal terminals. In the case of ground terminals, in particular, the following effects can be obtained.

[0018]

Multiple power terminals and ground terminals are usually provided, and an open defect at one or so locations will not interfere with actual functionality. However, in acceptance inspections performed on the products by the end-user, even one open defect can cause a trust issue to arise with respect to technical capabilities, etc. Therefore, such a situation can be avoided if the present invention is applied to at least the power terminals and ground terminals. This configuration is somewhat disadvantageous in that the area occupied by chip electrodes is larger. However, if the configuration is used only for power terminals and ground terminals, this is not much of a problem, and since secure connections can be obtained, application is worthwhile even at the cost of a little extra area occupied by electrodes.

[0019]

In the embodiments described above, mounting occurs on the back side of the semiconductor chip 1, but the present invention can also clearly be applied to situations in which the wiring 2a and bumps 5 oppose each other, for example, as shown in FIG. 6.

[0020]

[Effect of the Invention]

As explained above, because the present invention is configured to connect wiring on a wiring board to two or more chip electrodes connected to the same wiring layer of a semiconductor chip, if one connection is disconnected, a connection is made at other points, which has the effect of keeping open defects from occurring.

[Brief Description of the Drawings]

[FIG. 1]

FIG. 1 is a plan view of an embodiment of the present invention.

[FIG. 2]

FIG. 2 is a cross-sectional view of a manufacturing process for the semiconductor device in FIG. 1.

[FIG. 3]

FIG. 3 is a partial cross-sectional view of a package using the configuration in FIG. 1.

[FIG. 4]

FIG. 4 is a plan view of another embodiment of the present invention.

[FIG. 5]

FIG. 5 is a plan view of another embodiment of the present invention.

[FIG. 6]

FIG. 6 is a partial cross-sectional view of another embodiment of the present invention.

[FIG. 7]

FIG. 7 is a perspective view of a typical CSP configuration.

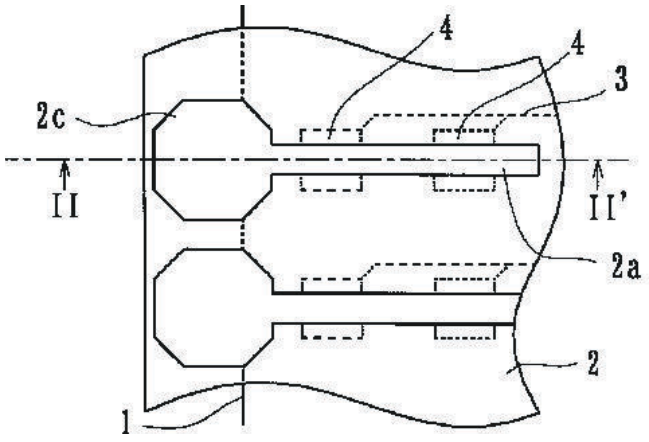
[FIG. 8]

FIG. 8 is a partial cross-sectional view from line VIII-VIII' in FIG. 7.

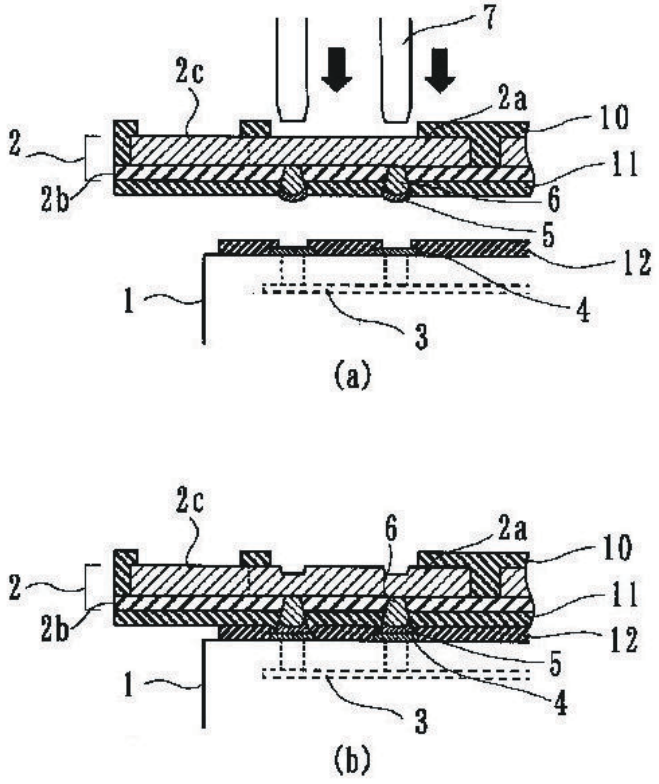
[Reference Numbers]

1: Semiconductor chip
2: TAB tape
2a: Wiring
2b: Polyimide tape
2c: Pad
3: Wiring layer
4: Chip electrode
5, 6, 9: Bumps
7: Bonding tool
8: Encapsulating resin
10: Solder resist
11: Adhesive material
12: Chip cover film

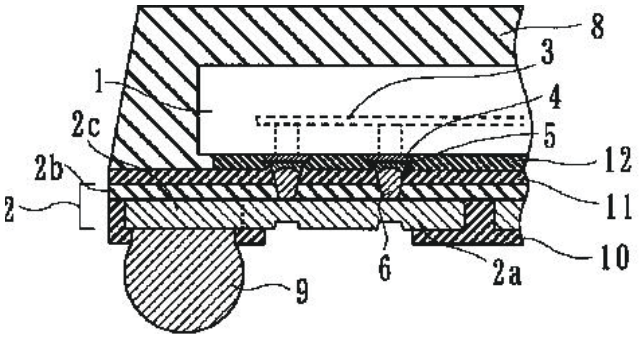
[FIG. 1]


4
4
3
2c
II
II'
2a
2
1

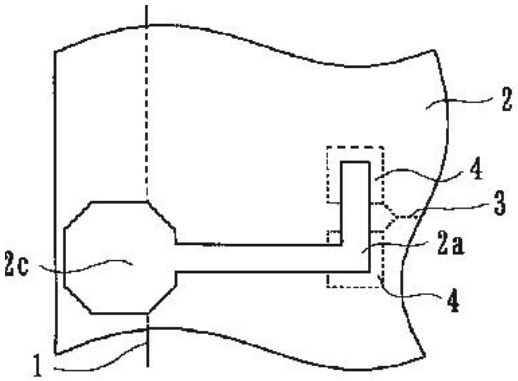
[FIG. 2]


7
2c
2a
10
2
11
2b
6
5
12
1
4
3
(a)
2c
6
2a
10
2
11
2b
12
5
1
4
3
(b)

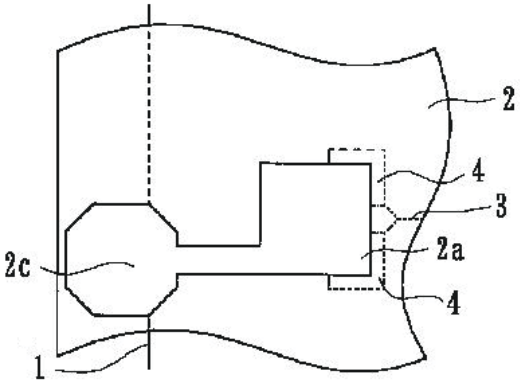
[FIG. 3]



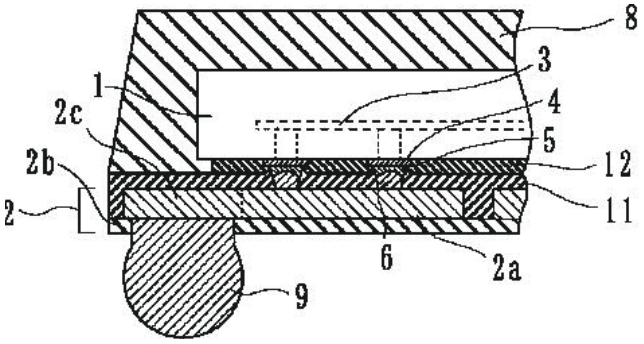
[FIG. 4]



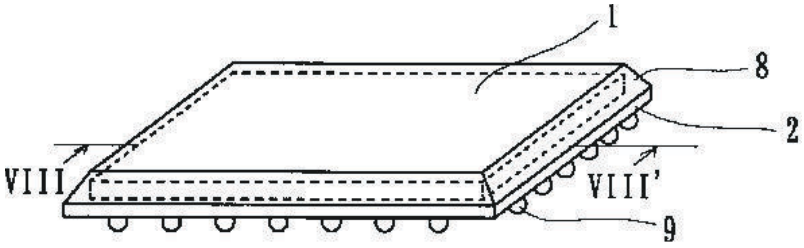
[FIG. 5]



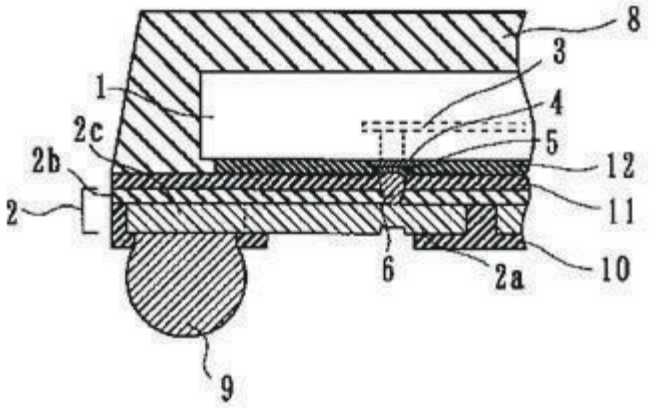
[FIG. 6]



[FIG. 7]



[FIG. 8]



Certification of Accuracy

I, Frank McGee, personally performed this translation. I am a translator in the Japanese and English languages, and on behalf of Source IP, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document listed below in a form that reflects the intention and meaning of the original text.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

The document is designated as:

JP 1999-191574

_____
Frank McGee

September 16, 2024

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平11－191574

(43)公開日　平成11年(1999)７月13日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｌ　21/60	３１１	Ｈ０１Ｌ　21/60	３１１Ｓ
23/12		23/12	Ｌ

審査請求　有　　請求項の数６　ＯＬ　（全　５　頁）

(21)出願番号　特願平9－359478

(22)出願日　平成９年(1997)12月26日

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号

(72)発明者　松田　修一
東京都港区芝五丁目７番１号　日本電気株式会社内

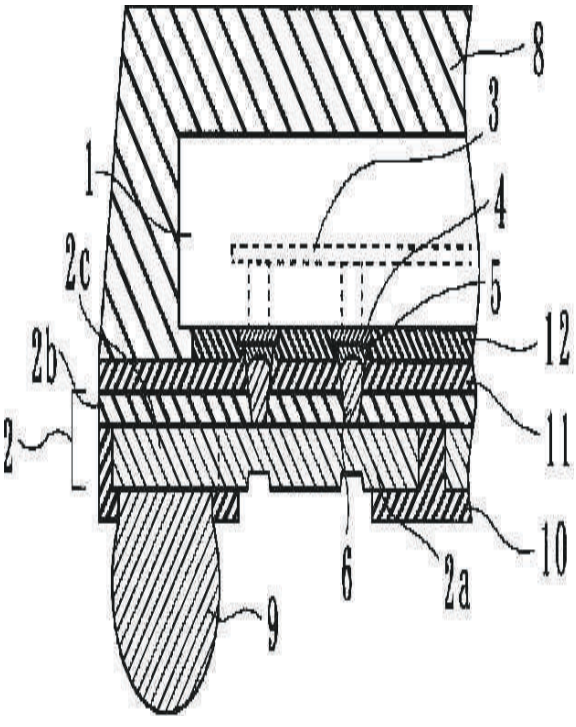
(74)代理人　弁理士　山川　政樹

(54)【発明の名称】　半導体装置

(57)【要約】

【課題】　チップ電極とバンプとの接続不良を防止する。

【解決手段】　一方の面に所望のパタンの配線２ａが形成されたＴＡＢテープ２と、その他方の面に設置されるとともにチップ電極４を有する半導体チップ１とを備え、配線２ａとチップ電極４とが、スルーホール中に形成されたバンプ５，６を介して電気的に接続されている。そして、半導体チップ１は、配線層３に接続された２個以上のチップ電極４を有し、配線３は、２個以上のチップ電極４のそれぞれに対向して設けられたバンプ５，６を介して、チップ電極４と接続されている。



【特許請求の範囲】
【請求項１】　一方の面に所望のパタンの配線が形成された配線基板と、前記配線基板の他方の面に設置されるとともにチップ電極を有する半導体チップとを備え、前記配線と前記チップ電極とが、前記配線基板のスルーホール中に形成されたバンプを介して電気的に接続された半導体装置において、
前記半導体チップは、この半導体チップ中の同一配線層に接続された２個以上のチップ電極を有し、
前記配線基板の一の配線は、前記２個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、前記チップ電極と接続されていることを特徴とする半導体装置。
【請求項２】　一方の面に所望のパタンの配線が形成された配線基板と、前記配線基板の前記一方の面に設置されるとともにチップ電極を有する半導体チップとを備え、前記配線と前記チップ電極とが、バンプを介して電気的に接続された半導体装置において、
前記半導体チップは、この半導体チップ中の同一配線層に接続された２個以上のチップ電極を有し、
前記配線基板の一の配線は、前記２個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、前記チップ電極と接続されていることを特徴とする半導体装置。
【請求項３】　請求項１または２において、
前記チップ電極は、前記半導体チップの縁から前記半導体チップの内側にかけて配列されていることを特徴とする半導体装置。
【請求項４】　請求項１または２において、
前記チップ電極は、前記半導体チップの縁と平行に配列され、
前記配線は、少なくとも１箇所が折れ曲がっていることを特徴とする半導体装置。
【請求項５】　請求項１または２において、
前記チップ電極は、前記半導体チップの縁と平行に配列され、
前記配線は、その先端の幅が前記配列されたチップ電極の間隔以上であることを特徴とする半導体装置。
【請求項６】　請求項１または２において、
前記チップ電極は、前記半導体チップの接地端子、電源端子または信号端子の少なくとも何れか一つであることを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、半導体装置に関し、特にチップ電極と配線基板上の配線との接続不良を防止する半導体装置に関するものである。
【０００２】
【従来の技術】従来、チップサイズパッケージ（以下、ＣＳＰ：Chip Size Packageという）と呼ばれ、パッケージの大きさを、半導体チップの大きさとほとんど同じくらいになるまで小さくしたものがある。
【０００３】ところで、このようなＣＳＰには、半導体チップを搭載するためのインターポーザの種類に応じて複数の形態があり、その中の一つにフィルムキャリアを用いたものがある。ところが、インターポーザにフィルムキャリアを用いた場合、フィルムキャリア上の配線と、半導体チップに設けられたチップ電極とを熱圧着によって接続すると、接続後に生じた応力によって接続部が離れて電気的にオープンしてしまうことがあった。
【０００４】図７は、従来からある一般的なＣＳＰの構成を示す斜視図である。同図に示すように、半導体チップ１とＴＡＢテープ２とは、大きさがそれぞれほぼ等しく、半導体チップ１はフィルムキャリアであるＴＡＢテープ２の上に設置されている。この半導体チップ１のＡｌ製のチップ電極（図示せず）は、ＴＡＢテープ２に開口されたスルーホール中のバンプ（図示せず）を介してバンプ９と電気的に接続されている。そして、半導体チップ１の全体は、エポキシ等からなる封止樹脂８によって封止されている。
【０００５】図８は、図７のVIII-VIII'線における断面図を示す。同図において、図７における同一または同等のものには、同一符号を付しており、ＴＡＢテープ２はベースとなるポリイミドテープ２ｂと、その上に形成された銅箔からなる配線２ａとから構成されており、半導体チップ１を搭載するためのフィルムキャリア（配線基板）として機能する。
【０００６】配線２ａは、ポリイミドテープ２ｂ上に予め形成された所望の配線パタンであり、バンプ６はポリイミドテープ２ｂに開口されたスルーホール中に銅を蒸着することによって形成されている。そして、バンプ６の露出した表面には、ＮｉまたはＡｕ等からなるバンプ５がメッキによってさらに形成されている。一方、チップ電極４は半導体チップ１中の配線層３に電気的に接続されており、半導体チップ１の表面は、このチップ電極４が露出するようにしてチップカバー膜１２によって覆われている。
【０００７】以上のようにして作られたフィルムキャリアは、半導体パッケージの組立において次のようにして用いられる。まず、バンプ５とチップ電極４とが対向するようにして位置合わせをしてから、バンプ６直上の配線２ａをボンディングツールにより、超音波振動や熱を加えながら押圧する。すると、バンプ５は変形して接触面でＡｕ・Ａｌ合金が形成され、チップ電極４とバンプ５とは熱圧着される。また、半導体チップ１とチップカバー膜１２とは接着材１１によって接着され、以上の結果、半導体パッケージができあがる。なお、露出している配線２ａ等の表面にはソルダーレジスト１０が塗布され、腐食等から保護されている。
【０００８】

【発明が解決しようとする課題】しかしながら、従来においてはバンプ５とチップ電極４との熱圧着して接続した後に、ＴＡＢテープ２等の応力によってその接続部が離れてしまい、組立後の検査においてオープン不良が発見されるという問題点があった。本発明は、このような課題を解決するためのものであり、チップ電極とバンプとの接続不良を防止した半導体装置を提供することを目的とする。

【０００９】

【課題を解決するための手段】このような目的を達成するために、請求項１に係る本発明の半導体装置は、一方の面に所望のパタンの配線が形成された配線基板と、上記配線基板の他方の面に設置されるとともにチップ電極を有する半導体チップとを備え、上記配線と上記チップ電極とが、上記配線基板のスルーホール中に形成されたバンプを介して電気的に接続された半導体装置において、上記半導体チップは、この半導体チップ中の同一配線層に接続された２個以上のチップ電極を有し、上記配線基板の一の配線は、上記２個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、上記チップ電極と接続されたものである。また、請求項２に係る本発明の半導体装置は、一方の面に所望のパタンの配線が形成された配線基板と、上記配線基板の上記一方の面に設置されるとともにチップ電極を有する半導体チップとを備え、上記配線と上記チップ電極とが、バンプを介して電気的に接続された半導体装置において、上記半導体チップは、この半導体チップ中の同一配線層に接続された２個以上のチップ電極を有し、上記配線基板の一の配線は、上記２個以上のチップ電極のそれぞれに対向して設けられたバンプを介して、上記チップ電極と接続されたものである。また、請求項３に係る本発明の半導体装置は、請求項１または２において、上記チップ電極は、上記半導体チップの縁から上記半導体チップの内側にかけて配列されていることを特徴とする半導体装置。また、請求項４に係る本発明の半導体装置は、請求項１または２において、上記チップ電極は、上記半導体チップの縁と平行に配列され、上記配線は、少なくとも１箇所が折れ曲がったものである。また、請求項５に係る本発明の半導体装置は、請求項１または２において、上記チップ電極は、上記半導体チップの縁と平行に配列され、上記配線は、その先端の幅が上記配列されたチップ電極の間隔以上である。また、請求項６に係る本発明の半導体装置は、請求項１または２において、上記チップ電極は、上記半導体チップの接地端子、電源端子または信号端子の少なくとも何れか一つである。このように構成することにより本発明は、同一配線層に対して少なくとも２組のチップ端子およびバンプを備えているため、仮に１箇所の接続が離れてしまってもその他の箇所で接続されており、オープン不良を生じにくいという効果を有する。

【００１０】

【発明の実施の形態】次に、本発明の一つの実施の形態について図を用いて説明する。図１は、本発明の一つの実施の形態を示す平面図である。同図において、図８における同一または同等の部品には同一符号を付しており、半導体チップ１の同一配線層３には２個のチップ電極４（例えば、Ａｌで作られている）が接続されている。一方、これらのチップ電極４は、何れともＴＡＢテープ２上の同一配線２ａに接続され、また配線２ａの末端にはバンプを取り付けるためのパッド２ｃが形成されている。なお、配線２ａは銅で形成された所望パタンの配線である。

【００１１】ここで、図１に係る半導体装置の製造工程について説明する。図２は、図１のII-II'線における断面図であり、図１に係る半導体装置の製造工程を示す。同図において、図１における同一または同等の部品には同一符号を付しており、図２（ａ），（ｂ）はそれぞれ製造工程の各段階を示している。

【００１２】まず、図２（ａ）において、フィルムキャリアであるＴＡＢテープ２は、ベースとなるポリイミドテープ２ｂと、その上に形成された銅箔からなる配線２ａとから構成されている。そして、バンプ５とチップ電極４とを位置合わせしてからバンプ６直上の配線２ａを２個のボンディングツール７によって超音波振動や熱を加えながら押圧して、半導体チップ１をＴＡＢテープ２上に搭載する。

【００１３】すると、図２（ｂ）に示すように、加わった圧力によってバンプ５が変形し、接触面ではＡｕ・Ａｌ合金が形成され、２組のバンプ５とチップ電極４とは互いに熱圧着される。なお、より強い接合強度を望むので有れば、３箇所以上にバンプ５，６およびそれらに対応するチップ電極４を設けてもよいことは明らかである。

【００１４】図３は、図１に係る構造を用いた半導体パッケージを示す断面図である。同図において、図１における同一または同等の部品には同一符号を付しており、配線２ａはバンプ５，６を介して、２箇所でチップ電極４と接続されている。そして、配線２ａの末端にはパッド２ｃが形成され、このパッド２ｃには実装基板と接続するためのバンプ９が設けられている。

【００１５】次に、本発明のその他の実施の形態について説明する。図４，５は、本発明のその他の実施の形態を示す平面図である。同図において、図３における同一または同等の部品には同一符号を付しており、これらの実施の形態においては、同一配線層３に接続された２個のチップ電極４が半導体チップ１の縁に対して平行に配列されている点に特徴がある。

【００１６】このような場合、図１に記載したような直線状の配線２ａの代わりに、先端の一部を折り曲げた（ここでは９０°）配線２ａ（図４）を用いたり、先端

の幅をチップ電極４の間隔よりも広くした配線２ａ（図５）を用いたりして、２個のチップ電極４に配線２ａを接合する。もちろん、配線２ａとチップ電極４とは、バンプを介して接続される。

【００１７】なお、本発明は半導体チップ１に設けられているあらゆる端子、すなわち電源端子（ＶＣＣ）、接地端子（ＧＮＤ）、信号端子に適用できることは明らかである。特に、接地端子に関して述べると以下のような効果が得られることがわかる。

【００１８】すなわち、通常、電源端子および接地端子は複数設けられており、１箇所程度オープン不良を起こしても実際の機能として支障をきたすことはない。しかし、ユーザによる製品の受け入れ検査においては、１箇所でもオープン不良が生じると、技術力等に対する信用問題が生じることがある。そこで、上記に記載したような本発明を少なくとも電源端子や接地端子のみについてだけでも適用しておけば、このような事態を回避することができる。もちろん、チップ電極の占有面積が大きくなってしまうという若干のデメリットはあるが、電源端子や接地端子にのみに用いるのであればそれほど問題とはならないし、また確実な接続が得られるので占有面積を多少犠牲にしてでも適用する価値はある。

【００１９】また、上記実施の形態においては、半導体チップ１の裏面に搭載した例について述べたが、配線２ａとバンプ５とを向かい合わせるようにしたものにおいても、本発明を適用できることは明らかであり、例えば図６に示されるような構成となる。

【００２０】

【発明の効果】以上説明したように本発明は、配線基板上の配線と、半導体チップの同一配線層に接続された２個以上のチップ電極とを接続するようにしたので、仮に１箇所の接続が離れてしまってもその他の箇所で接続されているため、オープン不良を生じにくいという効果を有する。

【図面の簡単な説明】

【図１】　本発明の一つの実施の形態を示す平面図である。

【図２】　図１に係る半導体装置の製造工程を示す断面図である。

【図３】　図１の構成を採用したパッケージを示す部分断面図である。

【図４】　本発明のその他の実施の形態を示す平面図である。

【図５】　本発明のその他の実施の形態を示す平面図である。

【図６】　本発明のその他の実施の形態を示す部分断面図である。

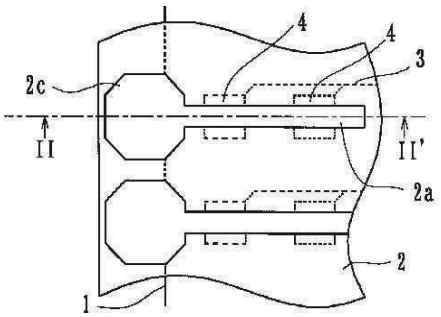
【図７】　一般的なＣＳＰの構成を示す斜視図である。

【図８】　図７のVIII-VIII'線における部分断面図。

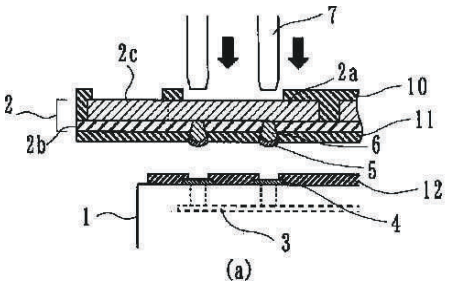
【符号の説明】

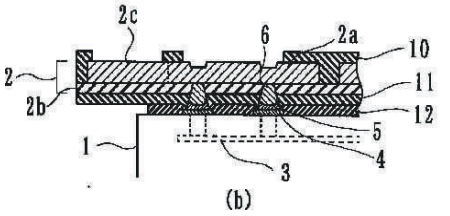
１…半導体チップ、２…ＴＡＢテープ、２ａ…配線、２ｂポリイミドテープ、、２ｃ…バッド、３…配線層、４…チップ電極、５，６，９…バンプ、７…ボンディングツール、８…封止樹脂、１０…ソルダーレジスト、１１…接着材、１２…チップカバー膜。

【図１】

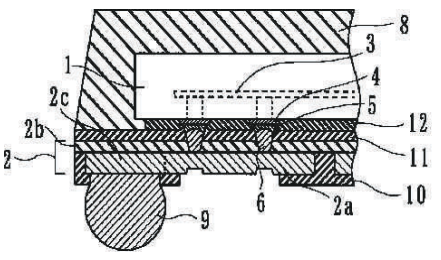


【図２】

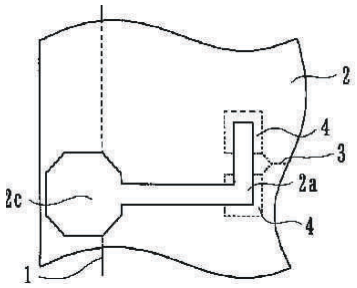




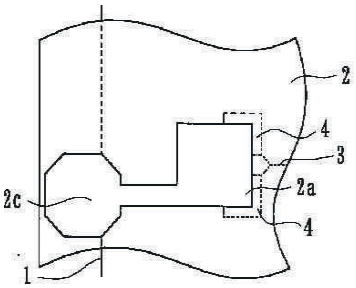
【図３】



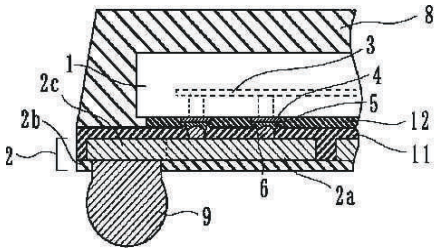
【図４】


2
4
3
2a
2c
4
1

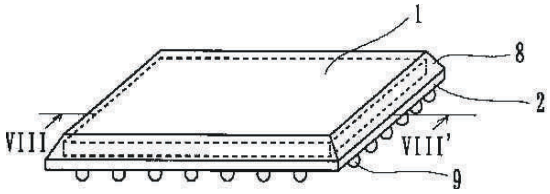
【図５】


2
4
3
2a
2c
4
1

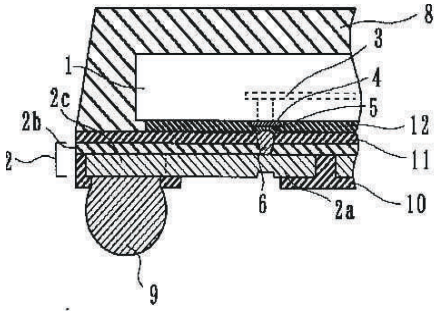
【図６】


8
3
1
4
2c
5
2b
12
2
11
6
2a
9

【図７】


1
8
2
VIII
VIII'
9

【図８】


8
3
1
4
2c
5
2b
12
2
11
6
2a
10
9