(19) Japan Patent Office (JP)

(12) JAPANESE UNEXAMINED PATENT APPLICATION PUBLICATION (A)

(11) Patent Application Publication No. JPA 2001-267466 (P2001-267466A)

(43) Publication Date September 28, 2001 (Heisei 13)

(51) Int. Cl.[7]	ID Code	FI		Theme Code (Reference)
H01L 23/12	301	H01L 23/12	301C	5E346
23/14		H01P 3/08		5J014
H01P 3/08		H03F 3/24		5J067
H03F 3/24		3/60		5J091
3/60		H05K 3/46	T	

Examination Request: Not Yet Requested Total No. of Claims: 5 OL (12 pages total)Continued on last page

(21) Application No. JPA 2000-188396 (P2000-188396)

(22) Date of Filing June 22, 2000 (Heisei 12)

(31) Priority Rights Claim No. JPA 2000-4063 (P2000-4063)

(32) Priority Date January 12, 2000 (Heisei 12)

(33) Priority Country Japan (JP)

(71) Applicant 000003067
TDK Corporation
1-13-1 Nihonbashi, Chuo-ku, Tokyo

(72) Inventor Masashi TAKAHARA
c/o TDK Corporation
1-13-1 Nihonbashi, Chuo-ku, Tokyo

(72) Agent 100081606
Yoshijiro ABE, Patent Attorney

Continued on last page

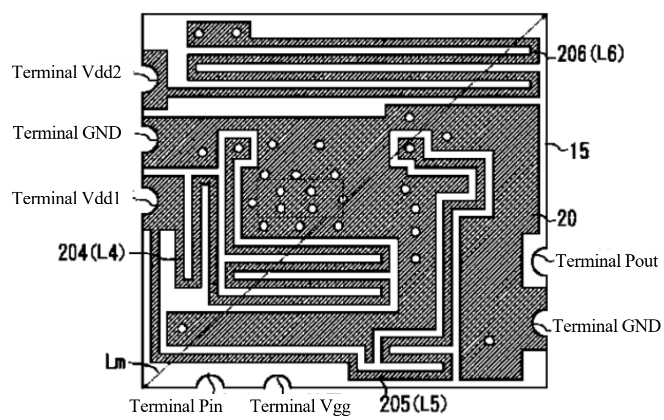
(54) Title of Invention

POWER AMPLIFYING MODULE

(57) Abstract

[PROBLEM] To provide a power amplifying module with stable characteristics and an external form significantly smaller than a conventional one, and in which a standing wave is not generated due to a transmission signal wavelength.

[RESOLUTION MEANS] Include a conductor pattern 20 with a length corresponding to $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$ where f (Hz) is a transmission signal frequency, λ0 (m) is a wavelength in a vacuum, Co (m/s) is the speed of light, and εr is a relative dielectric constant of a dielectric substrate 15. The conductor pattern 20 is supported by the dielectric substrate 15. Where Lm (m) is a maximum diameter thereof, the dielectric substrate 15 satisfies $Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$.



What is claimed is:

[Claim 1]

A power amplifying module used in a communication equipment transmitter, the power amplifying module comprising:

a dielectric substrate;

and several circuit components, wherein

the circuit components, where f (Hz) is a transmission signal frequency, λ0 (m) is a wavelength in a vacuum, Co (m/s) is the speed of light, and εr is a relative dielectric constant of the dielectric substrate, include a conductor pattern with a length corresponding to $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$ and are supported by the dielectric substrate, and, where Lm (m) is a maximum diameter thereof, the dielectric substrate satisfies $Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$.

[Claim 2]

The power amplifying module according to claim 1, wherein

the relative dielectric constant εr of the dielectric substrate is larger than 4.5.
[Claim 3]
The power amplifying module according to either claim 1 or 2, wherein
the dielectric substrate is made from a composite material that includes an organic resin material and a ceramic material.
[Claim 4]
The power amplifying module according to claim 3, wherein
the organic resin material includes a polyvinyl benzyl ether compound, and has a relative dielectric constant in the range of 2.5 to 3.5 and a dielectric loss tangent in the range of 0.0025 to 0.005.
[Claim 5]
The power amplifying module according to claim 4, wherein
the ceramic material includes a titanium barium ceramic, and
when a content of the polyvinyl benzyl ether compound is a (vol%) and a content of the titanium barium ceramic is b (vol%), the power amplifying module satisfies a:b = (70:30) to (40:60).
DETAILED DESCRIPTION OF THE INVENTION
[0001]
FIELD OF THE INVENTION
The present invention relates to a high-frequency power amplifying module used in a communication equipment transmitter of a mobile phone, or the like.
[0002]
PRIOR ART
The demand for power amplifying modules used in microwave band transmitters has risen in recent years due to the spread of communication equipment such as mobile phones.
[0003]
A power amplifying module is provided in a layer before an antenna in, for example, a mobile phone, amplifies a signal output from a driver amplifier, and then transmits the signal to the antenna. The power amplifying module is normally configured to include a three-layer amplifying circuit, output matching unit, secondary harmonic countermeasures unit, and the like. An amplifying circuit of each layer includes a semiconductor amplifying element configured of FET, or the like, a matching circuit, a drain bias circuit, a gate bias circuit, and the like, and forms one circuit block.
[0004]
The output matching unit is a circuit for impedance matching using a frequency band (fundamental wave) to be amplified in a frequency band, for example 880 to 915 MHz, used in the power amplifying module.
[0005]
The secondary harmonic countermeasures unit has the role of preventing transmission of a secondary harmonic component to an output because communication equipment characteristics deteriorate when a frequency other than the fundamental wave is transmitted to the output.
[0006]
To create a power amplifying module with the circuit configuration described above using a multi-layer dielectric substrate, a matching circuit, a secondary harmonic countermeasures circuit, part of an FET bias circuit (resistor, capacitor), a bias circuit with a (λ/4) pattern, and the like, are arranged on each layer of the dielectric substrate. Some other resistors or capacitors are surface-mounted and mounted on the dielectric substrate. An inductance element is formed on a layer of the dielectric substrate as a conductor pattern. The semiconductor amplifying element of FET, or the like, is mounted directly on the dielectric substrate as a bare chip, or packaged using a resin mold and then mounted on the dielectric substrate. The external dimensions of the power amplifying module are determined based on the external dimensions of the dielectric substrate. The external dimensions of the dielectric substrate are largely determined by the number and shapes of components mounted thereupon. Dielectric substrate external dimensions of conventional power amplifying modules were 7.0 × 7.0 mm.
[0007]
PROBLEM TO BE SOLVED BY THE INVENTION
As a natural result of the rapid miniaturization of communication equipment, particularly a mobile phone, in recent years, there is a strong demand to also miniaturize a power amplifying module, which is a component of a mobile phone.
[0008]
Measures for answering the demand to miniaturize a power amplifying module include reducing a mounting surface area and shape of a configuring component such as a semiconductor element, inductor element, capacitor element, resistor element, or the like.
[0009]
Of these, the semiconductor element cannot be made smaller unless the technology for manufacturing, the heat dissipation, and the like, of a chip itself are improved.
[0010]

For the capacitor element and resistor element, it is possible to use a 1.0 × 0.5 mm or 0.6 × 0.3 mm surface-mounted component, which is smaller than those formed by a conductor pattern, and thereby contribute to the miniaturization of a power amplifying module.
[0011]
The inductor element can be miniaturized by being formed in a meander pattern rather than using a surface-mounted component.
[0012]
However, because forming the inductor element in a meander pattern on the dielectric substrate surface unavoidably requires some surface area thereon, there are limits to how much a shape can be miniaturized even if the means described above are used. In fact, with a conventional power amplifying module, the smallest the external dimensions of a dielectric substrate can be made is 7.0 × 7.0 mm.
[0013]
Furthermore, this type of power amplifying module creates a problem in that there is a risk therewith that a standing wave will be generated on the dielectric substrate due to a frequency signal wavelength processed when a component is mounted on the dielectric substrate, which could lead to the deterioration of characteristics.
[0014]
A problem of the present invention is to provide a power amplifying module with an external form significantly smaller than a conventional one.
[0015]
Another problem of the present invention is to provide a power amplifying module with stable characteristics, and in which a standing wave is not generated due to a transmission signal wavelength.
[0016]
MEANS FOR SOLVING THE PROBLEM
To resolve the problems described above, the power amplifying module according to the present invention is used in a communication equipment transmitter, and includes a dielectric substrate and several circuit components. The dielectric substrate is configured of a dielectric material. The dielectric substrate is configured of a dielectric material.
[0017]
The circuit components, where f (Hz) is a transmission signal frequency, λ0 (m) is a wavelength in a vacuum, Co (m/s) is the speed of light, and εr is a relative dielectric constant of the dielectric substrate, include a conductor pattern with a length corresponding to $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$, and are supported by the dielectric substrate. Where Lm (m) is a maximum diameter thereof, the dielectric substrate satisfies $Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$.
[0018]
Because the conductor pattern is supported by the dielectric substrate in the power amplifying module according to the present invention and has a length corresponding to $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$, a pattern length of the conductor pattern is set based on a relative dielectric constant εr of the dielectric substrate. Specifically, the use of a dielectric material with the high relative dielectric constant εr shortens the pattern length of the conductor pattern, which makes it possible to obtain a power amplifying module with a dielectric substrate having a smaller external form.
[0019]
In the above formula, the term $(Co/f)/(\varepsilon r)^{1/2}$ is defined as an effective wavelength λe of a signal transmitted through a conductor pattern formed on the dielectric substrate. The pattern length of the conductor pattern corresponds to (λe/4). This prevents a signal transmitted through the conductor pattern from leaking outside, making it possible to transmit the signal efficiently.
[0020]
Furthermore, a maximum diameter Lm (m) of the dielectric substrate that supports the conductor pattern satisfies $Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$. As was described above, because $\{(Co/f)/(\varepsilon r)^{1/2}\}/4 = (\lambda e/4)$, $Lm < (\lambda e/4)$. This suppresses the generation of a standing wave and magnetic coupling between patterns. Suppression of magnetic coupling between patterns leads to, for example, suppression of oscillation caused by signal leakage from output to input, making it possible to obtain a power amplifying module with more stable characteristics against load fluctuations and temperature fluctuations.
[0021]
In the present invention, the relative dielectric constant εr of the dielectric substrate is preferably selected from the range εr > 4.5. Since the relative dielectric constant εr of a conventionally used dielectric substrate was 4.5 or less, the power amplifying module according to the present invention differs from conventional ones in terms of the relative dielectric constant εr of the dielectric substrate.
[0022]
As is described above, the effective wavelength λe becomes shorter as the relative dielectric constant εr of the dielectric substrate becomes higher, so, according to the present invention, in which the relative dielectric constant εr of the dielectric substrate is selected in a region higher than the conventional value of 4.5, the pattern length of the conductor pattern can be made shorter than a conventional one. This allows a power amplifying module with a dielectric substrate having a smaller external form to be obtained.

[0023]
Additionally, an inductance element that forms a matching circuit in the power amplifying module is designed long enough to allow a phase rotation angle required for impedance matching to be obtained. As the relative dielectric constant εr of the dielectric substrate becomes higher, a pattern length of the conductor pattern required to achieve the same phase rotation angle becomes shorter.
[0024]
When the relative dielectric constant εr of the dielectric substrate is set to a value larger than the conventional relative dielectric constant εr (≤ 4.5), the same phase rotation angle can be obtained with a shorter pattern length than was possible conventionally. This allows a power amplifying module with an even smaller external form to be obtained.
[0025]
The above points apply to all inductance elements configured using conductor patterns in the power amplifying module. Accordingly, a dielectric substrate that is smaller than conventional ones can be achieved. Specifically, while conventionally it was possible to reduce the external dimensions of a dielectric substrate to 7.0 × 7.0 mm at best, according to the present invention, it is possible to reduce the external dimensions of the dielectric substrate to 6.0 × 5.5 mm or less.
[0026]
The dielectric substrate is preferably made from a composite material that includes organic resin material and ceramic material. Unlike conventional ones formed using ceramic material, a dielectric substrate made from a composite material that includes organic resin material and ceramic material is less prone to cracking and layer delamination during processing and has superior mechanical strength, and thus has superior reliability as a product. In addition, such a dielectric substrate is convenient for forming a capacitor because an insulating resistor between layers is not degraded by cracking.
[0027]
Other objects, configurations, and benefits of the present invention are specifically described with reference to embodiments depicted in the attached drawings. The figures are merely depictions.
[0028]
EMBODIMENTS OF THE INVENTION
FIG. 1 depicts an example of a block diagram of an RF output unit in a mobile phone that uses the power amplifying module according to the present invention. The power amplifying module according to the present invention is provided in a transmitter of the RF output unit in a layer before an antenna ANT1, amplifies a signal supplied from a driver DR1, and transmits the amplified signal to the antenna ANT1 through a switch SW1. A mixer M1 is provided in a layer before the driver DR1, the mixer M1 mixes a signal supplied from a modulator (not depicted in the figure) and a signal supplied from a distributor DIS, and an output of the mixer M1 is supplied to the driver DR1.
[0029]
A receiving unit of the RF output unit includes a receiving antenna ANT2, amplifier LNA2, switch SW2, filter F1, mixer M2, and the like. A signal received by the receiving antenna ANT2 is amplified by the amplifier LNA2, and supplied to the filter F1 through the switch SW2. A receive signal extracted by the filter F1 is mixed with a signal supplied from the distributor DIS in the mixer M2. An output of the mixer M2 is supplied to a demodulator. Reference symbol LNA1 represents an amplifier.
[0030]
An example of a frequency band used by the power amplifying module is 880 to 915 MHz or 1710 to 1785 MHz, and an example of an output required for the power amplifying module is 35 dBm or 32 dBm.
[0031]
FIG. 2 depicts a specific example of a circuit in the power amplifying module. The electrical circuit depicted in the figure is well known as a power amplifying module found in various types of communication equipment, including a mobile phone. However, FIG. 2 is nothing more than a simple depiction, and it goes without saying that the power amplifying module according to the present invention is not limited to the circuit depicted in the figure. The power amplifying module depicted in the figure includes three semiconductor amplifying elements FET1 to FET3. A matching circuit, drain bias circuit, and gate bias circuit are connected to the semiconductor amplifying elements FET1 to FET3, respectively, and form one circuit block.
[0032]
The semiconductor amplifying elements FET1 to FET3 are configured of field-effect transistors and are connected in a cascading fashion. The semiconductor amplifying elements FET1 and FET2 configure a two-layer power amplifying circuit. An input signal supplied from an input terminal Pin is supplied to a gate of the semiconductor amplifying element FET1 through a capacitor C11 and an impedance element Z1.
[0033]
The capacitor C11 and impedance element Z1 form a matching circuit that provides impedance matching with an impedance (50 Ω) of an input signal line. A signal power amplified by the semiconductor amplifying element FET1 is supplied to a gate of the semiconductor amplifying element FET2 through a secondary harmonic countermeasures unit configured of an inductance element L1 and capacitor C1, and an impedance matching circuit configured of an impedance element Z2, capacitor C12, impedance element Z3, and capacitor C13.
[0034]

A signal power amplified by the semiconductor amplifying element FET2 is supplied to a gate of the semiconductor amplifying element FET3 through a secondary harmonic countermeasures unit configured of an inductance element L2 and capacitor C2, and an impedance matching circuit configured of an impedance element Z4, capacitor C21, impedance element Z5, and capacitor C22.
[0035]
A signal power amplified by the semiconductor amplifying element FET3 is supplied to an output terminal Pout and output through a secondary harmonic countermeasures unit configured of an inductance element L3 and capacitor C3, and an output matching circuit configured of an impedance element Z6, capacitor C31, impedance element Z7, and capacitor C32. The output terminal Pout is led to the antenna ANT1 (see FIG. 1) through the switch SW1.
[0036]
The gate bias circuit is connected to the gate of the semiconductor amplifying element FET1 by resistors R11 to R13 and capacitor C14. Resistors R11 and R12 are connected to one another by one end thereof. The other end of the resistor R11 is connected to a first DC power supply Vgg, and the other end of the resistor R12 is grounded. The resistor R13 is connected to a connecting point between the resistors R11 and R12, and between the gate of the semiconductor amplifying element FET1.
[0037]
One end of a capacitor C4 is connected to a first power supply terminal Vgg, and the other end is grounded. One end of the capacitor C14 is connected to a connecting point between the resistors R11, R12, and R13, and the other end is grounded.
[0038]
One end of an inductance element L4 that configures the drain bias circuit is connected to a connecting point between the impedance element Z2, impedance element Z3, and capacitor C12 that configure a matching circuit on a drain side of the semiconductor amplifying element FET1. The other end of the inductance element L4 is connected to a second power supply terminal Vdd1. One end of a capacitor C15 is connected to the other end of the inductance element L4. The other end of the capacitor C15 is grounded.
[0039]
The gate bias circuit is connected to the gate of the semiconductor amplifying element FET2 by resistors R21 to R23 and capacitor C23. The resistors R21 and R22 are connected to one another by one end thereof. The other end of the resistor R21 is connected to the first power supply terminal Vgg, and the other end of the resistor R22 is grounded. The resistor R23 is connected to a connecting point between the resistors R21 and R22, and between the gate of the semiconductor amplifying element FET2. One end of the capacitor C23 is connected to a connecting point between the resistors R21 to R23, and the other end is grounded.
[0040]
One end of an inductance element L5 that configures the drain bias circuit is connected to a connecting point between the impedance element Z4, impedance element Z5, and capacitor C21 that configure a matching circuit on a drain side of the semiconductor amplifying element FET2. The other end of the inductance element L5 is connected to the second power supply terminal Vdd1. One end of a capacitor C24 is connected to the other end of the inductance element L5. The other end of the capacitor C24 is grounded.
[0041]
The gate bias circuit is connected to the gate of the semiconductor amplifying element FET3 by resistors R31 to R33 and capacitor C33. The resistors R31 and R32 are connected to one another by one end thereof. The other end of the resistor R31 is connected to the first DC power supply Vgg, and the other end of the resistor R32 is grounded. The resistor R33 is connected to a connecting point between the resistors R31 and R32, and between the gate of the semiconductor amplifying element FET3. One end of the capacitor C33 is connected to a connecting point between the resistors R31, R32, and R33, and the other end is grounded.
[0042]
One end of an inductance element L6 that configures the drain bias circuit is connected to a connecting point between the impedance element Z6, impedance element Z7, and capacitor C31 that configure a matching circuit on a drain side of the semiconductor amplifying element FET3. The other end of the inductance element L6 is connected to a third power supply terminal Vdd2. One end of a capacitor C34 is connected to the other end of the inductance element L6. The other end of the capacitor C34 is grounded.
[0043]
The semiconductor amplifying elements FET1 to FET3 of each layer, and a matching circuit, drain bias circuit, gate bias circuit, and secondary harmonic countermeasures unit that configure one circuit block are described next with reference to a circuit block of a final layer that includes the semiconductor amplifying element FET3.
[0044]
FIG. 3 is a diagram depicting a circuit block A (see FIG. 1) of a final layer that includes the semiconductor amplifying element FET3. The circuit block A includes the semiconductor amplifying element FET3, a gate bias unit A1, drain bias unit A2, secondary harmonic countermeasures unit A3, and output matching unit A4.
[0045]

The output matching unit A4 is a circuit for impedance matching using a frequency band (fundamental wave) to be amplified in a frequency band, for example, the 880 to 915 MHz frequency band, used in the power amplifying module.
[0046]
The secondary harmonic countermeasures unit A3 unit has the role of preventing transmission of a secondary harmonic component to an output because communication equipment characteristics deteriorate when a frequency other than the fundamental wave is transmitted to the output. Therefore, a circuit impedance created by the inductance element L3 and capacitor C3 is designed so that an impedance ZL becomes zero at a secondary harmonic frequency when an output terminal Pout side is seen from a drain terminal of the semiconductor amplifying element FET3.
[0047]
The gate bias unit A1 and drain bias unit A2 apply DC bias to the semiconductor amplifying element FET3 so that the semiconductor amplifying element FET3 is made to function as an amplifier. For example, if a DC voltage of 1.5 V is supplied to a gate terminal, a DC voltage of 3.5 V is supplied to a drain bias terminal, and a DC current of 1.0 A is flowing, and a signal of f = 900 MHz and P = 0 dBm is input to the gate terminal, a signal of 33 dBm is obtained at the drain terminal, and an amplification degree of 33 dB is obtained in the semiconductor amplifying element FET3. Amplification degrees can be controlled by a bias voltage value or current value. For example, if the DC voltage applied to the drain terminal and gate terminal is 0 V, then for a signal input of f = 900 MHz and P = 0 dBm, the output will be −20 dBm, and the amplification degree of the FET will be −20 dB.
[0048]
Furthermore, an inductance element L6 is configured of a stripline (conductor pattern) with a (λ/4) pattern length and connected to a grounded capacitor C34 in the drain bias unit A2 in order to apply a DC bias to the semiconductor amplifying element FET3 and prevent a signal from leaking outside.
[0049]
DC bias is also applied to the semiconductor amplifying element FET3 in the gate bias unit A1 as well, and a grounded capacitor C33 is connected to one end of the resistor R33 to prevent a signal from leaking outside, and thus, at a signal frequency (for example, f = 880 to 920 MHz), an impedance is isolated from an input impedance of an external power supply.
[0050]
A circuit block that includes the semiconductor amplifying elements FET1 and FET2 also includes, for the same purpose as for the semiconductor amplifying element FET3, a gate bias unit, drain bias unit, secondary harmonic countermeasures unit, and impedance matching unit. Inductance elements L4 and L5 are each configured of a stripline (conductor pattern) with a (λ/4) pattern length in the drain bias unit as well in order to prevent a signal from leaking outside.
[0051]
FIG. 4 is a plan view of the power amplifying module according to the present invention including the circuit configurations depicted in FIG. 2 and FIG. 3, FIG. 5 is a partial cross-sectional view of the power amplifying module depicted in FIG. 4, FIG. 6 is a cross-sectional plan view depicting a second layer of the power amplifying module depicted in FIG. 4 and FIG. 5, FIG. 7 is a cross-sectional plan view depicting a third layer of the power amplifying module depicted in FIG. 4 and FIG. 5, FIG. 8 is a cross-sectional plan view depicting a fourth layer of the power amplifying module depicted in FIG. 4 and FIG. 5, and FIG. 9 is a cross-sectional plan view depicting a fifth layer of the power amplifying module depicted in FIG. 4 and FIG. 5.
[0052]
The power amplifying module of the embodiments depicted in the figures includes a dielectric substrate 1 and semiconductor chip 3. The dielectric substrate 1 is configured of dielectric material and includes a cutout part 5 on a surface thereof. The dielectric substrate 1 is configured by laminating a first dielectric substrate 11, second dielectric substrate 12, third dielectric substrate 13, fourth dielectric substrate 14, and fifth dielectric substrate 15. The dielectric substrate 1 may be formed either by sequentially laminating and bonding the mutually independent first to fifth dielectric substrates 11 to 15, or by laminating the dielectric layers and required conductor patterns that configure the first to fifth dielectric substrates 11 to 15 using a continuous coating method.
[0053]
The first to fifth dielectric substrates mount a passive circuit component of the circuit components included in the circuit diagram depicted in FIG. 1, and connect the passive circuit component to form a required circuit configuration. There are no particular limitations to how the circuit components are arranged, but one possible example is shown below. For example, in FIG. 1, part of a circuit element that configures a bias circuit and a circuit element that configures an impedance matching circuit are mounted on a surface (upper surface) of the first dielectric substrate 11. Specific examples include, the resistors R11 to R33, capacitors C11 to C32, impedance elements Z1 to Z7, and the like. These circuit components are configured of chip components, and can be attached to a conductor pattern 16 formed in advance on a surface of the first dielectric substrate 11 by means of soldering, or the like. Some of these circuit components may also be configured by the conductor pattern 16 formed on the surface of the first dielectric substrate 11.
[0054]
As depicted in FIG. 6, the second dielectric substrate 12 can form a conductor pattern that serves as GND and a conductor pattern for a capacitor, and the like, on a surface to be joined to a lower surface of the first dielectric substrate 11. FIG. 6 depicts

a conductor pattern 17 that serves as GND.
[0055]
As depicted in FIG. 7, the third dielectric substrate 13 can form a conductor pattern 18 for a capacitor on a surface to be joined to a lower surface of the second dielectric substrate 12. FIG. 7 depicts an example where the conductor pattern 18 for capacitors C1 and C3 in FIG. 2 and FIG. 3 was formed. The capacitors C1 and C3 face a conductor pattern for GND formed on the second dielectric substrate 12.
[0056]
As depicted in FIG. 8, the fourth dielectric substrate 14 can form a conductor pattern 19 that serves as GND on a surface to be joined to a lower surface of the third dielectric substrate 13.
[0057]
Additionally, as depicted in FIG. 9, striplines 204, 205, and 206 that configure inductance elements L4, L5, and L6 that are included in a drain bias circuit are formed on the fifth dielectric substrate 15.
[0058]
A random number of through holes 25 and 26 are provided in prescribed appropriate positions in the dielectric substrate 1. The through hole 25 is filled with a conductor, which conductor is used to electrically connect, for example, the conductor pattern 16 formed on a surface of the first dielectric substrate 11, the conductor pattern 17 formed on a surface of the second dielectric substrate 12, and the conductor pattern 19 formed on the fourth dielectric substrate 14. The through hole 26 is filled with a conductor, which conductor is used to electrically connect, for example, the conductor pattern 16 formed on a surface of the first dielectric substrate 11 and the conductor pattern 18 formed on the third dielectric substrate 13.
[0059]
In FIG. 2, the semiconductor chip 3 includes the semiconductor amplifying elements FET1 to FET3, is inserted into a cutout hole 5 provided in the dielectric substrate 1, and is bonded onto a conductor pattern 20 provided on the fifth dielectric substrate 15 using a conductive adhesive such as silver paste, or the like.
[0060]
An electrode of the semiconductor chip 3is connected to the conductor pattern 20 formed on the fourth dielectric substrate 14 by a wire bonding 23. Furthermore, to ensure the reliability thereof, the semiconductor chip 3 is mounted in a sealed state using a sealing resin 24.
[0061]
A signal input terminal Pin, signal output terminal Pout, grounding terminal GND, and first to fifth power supply terminals Vgg, Vdd1, Vdd2, and the like, are applied to the dielectric substrate 1 in the form of side surface electrodes.
[0062]
Inductances L4, L5, and L6 formed on the fifth dielectric substrate 15 in the power amplifying module describe above are set so that, where f (Hz) is a transmission signal frequency, $\lambda 0$ (m) is a wavelength in a vacuum, Co (m/s) is the speed of light, and εr is a relative dielectric constant of the fifth dielectric substrate 15, a pattern length is $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$.
[0063]
In the above formula, the term $(Co/f)/(\varepsilon r)^{1/2}$ is an effective wavelength λe of a signal transmitted through the striplines 204, 205, and 206 formed on the fifth dielectric substrate 15. The striplines 204, 205, and 206 have a pattern length of $(\lambda e/4)$. This prevents a signal transmitted through the striplines 204, 205, and 206 from leaking outside, making it possible to transmit the signal efficiently. The pattern length is a length obtained by passing through a center of a width of the striplines 204, 205, and 206.
[0064]
Furthermore, because the striplines 204, 205, and 206 have a length corresponding to $\{(Co/f)/(\varepsilon r)^{1/2}\}/4$, the pattern length of the striplines 204, 205, and 206 can be set according to the relative dielectric constant εr of the fifth dielectric substrate 15. Specifically, the use of a dielectric material with the high relative dielectric constant εr shortens the pattern length of the striplines 204, 205, and 206, which makes it possible to make the external form of the dielectric substrate smaller.
[0065]
Where a maximum diameter of the fifth dielectric substrate 15 that supports the striplines 204, 205, and 206 is Lm (m), the dielectric substrate satisfies $Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$.
[0066]
Here, when effective wavelength λe is used, $\{(Co/f)/(\varepsilon r)^{1/2}\}/4 = (\lambda e/4)$, and therefore $Lm < (\lambda e/4)$. This suppresses the generation of a standing wave and magnetic coupling between patterns in the fifth dielectric substrate 15. Suppression of magnetic coupling between patterns leads to, for example, suppression of oscillation caused by signal leakage from output to input, making it possible to obtain a power amplifying module with more stable characteristics against load fluctuations and temperature fluctuations. In the embodiment, the fifth dielectric substrate 15 is square. Accordingly, the maximum diameter Lm is a diagonal length. The fifth dielectric substrate 15 may have a shape other than a square. In such cases, an external dimension where an opposing distance is a maximum is the maximum diameter Lm.
[0067]
The external form and maximum diameter of the first to fourth dielectric substrates 11 to 14 are made to match those of the fifth

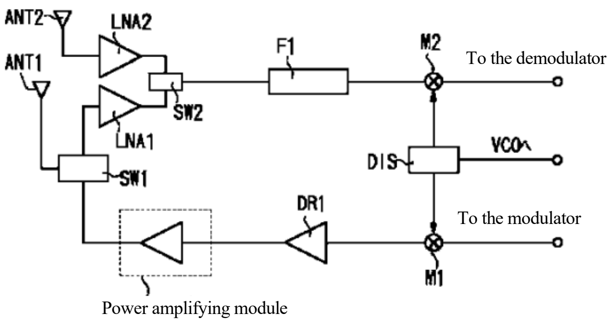
dielectric substrate 15. This allows a power control module where the dielectric substrate 1 has an overall smaller external form to be obtained.
[0068]
In the present invention, the relative dielectric constant εr of the dielectric substrate is preferably selected from the range εr > 4.5. Conventionally, glass epoxy resin has been used for dielectric substrates, and the relative dielectric constant εr thereof was 4.5 or less. Therefore, the power amplifying module according to the present invention differs from conventional ones in terms of the relative dielectric constant εr of the dielectric substrate.
[0069]
FIG. 10 is a graph showing a relationship between the relative dielectric constant εr of the fifth dielectric substrate 15 and the pattern length (mm) of the striplines 204, 205, and 206 that configure the inductance elements L4, L5, and L6. The data in FIG. 10 was obtained using a transmission signal frequency f = 900 MHz, stripline width = 200 μm, and fifth dielectric substrate 15 thickness = 100 μm. The pattern length is (λe/4). The pattern length (λe/4) on the vertical axis of FIG. 10 is expressed as $(\lambda e/4) = \{(Co/f)/(\varepsilon r)^{1/2}\}/4$.
[0070]
As depicted in FIG. 10, the pattern length (λe/4) of the conductor pattern 20 becomes shorter as the relative dielectric constant εr of the fifth dielectric substrate 15 becomes higher. If the relative dielectric constant εr of the fifth dielectric substrate 15 is set to the conventional value of 4.5, the pattern length (λe/4) becomes 39.2 mm.
[0071]
On the other hand, by selecting the relative dielectric constant εr of the fifth dielectric substrate 15 in a region higher than the conventional value of 4.5, the pattern length (λe/4) can be made shorter than a conventional one. Specifically, when the relative dielectric constant εr is set to 14, the pattern length (λe/4) is reduced to 22.3 (mm). This allows a power amplifying module with a smaller external form to be obtained.
[0072]
Conventionally, it was common to form a conductor pattern on a dielectric substrate and use the pattern as an inductance element, but what relative dielectric constant εr to select for the dielectric substrate has never been considered from the viewpoint of reducing the conductor pattern. Furthermore, no prior art examples that use a dielectric substrate with a relative dielectric constant εr exceeding 4.5 can be found.
[0073]
Moreover, with reference to FIG. 10, in a region where the relative dielectric constant εr is lower than 4.5, a change in effective wavelength λe per unit change in the relative dielectric constant εr increases rapidly, whereas in a region where the relative dielectric constant εr is higher than 4.5, a change in pattern length (λe/4) per unit change in the relative dielectric constant εr is small. That is, a vicinity where the relative dielectric constant εr = 4.5 can be regarded as a kind of inflection point.
[0074]
FIG. 11 is a graph showing a relationship between the pattern length (λe/4) and a phase rotation angle. The data in FIG. 10 was obtained using a transmission signal frequency f = 900 MHz, stripline width = 200 μm, and dielectric substrate thickness = 100 μm.
[0075]
An inductance element that forms a matching circuit in the power amplifying module is designed to be long enough to allow a phase rotation angle required for impedance matching to be obtained. As depicted in FIG. 11, as the relative dielectric constant εr of the dielectric substrate becomes higher, a pattern length of the conductor pattern required to achieve the same phase rotation angle becomes shorter. Because the relative dielectric constant εr of the dielectric substrate is set to a value larger than the conventional relative dielectric constant εr (≤ 4.5) in the present invention, the same phase rotation angle can be obtained with a shorter pattern length than was possible conventionally. This allows a power amplifying module with an even smaller external form to be obtained.
[0076]
More specifically, 24.0 mm is required to obtain a phase rotation of 90 degrees when εr = 4.5, whereas when εr = 14.0, only 18.5 mm is required.
[0077]
The relationship between the pattern length (λe/4) of the conductor pattern and the phase rotation angle described above applies not only to the inductance elements that form the matching circuit, but also to the striplines 204, 205, and 206 formed on the fifth dielectric substrate 15. For example, in FIG. 10, a pattern length (λe/4) of 39.2 mm is required to obtain a phase rotation of 180 degrees (λ/4) when the relative dielectric constant εr = 4.5, whereas when the relative dielectric constant εr = 14.0, a pattern length (λe/4) of 22.3 mm is sufficient.
[0078]
The above points apply to all inductance elements configured using striplines in the power amplifying module. Accordingly, a dielectric substrate that is smaller than a conventional one can be achieved. Specifically, while conventionally it was possible to reduce the external dimensions of a dielectric substrate to 7.0 × 7.0 mm at best, according to the present invention, it is possible to reduce the external dimensions of the dielectric substrate to 6.0 × 5.5 mm or less.

[0079]
The dielectric substrate is preferably made from a composite material that includes organic resin material and ceramic material. Unlike conventional ones formed using ceramic material, a dielectric substrate made from a composite material that includes organic resin material and ceramic material is less prone to cracking and layer delamination during processing and has superior mechanical strength, and thus has superior reliability as a product. In addition, such a dielectric substrate is convenient for forming a capacitor since an insulating resistor between layers is not degraded by cracking.
[0080]
A polyvinyl benzyl ether compound may be used as the organic resin material. Using a mixed material made from a ceramic material and a polyvinyl benzyl ether compound makes it possible to obtain a dielectric substrate with a relative dielectric constant εr of about 7 to 14. A high Q value can also be achieved.
[0081]
It is preferable to use a polyvinyl benzyl ether compound with a relative dielectric constant in the range of 2.5 to 3.5 and a dielectric loss tangent in the range of 0.0025 to 0.005.
[0082]
Furthermore, a titanium barium ceramic may be used as the ceramic material. A titanium barium ceramic contains barium oxide and titanium oxide. The titanium barium ceramic may also contain at least one out of neodymium oxide, manganese oxide, and bismuth oxide. A $BaO\text{-}TiO_2\text{-}Nd_2O_3$ ceramic is an example of a titanium barium ceramic.
[0083]
In the embodiment, the dielectric substrate is configured so that the relative dielectric constant εr is in the range of 7 to 14 and the dielectric loss tangent is in the range of 0.01 to 0.002. In this case, the content of polyvinyl benzyl ether compound is a (vol%) and the content of titanium barium ceramic is b (vol%), and the two are mixed at a ratio a:b in the range of (70:30) to (40:60) (where a + b = 100). The mixed material allows the creation of a dielectric substrate with a relative dielectric constant εr = 7 to 14 and a dielectric loss tangent = 0.01 to 0.002.
[0084]
As an example, in a composition where the ratio (a:b) is 70:30, the relative dielectric constant εr is 9 and the dielectric loss tangent is 0.003. Moreover, for a composition where a:b = 40:60, the relative dielectric constant εr is 12 and the dielectric loss tangent is 0.003.
[0085]
Furthermore, glass cloth may be embedded in a mixture of polyvinyl benzyl ether compound and titanium barium ceramic as a means of increasing dielectric substrate mechanical strength. Glass cloth is composed mainly of SiO_2 and plays the role of forming a dielectric substrate frame. An example of an acceptable glass cloth composition is shown below.
[0086]
<Example Glass Cloth Composition>
SiO_2: 56 vol%
MgB_2O_3: 10 vol%
Al_2O_3: 17 vol%
CaO: 17 vol%
A flame retardant may also be added with or without glass cloth. A tetrabromodiphenol A modified polyvinyl benzyl ether compound is a specific example of a flame retardant.
[0087]
Examples of characteristics of dielectric substrates made of a polyvinyl benzyl ether compound, titanium barium ceramic, glass cloth, and flame retardant are shown below. In an example where the content of the polyvinyl benzyl ether compound is a (vol%), the content of titanium barium ceramic is b (vol%), the content of glass cloth is c (vol%), and the content of flame retardant is d (vol%), and the ratio a:b:c:d = 30:45:20:5, the relative dielectric constant εr is 9 and the dielectric loss tangent is 0.003. Moreover, for an example where a:b:c:d = 25:50:20:5, the relative dielectric constant εr is 12 and the dielectric loss tangent is 0.003.
[0088]
The mixed material described above makes it possible to secure a high relative dielectric constant εr, and is thus also extremely effective when configuring a capacitor using the relative dielectric constant of the dielectric substrate. For example, a capacitor can be formed in FIG. 5 by configuring the first dielectric substrate 11 to fourth dielectric substrate 14, in addition to the fifth dielectric substrate 15, using the mixed material described above, forming a capacitor electrode between the layers of the first dielectric substrate 11 to fourth dielectric substrate 14, and using the high relative dielectric constant εr of the first to fourth dielectric substrates 11 to 14. This makes it possible to omit the capacitor that should be mounted on a surface of the first dielectric substrate 11.
[0089]
A specific design example is described next. A dielectric substrate with transmission signal frequency f = 900 MHz, conductor pattern width w = 200 μm, dielectric substrate thickness = 100 μm, and external dimensions of 6.0 × 5.5 mm is obtained.
[0090]

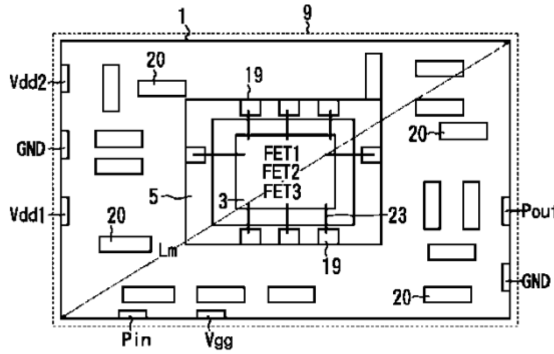
First, as depicted in FIG. 12, a pattern length (λe/4) of 24.0 (mm) or less is required to achieve the external dimensions of 6.0 × 5.5 mm, so a relative dielectric constant εr is defined as needing to be 10.0 or more.
[0091]
Next, as depicted in FIG. 13, to avoid oscillation at a double wave (1800 MHz) of a fundamental wave (900 MHz) of a signal frequency, an upper limit of the relative dielectric constant εr is defined as 14.0 so that a stripline pattern length (λe/4) is 10.0 mm or more.
[0092]
If conditions take double waves into consideration, no fundamental wave problems will occur. In the end, by setting the relative dielectric constant εr to between 10 and 14.0, it is possible to obtain a power amplifying module in which external dimensions are reduced to 6.0 × 5.5 mm and the occurrence of a standing wave is prevented including the matching circuit and a bias element in the frequency band f = 900 to 1800 MHz (from fundamental wave to double wave), thereby achieving stable operation.
[0093]
When the impedance elements Z1 to Z7 (see FIG. 2) that configure the matching circuit are configured of striplines, the striplines have a longer effective wavelength λe than the striplines 204, 205, and 206 that configure the drain bias inductance elements L4, L5, and L6, so conditions considered for the striplines 204, 205, and 206 can also be applied to cases where the impedance elements Z1 to Z7 (see FIG. 2) that configure the matching circuit are configured of striplines.
[0094]
EFFECT OF THE INVENTION
As described above, according to the present invention, the following effects can be obtained.
(a) Provide a power amplifying module with an external form significantly smaller than a conventional one.
(b) Provide a power amplifying module with stable characteristics, and in which a standing wave is not generated due to a transmission signal wavelength.
BRIEF DESCRIPTION OF THE DRAWINGS
FIG. 1 is a block diagram of an RF output unit in a mobile phone that uses the power amplifying module according to the present invention.
FIG. 2 is a specific circuit diagram of a power amplifying module to which the present invention is applied.
FIG. 3 is a diagram depicting a circuit block of a final layer that includes a semiconductor amplifying element.
FIG. 4 is a plan view of the power amplifying module according to the present invention including the circuit configurations depicted in FIG. 2 and FIG. 3.
FIG. 5 is a partial cross-sectional view of the power amplifying module depicted in FIG. 4.
FIG. 6 is a cross-sectional plan view depicting a second layer of the power amplifying module depicted in FIG. 4 and FIG. 5.
FIG. 7 is a cross-sectional plan view depicting a third layer of the power amplifying module depicted in FIG. 4 and FIG. 5.
FIG. 8 is a cross-sectional plan view depicting a fourth layer of the power amplifying module depicted in FIG. 4 and FIG. 5.
FIG. 9 is a cross-sectional plan view depicting a fifth layer of the power amplifying module depicted in FIG. 4 and FIG. 5.
FIG. 10 is a graph showing a relationship between a relative dielectric constant of a dielectric substrate and a pattern length (λe/4) of a stripline.
FIG. 11 is a graph showing a relationship between the pattern length (λe/4) of the stripline and a phase rotation angle.
FIG. 12 is a graph showing the relationship between the relative dielectric constant of the dielectric substrate and the pattern length (λe/4) of the stripline, and for describing how a lower limit for the relative dielectric constant εr is determined.
FIG. 13 is a graph showing the relationship between the relative dielectric constant εr of the dielectric substrate and the pattern length (λe/4) of the stripline, and for describing how an upper limit for the relative dielectric constant εr is determined.
DESCRIPTION OF SYMBOLS

1	Dielectric substrate
L4, L5, L6	Inductance elements
Lm	Maximum diameter

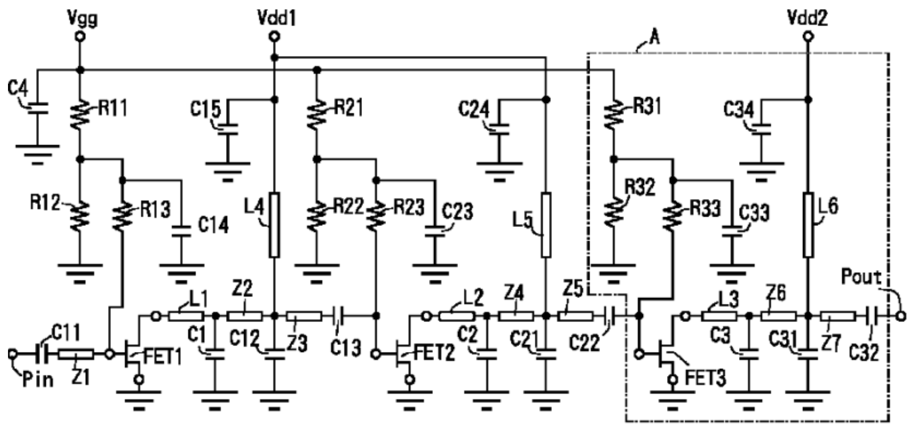
[FIG. 1]


ANT2
LNA2
ANT1
F1
M2
To the demodulator
SW2
LNA1
DIS
VCO
SW1
DR1
To the modulator
M1
Power amplifying module

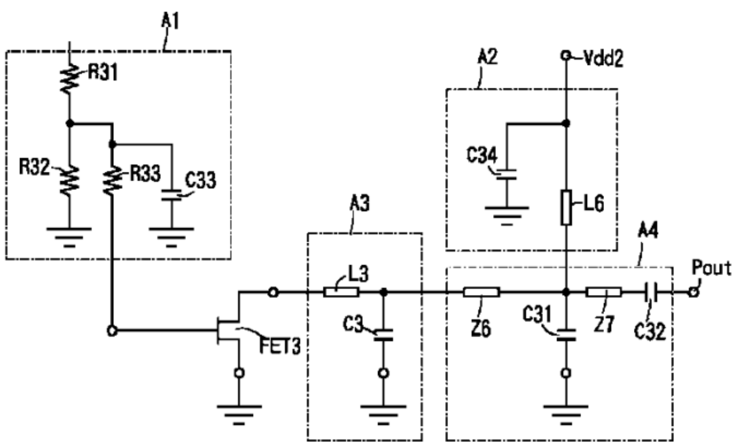
[FIG. 4]


1
9
Vdd2
20
19
GND
20
FET1
FET2
FET3
5
3
23
Vdd1
20
Pout
Lm
19
GND
20
Pin
Vgg

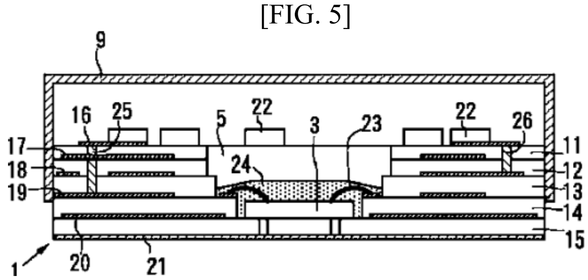
[FIG. 2]



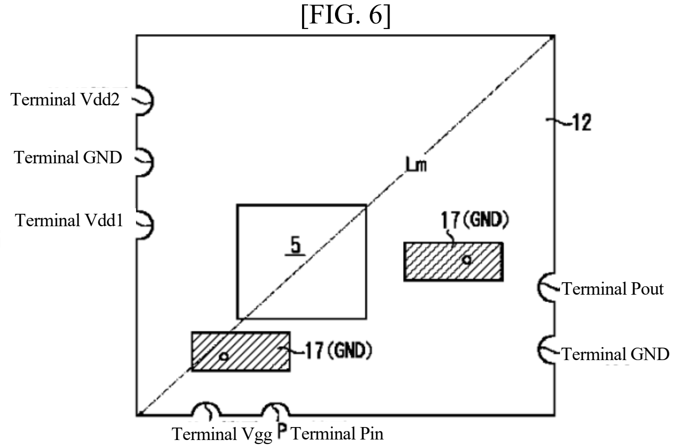
[FIG. 3]



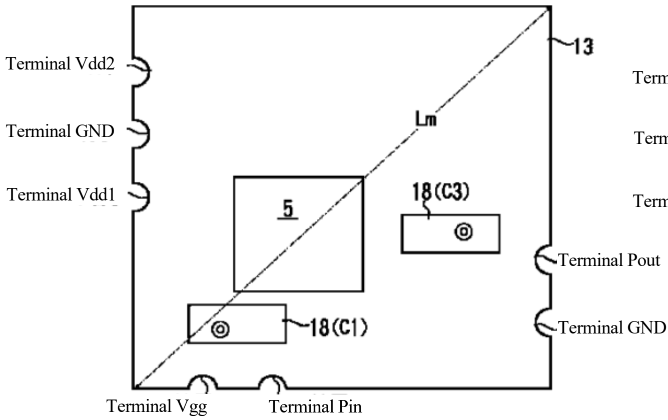
[FIG. 5]



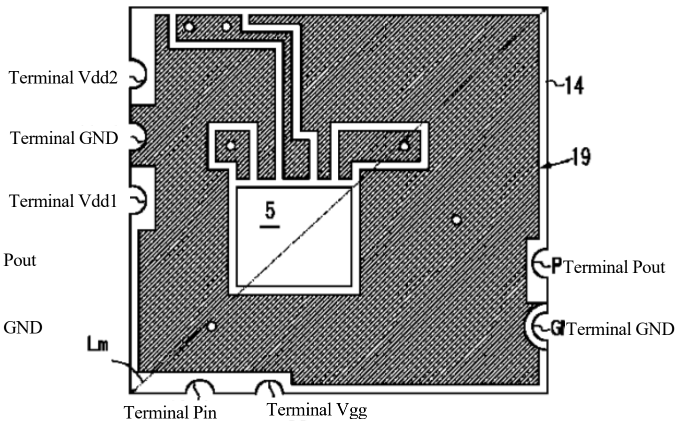
[FIG. 6]



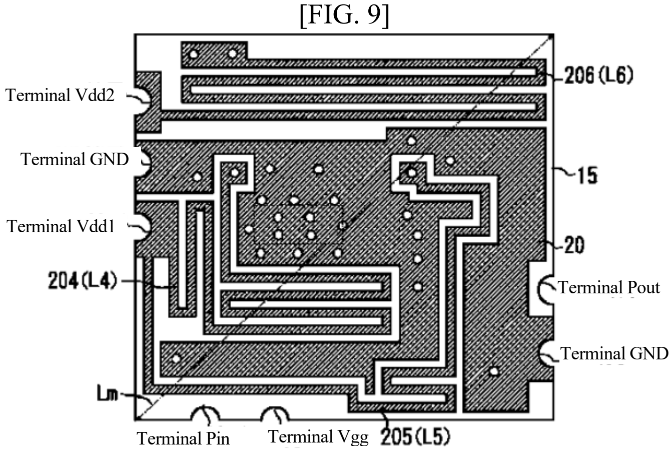
[FIG. 7]



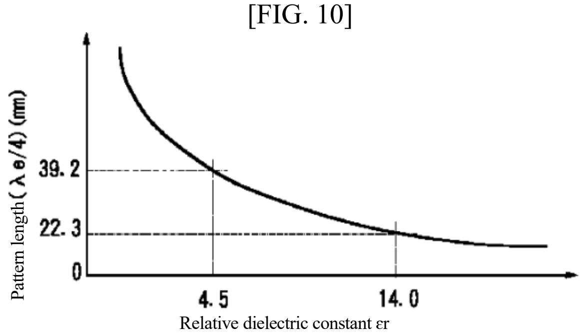
[FIG. 8]



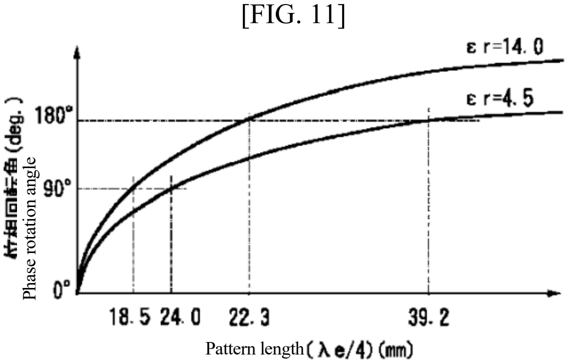
[FIG. 9]



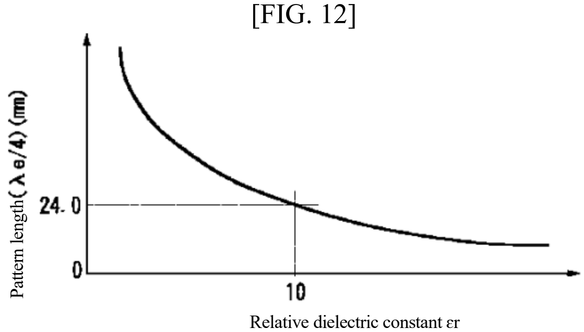
[FIG. 10]



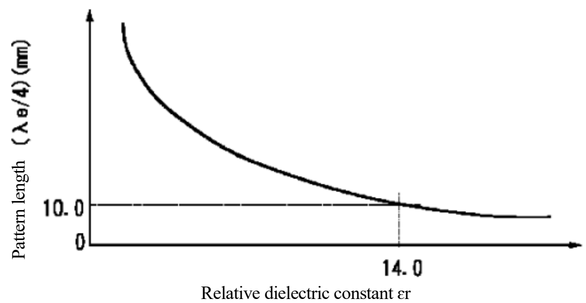
[FIG. 11]



[FIG. 12]



[FIG. 13]



Continued from front page

(51) Int. Cl.[7]	ID Code	FI	Theme Code (Reference)
H05K 3/46		H05K 3/46	Q
			G
		H01L 23/14	R

F-term (Reference)						
	5E346	AA13	AA43	BB02	CC04	CC09
		CC16	CC21	EE01	HH03	
	5J014	CA24	CA42	CA56		
	5J067	AA04	AA41	AA67	CA27	CA54
		CA76	CA92	FA16	HA09	HA25
		HA29	HA33	KA13	KA29	KA42
		KA48	KA66	KS17	KS25	KS28
		LS12	MA08	MA22	QA04	QA05
		QA06	QS05	QS16	QS17	SA14
		TA01	TA02			
	5J091	AA04	AA41	AA67	CA27	CA54
		CA76	CA92	FA16	HA09	HA25
		HA29	HA33	KA13	KA29	KA42
		KA48	KA66	KA68	MA08	MA22
		QA04	QA05	QA06	SA14	TA01
		TA02	UW08			

HC Language Solutions, Inc.
4701 Patrick Henry Dr. Bldg16, Suite 116
Santa Clara, CA 95054

CERTIFICATION OF TRANSLATION

I, Takashi Maeshiro, on behalf of HC Language Solutions, Inc., do solemnly and sincerely declare, to the best of my knowledge and belief, that the attached text represents a translation of Japanese Patent Application Publication No. JP 2001-267466, that the translation was performed by HC Language Solutions, Inc., and that the translation represents a true, correct, and faithful translation from Japanese to English in a form that reflects the intention and meaning of the original text.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Date: November 25, 2024

T. Maeshiro

Signature

Takashi Maeshiro
HC Language Solutions, Inc.

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開2001－267466

（P2001－267466A）

(43)公開日　平成13年9月28日(2001.9.28)

(51)Int.Cl.^{7}	識別記号	ＦＩ	テーマコード゛(参考)
ＨＯ１Ｌ　23/12	３０１	ＨＯ１Ｌ　23/12　　３０１Ｃ	５Ｅ３４６
23/14		ＨＯ１Ｐ　3/08	５Ｊ０１４
ＨＯ１Ｐ　3/08		ＨＯ３Ｆ　3/24	５Ｊ０６７
ＨＯ３Ｆ　3/24		3/60	５Ｊ０９１
3/60		ＨＯ５Ｋ　3/46　　Ｔ	

審査請求　未請求　請求項の数５　ＯＬ　（全 12 頁）　最終頁に続く

(21)出願番号　特願2000－188396(P2000－188396)

(22)出願日　平成12年6月22日(2000.6.22)

(31)優先権主張番号　特願2000－4063(P2000－4063)

(32)優先日　平成12年1月12日(2000.1.12)

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000003067

ティーディーケイ株式会社

東京都中央区日本橋１丁目13番１号

(72)発明者　高原　誠志

東京都中央区日本橋一丁目13番１号　ティーディーケイ株式会社内

(74)代理人　100081606

弁理士　阿部　美次郎

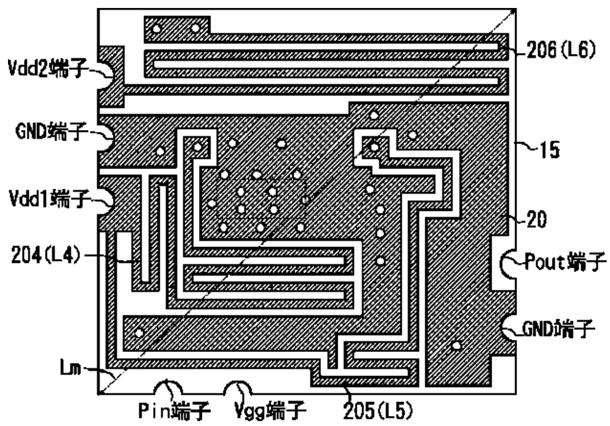
最終頁に続く

(54)【発明の名称】　電力増幅モジュール

(57)【要約】

【課題】外形形状が従来より著しく小型で、伝送信号の波長によっては、定在波が発生することのない特性の安定した電力増幅モジュールを提供する。

【解決手段】伝送信号の周波数ｆ（Ｈｚ）、真空中での波長λ０（ｍ）、光速Ｃｏ（ｍ／ｓ）、誘電体基板１５の比誘電率εｒに関して、｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４に対応する長さを持つ導体パターン２０を含む。導体パターン２０は誘電体基板１５によって支持されている。誘電体基板１５は、その最大差し渡し寸法をＬｍ（ｍ）としたとき、Ｌｍ＜｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４を満たす。



【特許請求の範囲】

【請求項１】　誘電体基板と、複数の回路部品とを含み、通信機器の送信部に用いられる電力増幅モジュールであって、

前記回路部品は、伝送信号の周波数をｆ（Ｈｚ）とし、真空中での波長をλ０（ｍ）とし、光速をＣｏ（ｍ／ｓ）とし、前記誘電体基板の比誘電率をεｒとしたとき、

$\{(Co/f)/(\varepsilon r)^{1/2}\}/4$

に対応する長さを持つ導体パターンを含み、前記誘電体基板によって支持されており、

前記誘電体基板は、その最大差し渡し寸法をＬｍ（ｍ）としたとき、

$Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$

を満たす電力増幅モジュール。

【請求項２】　請求項１に記載された電力増幅モジュールであって、

前記誘電体基板の比誘電率εｒは、４．５よりは大きい電力増幅モジュール。

【請求項３】　請求項１または２の何れかに記載された電力増幅モジュールであって、

前記誘電体基板は、有機樹脂材料とセラミック材料とを含む複合材料でなる電力増幅モジュール。

【請求項４】　請求項３に記載された電力増幅モジュールであって、

前記有機樹脂材料はポリビニルベンジルエーテル化合物を含み、比誘電率が２．５～３．５の範囲にあり、誘電正接が０．００２５～０．００５の範囲にある電力増幅モジュール。

【請求項５】　請求項４に記載された電力増幅モジュールであって、

前記セラミック材料はチタンバリウム系セラミックスを含み、

前記ポリビニルベンジルエーテル化合物の含有率をａ（ｖｏｌ％）とし、前記チタンバリウム系セラミックスの含有率をｂ（ｖｏｌ％）としたとき、

ａ：ｂ＝（７０：３０）～（４０：６０）

を満たす電力増幅モジュール。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、携帯電話などの通信機器の送信部に用いられる高周波電力増幅モジュールに関する。

【０００２】

【従来の技術】近年、携帯電話をはじめとする通信機器の普及によりマイクロ波帯の送信部に用いられる電力増幅モジュールへの需要が高まっている。

【０００３】電力増幅モジュールは、例えば携帯電話において、アンテナの前段に配置され、ドライバアンプから出力された信号を増幅し、アンテナへ伝える。電力増幅モジュールは、通常、３段の増幅回路、出力整合部及び２次高調波対策部等を含んで構成されている。各段の増幅回路は、ＦＥＴ等で構成された半導体増幅素子、整合回路、ドレインバイアス回路、ゲートバイアス回路等を含み、１つの回路ブロックを形成する。

【０００４】出力整合部は、電力増幅モジュールに使用される周波数帯、例えば８８０～９１５MHｚにおいて、増幅する対象となる周波数帯（基本波）で、インピーダンス整合をとるための回路である。

【０００５】２次高調波対策部は、基本波以外の周波数が、出力に伝送した場合、通信機器としての特性劣化となるため、２次高調波成分の出力への伝送を防ぐ役割をもつ。

【０００６】上述した回路構成を持つ電力増幅モジュールを実現するに当たっては、積層型の誘電体基板を用い、整合回路、２次高調波対策回路、ＦＥＴのバイアス回路の一部（抵抗、キャパシタ）及びバイアス回路の（λ／４）パターン等は、誘電体基板の各層に分配して形成する。他の抵抗またはキャパシタの１部は面実装タイプのものを用い、誘電体基板上に実装する。インダクタ素子は、誘電体基板の層に導体パターンとして形成される。ＦＥＴ等の半導体増幅素子は、ベアチップの形態で誘電体基板上に直接実装され、または、樹脂モルードでパッケージングされた形態で、誘電体基板上に実装される。電力増幅モジュールの外形寸法は、誘電体基板の外形寸法によって定まる。誘電体基板の外形寸法は、搭載される部品の数、及び、その形状によってほぼ定まる。従来の電力増幅モジュールでは、誘電体基板の外形寸法が７．０×７．０mmであった。

【０００７】

【発明が解決しようとする課題】近年、通信機器、特に携帯電話では、形状の小型化が急速に進展しており、当然の帰結として、携帯電話の１部品である電力増幅モジュールにも小型化が強く求められている。

【０００８】電力増幅モジュールの小型化の要求に応えるための１つの手段は、半導体素子、インダクタ素子、キャパシタ素子、及び、抵抗素子等の構成部品について、実装面積を削減すること、及び、形状の小型化を図ることである。

【０００９】このうち、半導体素子は、チップ自体の製造技術の改善や、放熱性の向上等がなされない限り、形状の小型化は不可能である。

【００１０】キャパシタ素子、及び、抵抗素子については、導体パターンで形成するよりも小型な１．０×０．５mmまたは０．６×０．３mmの表面実装型部品を使用することができ、それによって電力増幅モジュールの小型化に寄与し得る。

【００１１】インダクタ素子については、表面実装型部品を使用するより、メアンダ状パターンにて形成し、小型化を図ることができる。

【００１２】しかしながら、上述のような手段を採ったとしても、インダクタ素子については、メアンダ状パターンを誘電体基板平面上に形成するための面積がどうしても必要となり、形状の小型化には限界を生じる。実際、従来の電力増幅モジュールでは、誘電体基板の外形寸法を７．０×７．０mmに縮小するのが精一杯であった。

【００１３】しかも、この種の電力増幅モジュールでは、誘電体基板上に部品を搭載するため、処理する周波数信号の波長によっては誘電体基板に定在波が発生し、特性を劣化させる等の問題を生じる恐れがあった。

【００１４】本発明の課題は、外形形状を、従来より著しく小型化した電力増幅モジュールを提供することである。

【００１５】本発明のもう一つの課題は、伝送信号の波長によって、定在波が発生することのない特性の安定した電力増幅モジュールを提供することである。

【００１６】

【課題を解決するための手段】上述した課題を解決するため、本発明に係る電力増幅モジュールは、通信機器の送信部に用いられるものであって、誘電体基板と、複数の回路部品とを含む。前記誘電体基板は、誘電体材料で構成されている。前記誘電体基板は、誘電体材料で構成されている。

【００１７】前記回路部品は、伝送信号の周波数をｆ（Ｈｚ）とし、真空中での波長をλ０（ｍ）とし、光速をＣｏ（ｍ／ｓ）とし、前記誘電体基板の比誘電率をεｒとしたとき、

｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４

に対応する長さを持つ導体パターンを含み、前記誘電体基板によって支持されている。前記誘電体基板は、その最大差し渡し寸法をＬｍ（ｍ）としたとき、

Ｌｍ＜｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４

を満たす。

【００１８】本発明に係る電力増幅モジュールにおいて、誘電体基板によって支持される導体パターンは、｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４に対応する長さを持つから、導体パターンのパターン長を、誘電体基板の比誘電率εｒに応じて、設定することができる。具体的には、比誘電率εｒの高い誘電体材料を用いることにより、導体パターンのパターン長を短くし、誘電体基板の外形形状を小型化した電力増幅モジュールを得ることができる。

【００１９】上記式において、項（Ｃｏ／ｆ）／（εｒ）$^{1/2}$は、誘電体基板上に形成された導体パターン中を伝送される信号の実効波長λｅと定義される。導体パターンのパターン長は（λｅ／４）に対応する長さを持つ。このため、導体パターンを通って伝送される信号が外部へ漏洩するのを阻止し、効率のよい信号伝送を行うことができる。

【００２０】しかも、導体パターンを支持する誘電体基板は、その最大差し渡し寸法Ｌｍ（ｍ）が、

Ｌｍ＜｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４

を満たしている。上述したように、

｛（Ｃｏ／ｆ）／（εｒ）$^{1/2}$｝／４＝（λｅ／４）

であるから、Ｌｍ＜（λｅ／４）となる。このため、定在波の発生を抑止し、パターン間の電磁的結合を抑止できる。パターン間の電磁的結合の抑止は、例えば、出力から入力への信号のまわりこみによる発振動作の抑止につながり、負荷変動や温度変動に対して、より特性の安定した電力増幅モジュールを得ることができる。

【００２１】本発明において、誘電体基板の比誘電率εｒは、好ましくは、εｒ＞４．５の範囲で選定する。従来用いられていた誘電体基板の比誘電率εｒは、４．５以下であったので、本発明に係る電力増幅モジュールは、誘電体基板の比誘電率εｒの点で従来と異なる。

【００２２】前述したように、実効波長λｅは、誘電体基板の比誘電率εｒが高くなるにつれて短くなるので、誘電体基板の比誘電率εｒを、従来値４．５よりも高い領域で選定する本発明によれば、導体パターンのパターン長を、従来よりも短くできる。このため、誘電体基板の外形形状を小型化した電力増幅モジュールを得ることができる。

【００２３】更に、電力増幅モジュールにおいて、整合回路を形成するインダクタンス素子は、インピーダンス整合を行う関係上、必要な位相回転角度が得られる長さに設計される。誘電体基板の比誘電率εｒが高くなるにつれて、同一値の位相回転角を得るのに必要な導体パターンのパターン長が短くなる。

【００２４】誘電体基板の比誘電率εｒを、従来の比誘電率εｒ（≦４．５）よりは大きい値に設定した場合、従来よりは短いパターン長で同じ位相回転角を得ることができる。このため、外形形状を、より一層小型化した電力増幅モジュールを得ることができる。

【００２５】上述した点は、電力増幅モジュールにおいて、導体パターンを用いて構成されたインダクタンス素子の全てに適用される。従って、誘電体基板を従来よりも小型化できる。具体的には、従来は、誘電体基板の外形寸法を７．０×７．０mmに縮小するのが精一杯であったが、本発明によれば、誘電体基板の外形寸法を６．０×５．５mm以下まで縮小することができる。

【００２６】誘電体基板は、好ましくは、有機樹脂材料とセラミック材料とを含む複合材料でなる。有機樹脂材料とセラミック材料とを含む複合材料でなる誘電体基板は、セラミック材料で形成された従来品と異なって、加工工程において、クラックや層間剥離が生じにくく、機械的強度にすぐれているので、製品としての信頼性に優れている。また、層間の絶縁抵抗がクラックによって劣化することがないので、キャパシタを形成するのに都合がよい。

【００２７】本発明の他の目的、構成及び利点については、実施例である添付図面を参照して、更に具体的に説明する。図は単なる例示に過ぎない。

【００２８】

【発明の実施の形態】図１は本発明に係る電力増幅モジュールを用いた携帯電話におけるＲＦ出力部のブロック図の一例を示す。本発明に係る電力増幅モジュールは、ＲＦ出力部の送信部において、アンテナＡＮＴ１の前段に配置され、ドライバＤＲ１から供給された信号を増幅し、増幅された信号を、スイッチＳＷ1を介して、アンテナＡＮＴ１へ伝える。ドライバＤＲ１の前段には、ミキサＭ1が備えられており、変調器（図示しない）から供給される信号と、分配器ＤＩＳから供給される信号とを、ミキサＭ1でミキシングし、ミキサＭ１の出力を、ドライバＤＲ１に供給するようになっている。

【００２９】ＲF出力部の受信部は、受信アンテナＡＮＴ２、増幅器ＬＮＡ２、スイッチＳＷ2、フィルタＦ１及びミキサＭ２等を備える。受信アンテナＡＮＴ２で受信された信号は、増幅器ＬＮＡ２で増幅され、スイッチＳＷ2を介して、フィルタＦ１に供給される。フィルタＦ１で抽出された受信信号は、ミキサＭ２において、分配器ＤＩＳから供給される信号とミキシングされる。ミキサＭ２の出力は復調器に供給される。参照符号ＬＮＡ１は増幅器である。

【００３０】電力増幅モジュールにおいて使用される周波数帯は、一例として、８８０～９１５MHｚまたは１７１０～１７８５MHｚであり、電力増幅モジュールに要求される出力は、一例として、３５ｄBmまたは３２ｄBmである。

【００３１】図２は電力増幅モジュールの具体的な回路例を示している。図示された電気回路は、携帯電話を含む各種の通信機器において、電力増幅モジュールとして周知のものである。但し、図２は単なる例示に過ぎず、本発明に係る電力増幅モジュールが、図に示される回路に限定されるものでないことは言うまでもない。図に例示された電力増幅モジュールは、３つの半導体増幅素子ＦＥＴ１～ＦＥＴ３を含んでいる。半導体増幅素子ＦＥＴ１～ＦＥＴ３のそれぞれには、整合回路、ドレインバイアス回路、ゲートバイアス回路が接続され、１つの回路ブロックを形成する。

【００３２】半導体増幅素子ＦＥＴ１～ＦＥＴ３は電界効果トランジスタで構成され、縦続的に接続される。半導体増幅素子ＦＥＴ１、ＦＥＴ２は２段電力増幅回路を構成する。入力端子Ｐｉｎから供給された入力信号は、キャパシタＣ１１及びインピーダンス素子Ｚ１を通って、半導体増幅素子ＦＥＴ１のゲートに供給される。

【００３３】キャパシタＣ１１及びインピーダンス素子Ｚ1は、入力信号ラインのインピーダンス（５０Ω）と、インピーダンス整合をとる整合回路を構成する。半導体増幅素子ＦＥＴ１によって電力増幅された信号は、インダクタンス素子Ｌ１とキャパシタＣ１とによって構成された２次高調波対策部、及び、インピーダンス素子Ｚ２と、キャパシタＣ１２と、インピーダンス素子Ｚ３とキャパシタＣ１３とで構成されたインピーダンス整合回路を通って、半導体増幅素子ＦＥＴ２のゲートに供給される。

【００３４】半導体増幅素子ＦＥＴ２によって電力増幅された信号は、インダクダンス素子Ｌ２とキャパシタＣ２とによって構成された２次高調波対策部、及び、インピーダンス素子Ｚ４と、キャパシタＣ２１と、インピーダンス素子Ｚ５と、キャパシタＣ２２とによって構成されたインピーダンス整合回路を通して、半導体増幅素子ＦＥＴ３のゲートに供給される。

【００３５】半導体増幅素子ＦＥＴ３によって電力増幅された信号は、インダクダンス素子Ｌ３と、キャパシタＣ３とによって構成された２次高調波対策部、及び、インピーダンス素子Ｚ６と、キャパシタＣ３１と、インピーダンス素子Ｚ７と、キャパシタＣ３２とによって構成された出力整合回路を通して、出力端子Ｐｏｕｔに供給され出力される。出力端子Ｐｏｕｔは、スイッチＳＷ1を介して、アンテナＡＮＴ１（図１参照）に導かれる。

【００３６】半導体増幅素子ＦＥＴ１のゲートには、抵抗Ｒ１１～Ｒ１３及びキャパシタＣ１４によるゲートバイアス回路が接続されている。抵抗Ｒ１１、Ｒ１２は一端が互いに接続され、抵抗Ｒ１１の他端が第１の直流電源Ｖｇｇに接続され、抵抗Ｒ１２の他端が接地されている。抵抗Ｒ１３は、抵抗Ｒ１１及び抵抗Ｒ１２の接続点と、半導体増幅素子ＦＥＴ１のゲートとの間に接続されている。

【００３７】キャパシタＣ４は一端が第１の電源端子Ｖｇｇに接続され、他端が接地されている。キャパシタＣ１４は一端が抵抗Ｒ１１、Ｒ１２、Ｒ１３の接続点に接続され、他端が接地されている。

【００３８】半導体増幅素子ＦＥＴ１のドレイン側において、整合回路を構成するインピーダンス素子Ｚ２、インピーダンス素子Ｚ３及びキャパシタＣ１２の接続点には、ドレインバイアス回路を構成するインダクダンス素子Ｌ４の一端が接続されている。インダクダンス素子Ｌ４の他端は、第２の電源端子Ｖｄｄ１に接続されている。インダクダンス素子Ｌ４の他端には、キャパシタＣ１５の一端が接続されている。キャパシタＣ１５の他端は接地されている。

【００３９】半導体増幅素子ＦＥＴ２のゲートには、抵抗Ｒ２１～Ｒ２３及びキャパシタＣ２３によるゲートバイアス回路が接続されている。抵抗Ｒ２１、Ｒ２２は一端が互いに接続されている。抵抗Ｒ２１の他端は第１の電源端子Ｖｇｇに接続され、抵抗Ｒ２２の他端は接地されている。抵抗Ｒ２３は、抵抗Ｒ２１及び抵抗Ｒ２２の接続点と、半導体増幅素子ＦＥＴ２のゲートとの間に接続されている。キャパシタＣ２３は一端が抵抗Ｒ２１～

Ｒ２３の接続点に接続され、他端が接地されている。

【００４０】半導体増幅素子ＦＥＴ２のドレイン側において、整合回路を構成するインピーダンス素子Ｚ４、インピーダンス素子Ｚ５及びキャパシタＣ２１の接続点には、ドレインバイアス回路を構成するインダクダンス素子Ｌ５の一端が接続されている。インダクダンス素子Ｌ５の他端は、第２の電源端子Ｖｄｄ１に接続されている。インダクダンス素子Ｌ５の他端には、キャパシタＣ２４の一端が接続されている。キャパシタＣ２４の他端は接地されている。

【００４１】半導体増幅素子ＦＥＴ３のゲートには、抵抗Ｒ３１～Ｒ３３及びキャパシタＣ３３によるゲートバイアス回路が接続されている。抵抗Ｒ３１、Ｒ３２は一端が互いに接続され、抵抗Ｒ３１の他端が第１の直流電源Ｖｇｇに接続され、抵抗Ｒ３２の他端が接地されている。抵抗Ｒ３３は、抵抗Ｒ３１及び抵抗Ｒ３２の接続点と、半導体増幅素子ＦＥＴ３のゲートとの間に接続されている。キャパシタＣ３３は一端が抵抗Ｒ３１、Ｒ３２、Ｒ３３の接続点に接続され、他端が接地されている。

【００４２】半導体増幅素子ＦＥＴ３のドレイン側において、整合回路を構成するインピーダンス素子Ｚ６、インピーダンス素子Ｚ７及びキャパシタＣ３１の接続点には、ドレインバイアス回路を構成するインダクダンス素子Ｌ６の一端が接続されている。インダクダンス素子Ｌ６の他端は、第３の電源端子Ｖｄｄ２に接続されている。インダクダンス素子Ｌ６の他端には、キャパシタＣ３４の一端が接続されている。キャパシタＣ３４の他端は接地されている。

【００４３】次に、各段の半導体増幅素子ＦＥＴ１～ＦＥＴ３とともに、１つの回路ブロックを構成する整合回路、ドレインバイアス回路、ゲートバイアス回路及び２次高調波対策部について、半導体増幅素子ＦＥＴ３を含む最終段の回路ブロックを参照して説明する。

【００４４】図３は半導体増幅素子ＦＥＴ３を含む最終段の回路ブロックＡ（図１参照）を抜き出して示す図である。回路ブロックＡは、半導体増幅素子ＦＥＴ３と、ゲートバイアス部Ａ１と、ドレインバイアス部Ａ２と、２次高調波対策部Ａ３と、出力整合部Ａ４とを含んでいる。

【００４５】出力整合部Ａ４は、電力増幅モジュールに使用される周波数帯、例えば８８０～９１５ＭＨｚの周波数帯において、増幅する対象となる周波数帯（基本波）で、インピーダンス整合をとるための回路である。

【００４６】２次高調波対策部Ａ３は、基本波以外の周波数が、出力に伝送した場合、通信機器としての特性劣化となるため、２次高調波成分の出力への伝送を防ぐ役割をもつ。このため、インダクタンス素子Ｌ３及びキャパシタＣ３からなる回路のインピーダンスは、半導体増幅素子ＦＥＴ３のドレイン端子から出力端子Ｐｏｕｔ側を見た場合のインピーダンスＺＬが、２次高調波の周波数でゼロとなるように設計される。

【００４７】ゲートバイアス部Ａ１及びドレインバイアス部Ａ２は、半導体増幅素子ＦＥＴ３を増幅器として機能させるために、半導体増幅素子ＦＥＴ３に直流バイアスを印加するためのものである。例えば、ゲート端子に直流電圧１．５ｖ、ドレインバイアス端子に直流電圧３．５ｖを供給し、直流電流１．０Ａを流した状態で、ｆ＝９００MHｚ、Ｐ＝０ｄBmの信号をゲート端子に入力すると、ドレイン端子に３３ｄBmの信号が得られ、半導体増幅素子ＦＥＴ３では３３ｄＢの増幅度が得られる。増幅度は、バイアスの電圧値や電流値により制御可能である。例えば、ドレイン端子及びゲート端子に印加される直流電圧を０ｖとすれば、ｆ＝９００MHｚ、Ｐ＝０ｄBmの信号入力に対し、－２０ｄBmの出力となりＦＥＴの増幅度は－２０ｄＢとなる。

【００４８】また、ドレインバイアス部Ａ２では、半導体増幅素子ＦＥＴ３に直流バイアスを印加させると共に、信号を外部へ漏洩させないようにするため、インダクタンス素子Ｌ６を、（λ／４）パターン長を有するストリップライン（導体パターン）によって構成し、接地されたキャパシタＣ３４と接続してある。

【００４９】ゲートバイアス部Ａ１においても、半導体増幅素子ＦＥＴ３に直流バイアスを印加させると共に、信号を外部へ漏洩させないようにするため、抵抗Ｒ３３の一端に、接地されたキャパシタＣ３３を接続し、信号周波数（一例としてｆ＝８８０～９２０MHｚ）において、外部電源の入力インピーダンスと、インピーダンス的にアイソレーションをとっている。

【００５０】半導体増幅素子ＦＥＴ１、ＦＥＴ２を含む回路ブロックにおいても、半導体増幅素子ＦＥＴ３の場合と同様の目的から、ゲートバイアス部、ドレインバイアス部、２次高調波対策部及びインピーダンス整合部を有する。また、ドレインバイアス部において、信号を外部へ漏洩させないようにするため、インダクタタンス素子Ｌ４、Ｌ５のそれぞれは、（λ／４）パターン長を有するストリップライン（導体パターン）によって構成する。

【００５１】図４は図２、図３に示した回路構成を有する本発明に係る電力増幅モジュールの平面図、図５は図４に示した電力増幅モジュールの部分断面図、図６は図４及び図５に示した電力増幅モジュールの第２層目を示す切断平面図、図７は図４及び図５に示した電力増幅モジュールの第３層目を示す切断平面図、図８は図４及び図５に示した電力増幅モジュールの第４層目を示す切断平面図、図９は図４及び図５に示した電力増幅モジュールの第５層目を示す切断平面図である。

【００５２】図示実施例の電力増幅モジュールは、誘電体基板１と、半導体チップ３とを含む。誘電体基板１は、誘電体材料で構成され、面内に切り抜き部５を有し

ている。誘電体基板１は、上から見て、第１の誘電体基板１１、第２の誘電体基板１２、第３の誘電体基板１３、第４の誘電体基板１４及び第５の誘電体基板１５を積層した構成となっている。誘電体基板１は互いに独立する第１～第５の誘電体基板１１～１５を順次に積層し、接着してもよいし、あるいは、連続塗布法によって、第１～第５の誘電体基板１１～１５を構成する誘電体層、及び、必要な導体パターンを積層することによって形成してもよい。

【００５３】第１～第５の誘電体基板は、図１に示された回路図に含まれる回路部品のうち、受動回路部品を搭載し、かつ、受動回路部品を必要な回路構成となるように接続する。回路部品の配置については、特に限定はないが、採用し得る一例を次に示す。例えば、第１の誘電体基板１１の表面（上面）に、図１において、バイアス回路を構成する回路素子の一部、及び、インピーダンス整合回路を構成する回路素子を搭載する。具体的には、抵抗Ｒ１１～Ｒ３３及びコンデンサＣ１１～Ｃ３２、インピーダンス素子Ｚ１～Ｚ７等である。これらの回路部品は、チップ部品で構成し、第１の誘電体基板１１の表面に予め形成された導体パターン１６に対して、半田付け等の手段によって取り付けることができる。または、これらの回路部品の一部は、第１の誘電体基板１１の表面に形成された導体パターン１６によって構成してもよい。

【００５４】第２の誘電体基板１２は、図６に示すように、第１の誘電体基板１１の下面と接合される表面に、ＧＮＤとなる導体パターン、及び、キャパシタ用導体パターン等を形成することができる。図６はＧＮＤとなる導体パターン１７を示している。

【００５５】第３の誘電体基板１３は、図７に示すように、第２の誘電体基板１２の下面と接合される表面に、キャパシタ用導体パターン１８を形成することができる。図７は図２、３のキャパシタＣ１、Ｃ３のための導体パターン１８を形成した例を示している。キャパシタＣ１、Ｃ３は第２の誘電体基板１２に形成されたＧＮＤ用導体パターンと対向する。

【００５６】第４の誘電体基板１４は、図８に示すように、第３の誘電体基板１３の下面と接合される表面に、ＧＮＤとなる導体パターン１９を形成することができる。

【００５７】更に、第５の誘電体基板１５は、図９に示すように、ドレインバイアス回路に含まれるインダクタンス素子Ｌ４、Ｌ５及びＬ６を構成するストリップライン２０４、２０５、２０６が形成されている。

【００５８】誘電体基板１には、所定の適切な位置に、任意数のスルーホール２５、２６が設けられている。スルーホール２５は、その内部に充填された導体により、例えば、第１の誘電体基板１１の表面に形成された導体パターン１６、第２の誘電体基板１２に表面に形成された導体パターン１７及び第４の誘電体基板１４に形成された導体パターン１９を電気的に接続するために使用される。スルーホール２６は、その内部に充填された導体により、例えば、第１の誘電体基板１１の表面に形成された導体パターン１６及び第３の誘電体基板１３に形成された導体パターン１８を電気的に接続するために使用される。

【００５９】半導体チップ３は、図２において、半導体増幅素子ＦＥＴ１～ＦＥＴ３を含み、誘電体基板１に設けられた切り抜き孔５の内部に挿入され、第５の誘電体基板１５に設けられた導体パターン２０上に銀ペーストなどの導電性接着剤を介して接合されている。

【００６０】半導体チップ３の電極は、ワイヤーボンディング２３により、第４の誘電体基板１４上に形成された導体パターン２０上に接続される。また、半導体チップ３は、その信頼性確保のため、封止用樹脂２４により、封止された状態で実装される。

【００６１】誘電体基板１には、信号入力用端子Ｐｉｎ、信号出力用端子Ｐｏｕｔ、接地端子ＧＮＤ及び第１～第５の電源端子Ｖｇｇ、Ｖｄｄ１、Ｖｄｄ２等が側面電極の形態で付与される。

【００６２】上述した電力増幅モジュールにおいて、第５の誘電体基板１５上に形成されたインダクタンスＬ４、Ｌ５及びＬ６は、伝送信号の周波数をｆ（Ｈｚ）とし、真空中での波長をλ０（ｍ）とし、光速をＣｏ（ｍ／ｓ）とし、第５の誘電体基板１５の比誘電率をεｒとしたとき、パターン長が、

$$\{(Co/f)/(\varepsilon r)^{1/2}\}/4$$

となるように設定する。

【００６３】上記式において、項$(Co/f)/(\varepsilon r)^{1/2}$は、第５の誘電体基板１５上に形成されたストリップライン２０４、２０５、２０６中を伝送される信号の実効波長λｅである。ストリップライン２０４、２０５、２０６は（λｅ／４）のパターン長を持つ。このため、ストリップライン２０４、２０５、２０６を通って伝送される信号が外部へ漏洩するのを阻止し、効率のよい信号伝送を行うことができる。パターン長はストリップライン２０４、２０５、２０６の幅の中心部を通って得られた長さとする。

【００６４】しかも、ストリップライン２０４、２０５、２０６は$\{(Co/f)/(\varepsilon r)^{1/2}\}/4$に対応する長さを持つから、ストリップライン２０４、２０５、２０６のパターン長を、第５の誘電体基板１５の比誘電率εｒに応じて、設定することができる。具体的には、比誘電率εｒの高い誘電体材料を用いることにより、各ストリップライン２０４、２０５、２０６のパターン長を短くし、誘電体基板の外形形状を小型化することができる。

【００６５】ストリップライン２０４、２０５、２０６を支持する第５の誘電体基板１５は、その最大差し渡し

寸法をＬｍ（ｍ）としたとき、

$$Lm < \{(Co/f)/(\varepsilon r)^{1/2}\}/4$$

を満たす。

【００６６】ここで、実効波長λｅを用いると、

$$\{(Co/f)/(\varepsilon r)^{1/2}\}/4 = (\lambda e/4)$$

であるから、Ｌｍ＜（λｅ／４）となる。このため、第５の誘電体基板１５に、定在波が発生するのを抑止し、パターン間の電磁的結合を抑止できる。パターン間の電磁的結合の抑止は、例えば、出力から入力への信号のまわりこみによる発振動作の抑止につながり、負荷変動や温度変動に対して、より特性の安定した電力増幅モジュールを得ることができる。実施例において、第５の誘電体基板１５は四角形である。従って、最大差し渡し寸法Ｌｍは対角長となる。第５の誘電体基板１５は四角形以外の他の形状を採ることができる。この場合は、対向間隔が最大となる外形寸法が、最大差し渡し寸法Ｌｍとなる。

【００６７】第１～第４の誘電体基板１１～１４の外形及び最大差し渡し寸法は、第５の誘電体基板１５のそれに合わせる。これにより、誘電体基板１の全体として、外形形状を小型化した電力制御モジュールを得ることができる。

【００６８】本発明において、誘電体基板の比誘電率εｒは、好ましくは、εｒ＞４．５の範囲で選定する。従来、誘電体基板として、ガラスエポキシ樹脂が用いられ、比誘電率εｒは４．５以下であった。従って、本発明に係る電力増幅モジュールは、誘電体基板の比誘電率εｒの点で従来と異なる。

【００６９】図１０は第５の誘電体基板１５の比誘電率εｒと、インダクタンス素子Ｌ４、Ｌ５、Ｌ６を構成するストリップライン２０４、２０５、２０６のパターン長（ｍｍ）との関係を示す図である。図１０のデータは、伝送信号の周波数ｆ＝９００ＭＨｚ、ストリップラインの幅＝２００μｍ、第５の誘電体基板１５の厚さ＝１００μｍとして得られたものである。パターン長は（λｅ／４）である。図１０の縦軸にとられたパターン長（λｅ／４）は、

$$(\lambda e/4) = \{(Co/f)/(\varepsilon r)^{1/2}\}/4$$

と表される。

【００７０】図１０に示すように、導体パターン２０のパターン長（λｅ／４）は、第５の誘電体基板１５の比誘電率εｒが高くなるにつれて短くなる。第５の誘電体基板１５の比誘電率εｒを、従来値４．５に設定した場合、パターン長（λｅ／４）は３９．２ｍｍとなる。

【００７１】これに対して、第５の誘電体基板１５の比誘電率εｒを、従来値４．５よりも高い領域で選定することにより、パターン長（λｅ／４）を、従来よりも短くできる。具体的には、比誘電率εｒを１４に設定した場合には、パターン長（λｅ／４）は、２２．３（ｍｍ）まで縮小される。このため、外形形状を小型化した電力増幅モジュールを得ることができる。

【００７２】誘電体基板上に導体パターンを形成してインダクタンス素子とすることは従来より行われていたが、導体パターンの縮小という観点から、誘電体基板において選択されるべき比誘電率εｒが検討されたことはなかった。また、比誘電率εｒが４．５を越える誘電体基板を用いた従来例は見出すことができない。

【００７３】また、図１０を参照すると、比誘電率εｒが４．５よりも低い領域では、比誘電率εｒの単位変化量に対する実効波長λｅの変化量が急激に増大するのに対し、比誘電率εｒが４．５よりも高い領域では、比誘電率εｒの単位変化量に対するパターン長（λｅ／４）の変化量が小さい。即ち、比誘電率εｒ＝４．５の付近を、一種の変曲点と看做すことができる。

【００７４】図１１はパターン長（λｅ／４）と位相回転角度との関係を示す図である。図１０のデータは、伝送信号の周波数ｆ＝９００ＭＨｚ、ストリップラインの幅＝２００μｍ、誘電体基板の厚さ＝１００μｍとして得られたものである。

【００７５】電力増幅モジュールにおいて、整合回路を形成するインダクタンス素子は、インピーダンス整合を行う関係上、必要な位相回転角度が得られる長さに設計される。図１１に示すように、誘電体基板の比誘電率εｒが高くなるにつれて、同一値の位相回転角を得るのに必要な導体パターンのパターン長が短くなる。本発明では、誘電体基板の比誘電率εｒを、従来の比誘電率εｒ（≦４．５）よりは大きい値に設定してあるので、従来よりは短いパターン長で同じ位相回転角を得ることができる。このため、外形形状を、より一層小型化した電力増幅モジュールを得ることができる。

【００７６】より具体的に述べると、位相回転９０度を得るのに、εｒ＝４．５の場合、２４．０ｍｍ必要であるのに対し、εｒ＝１４．０とすることで、１８．５ｍｍでよい。

【００７７】上述した導体パターンのパターン長（λｅ／４）と、位相回転角度との関係は、整合回路を形成するインダクタンス素子のみならず、第５の誘電体基板１５に形成されたストリップライン２０４、２０５、２０６についても妥当する。例えば、図１０において、位相回転１８０度（λ／４）を得るのに、比誘電率εｒ＝４．５の場合、３９．２ｍｍのパターン長（λｅ／４）が必要であるのに対し、比誘電率εｒ＝１４．０とすることにより、２２．３ｍｍのパターン長（λｅ／４）でよいことになる。

【００７８】上述した点は、電力増幅モジュールにおいて、ストリップラインを用いて構成されたインダクタンス素子の全てに適用される。従って、誘電体基板を従来よりも小型化できる。具体的には、従来は、誘電体基板の外形寸法を７．０×７．０ｍｍに縮小するのが精一杯であったが、本発明によれば、誘電体基板の外形寸法を

６．０×５．５mm以下まで縮小することができる。

【００７９】誘電体基板は、好ましくは、有機樹脂材料とセラミック材料とを含む複合材料でなる。有機樹脂材料とセラミック材料とを含む複合材料でなる誘電体基板は、セラミック材料で形成された従来品と異なって、加工工程において、クラックや層間剥離が生じにくく、機械的強度にすぐれているので、製品としての信頼性に優れている。また、層間の絶縁抵抗がクラックによって劣化することがないので、キャパシタを形成するのに都合がよい。

【００８０】有機樹脂材料としては、ポリビニルベンジルエーテル化合物を用いることができる。ポリビニルベンジルエーテル化合物とセラミック材料との混合材料を用いることにより、比誘電率εｒが約７〜１４の誘電体基板を得ることができる。しかも、高いQ値も取得できる。

【００８１】ポリビニルベンジルエーテル化合物としては、比誘電率が２．５〜３．５の範囲にあり、誘電正接が０．００２５〜０．００５の範囲にあるものを用いることが好ましい。

【００８２】また、セラミック材料としては、チタンバリウム系セラミックスを用いることができる。チタンバリウム系セラミックスは、酸化バリウムと、酸化チタンとを含む。チタンバリウム系セラミックスは、更に、酸化ネオジウム、酸化マンガンまたは酸化ビスマスの少なくとも一種を含んでもよい。チタンバリウム系セラミックスの一例としては、$\mathrm{BaO-TiO_2-Nd_2O_3}$系セラミックスを挙げることができる。

【００８３】実施例において、誘電体基板は、比誘電率εｒが７〜１４の範囲にあり、かつ、誘電正接が０．０１〜０．００２の範囲にあるように構成する。この場合、ポリビニルベンジルエーテル化合物の含有率をａ（ｖｏｌ％）とし、チタンバリウム系セラミックスの含有率をｂ（ｖｏｌ％）とし、

ａ：ｂ＝（７０：３０）〜（４０：６０）（但し、ａ＋ｂ＝１００）

の範囲の割合で混合する。混合材料によれば、比誘電率εｒ＝７〜１４、かつ、誘電正接＝０．０１〜０．００２の誘電体基板を実現できる。

【００８４】一例として、比（ａ：ｂ）を、

ａ：ｂ＝７０：３０

とした組成では、比誘電率εｒ＝９、誘電正接＝０．００３となった。また、

ａ：ｂ＝４０：６０

とした組成では、比誘電率εｒ＝１２、誘電正接＝０．００３となった。

【００８５】また、誘電体基板の機械的強度を増大させる手段として、ポリビニルベンジルエーテル化合物と、チタンバリウム系セラミックスとの混合物に、ガラスクロスを埋設してもよい。ガラスクロスは、$\mathrm{SiO_2}$を主成分とするもので、誘電体基板の骨格を形成する役割を担う。利用できるガラスクロスの組成例を下に示す。

【００８６】<ガラスクロスの組成例>

$\mathrm{SiO_2}$：５６ｖｏｌ％

$\mathrm{MgB_2O_3}$：１０ｖｏｌ％

$\mathrm{Al_2O_3}$：１７ｖｏｌ％

ＣａＯ：１７ｖｏｌ％

更にガラスクロスの有無にかかわらず、難燃剤を添加してもよい。難燃剤の具体例としては、テトラブロモジフェノールＡ変形ポリビニルベンジルエーテル化合物を挙げることができる。

【００８７】ポリビニルベンジルエーテル化合物、チタンバリウム系セラミックス、ガラスクロス及び難燃剤を用いた誘電体基板の特性例を示す。ポリビニルベンジルエーテル化合物の含有率をａ（ｖｏｌ％）とし、チタンバリウム系セラミックスの含有率をｂ（ｖｏｌ％）とし、ガラスクロスの含有率をｃ（ｖｏｌ％）とし、難燃剤の含有率をｄ（ｖｏｌ％）として、比（ａ：ｂ：ｃ：ｄ）を、

ａ：ｂ：ｃ：ｄ＝３０：４５：２０：５

とした例では、比誘電率εｒ＝９、誘電正接＝０．００３となった。また、

ａ：ｂ：ｃ：ｄ＝２５：５０：２０：５

とした例では、比誘電率εｒ＝１２、誘電正接＝０．００３となった。

【００８８】上述した混合材料によれば、高い比誘電率εｒを確保することができるので、誘電体基板の比誘電率を利用してキャパシタを構成する場合にも、極めて有効である。例えば、図５において、第５の誘電体基板１５のみならず、第１の誘電体基板１１〜第４の誘電体基板１４をも、上述した混合材料を用いて構成し、第１の誘電体基板１１〜第４の誘電体基板１４の層間にキャパシタ用電極を形成し、第１〜第４の誘電体基板１１〜１４の高い比誘電率εｒを利用して、キャパシタを形成することができる。これにより、第１の誘電体基板１１の表面に実装すべきキャパシタを省略することも可能である。

【００８９】次に、具体的な設計例について述べる。伝送信号の周波数ｆ＝９００ＭＨｚ、導体パターンの幅ｗ＝２００μｍ、誘電体基板の厚さ＝１００μｍとし、外形寸法６．０×５．５mmの基板を得るものとする。

【００９０】まず、図１２に図示するように、外形寸法６．０×５．５mmを達成するのに必要なパターン長（λｅ／４）が２４．０（mm）以下であることから、比誘電率εｒが１０．０以上必要と定義する。

【００９１】次に、図１３に図示するように、信号周波数の基本波（９００ＭＨｚ）の２倍波（１８００ＭＨｚ）において発振動作しないように、ストリップラインのパターン長（λｅ／４）が１０．０mm以上となるように、比誘電率εｒの上限値を１４．０と定義する。

【００９２】２倍波で考慮した条件であれば、基本波で問題が生じることはない。結局、比誘電率εｒ＝１０以上１４．０以下とすることにより、外形寸法６．０×５．５mmまで小型化され、ｆ＝９００～１８００ＭＨｚ（基本波から２倍波の周波数帯域）において、整合回路、バイアス素子を含め、定在波の発生を妨げ、動作の安定した電力増幅モジュールを得ることができる。

【００９３】整合回路を構成するインピーダンス素子Ｚ１～Ｚ７（図２参照）をストリップラインで構成する場合、これらのストリップラインは、ドレインバイアス用インダクタンス素子Ｌ４、Ｌ５、Ｌ６を構成するストリップライン２０４、２０５、２０６と比べ、実効波長λｅが長くなるので、ストリップライン２０４、２０５、２０６にて考慮した条件は、整合回路を構成するインピーダンス素子Ｚ１～Ｚ７（図２参照）をストリップラインで構成した場合も適用できる。

【００９４】

【発明の効果】以上述べたように、本発明によれば、次のような効果を得ることができる。

（ａ）外形形状を、従来より著しく小型化した電力増幅モジュールを提供することができる。

（ｂ）伝送信号の波長によって定在波が発生することのない特性の安定した電力増幅モジュールを提供することができる。

【図面の簡単な説明】

【図１】本発明に係る電力増幅モジュールを用いた携帯電話におけるＲＦ出力部のブロック図である。

【図２】本発明の適用される電力増幅モジュールの具体的な回路図である。

【図３】半導体増幅素子を含む最終段の回路ブロックを抜き出して示す図である。

【図４】図２、図３に示した回路構成を有する本発明に係る電力増幅モジュールの平面図である。

【図５】図４に示した電力増幅モジュールの部分断面図である。

【図６】図４及び図５に示した電力増幅モジュールの第２層目を示す切断平面図である。

【図７】図４及び図５に示した電力増幅モジュールの第３層目を示す切断平面図である。

【図８】図４及び図５に示した電力増幅モジュールの第４層目を示す切断平面図である。

【図９】図４及び図５に示した電力増幅モジュールの第５層目を示す切断平面図である。

【図１０】誘電体基板の比誘電率と、ストリップラインのパターン長（λｅ／４）との関係を示す図である。

【図１１】ストリップラインのパターン長（λｅ／４）と位相回転角度との関係を示す図である。

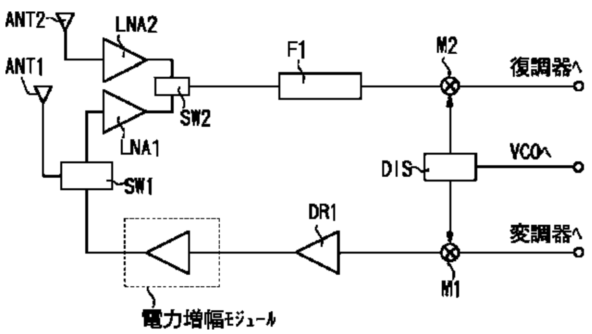
【図１２】誘電体基板の比誘電率と、ストリップラインのパターン長（λｅ／４）との関係を示す図で、比誘電率εｒの下限値決定について説明する図である。

【図１３】誘電体基板の比誘電率εｒと、ストリップラインのパターン長（λｅ／４）との関係を示す図で、比誘電率εｒの上限値決定について説明する図である。

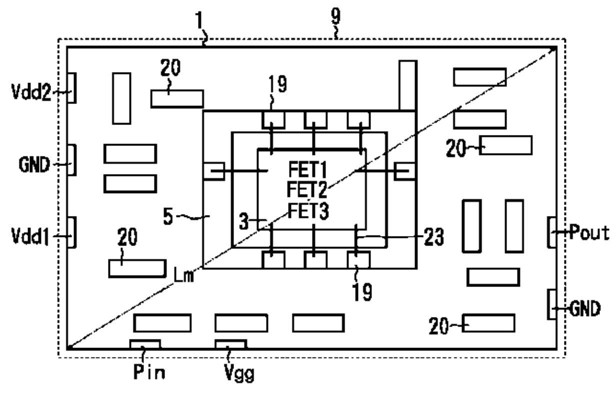
【符号の説明】

１	誘電体基板
Ｌ４、Ｌ５、Ｌ６	インダクタンス素子
Ｌｍ	最大差し渡し寸法

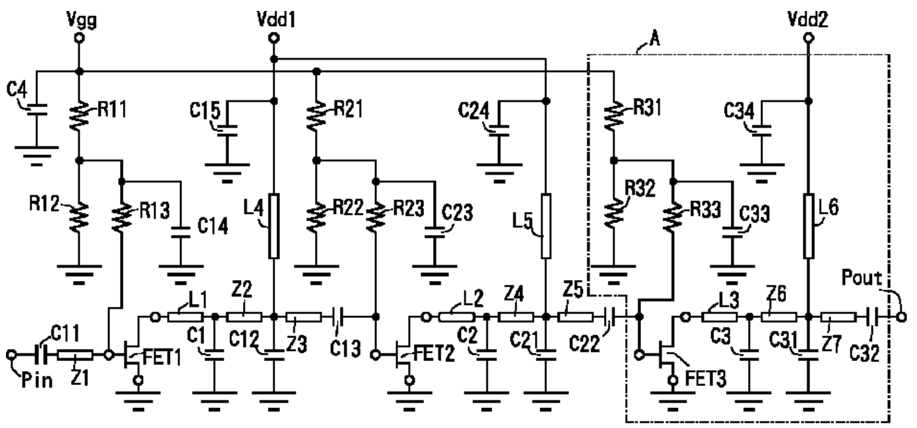
【図１】



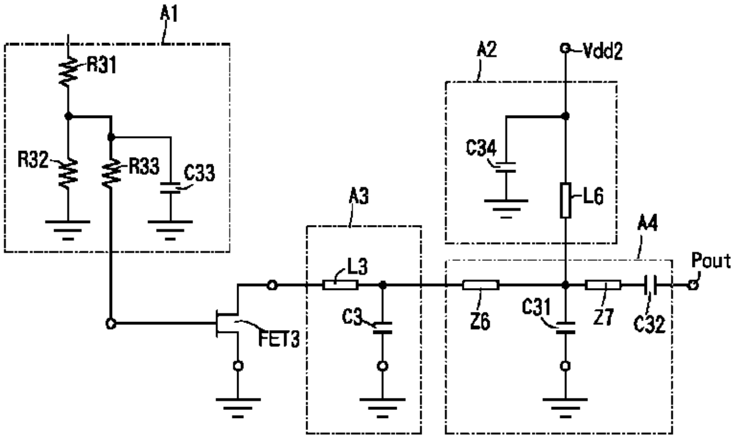
【図４】



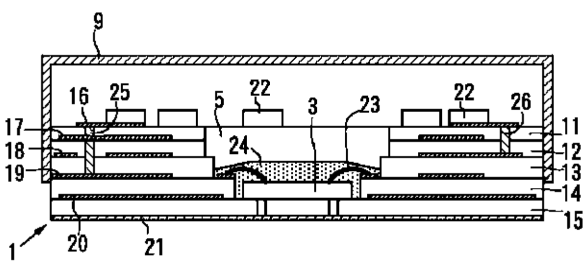
【図２】


Vgg
Vdd1
Vdd2
A
C4
R11
C15
R21
C24
R31
C34
R12
R13
C14
L4
R22
R23
C23
L5
R32
R33
C33
L6
Pout
L1
Z2
L2
Z4
Z5
L3
Z6
C11
C1
C12
Z3
C13
C2
C21
C22
C3
C31
Z7
C32
FET1
FET2
FET3
Pin
Z1

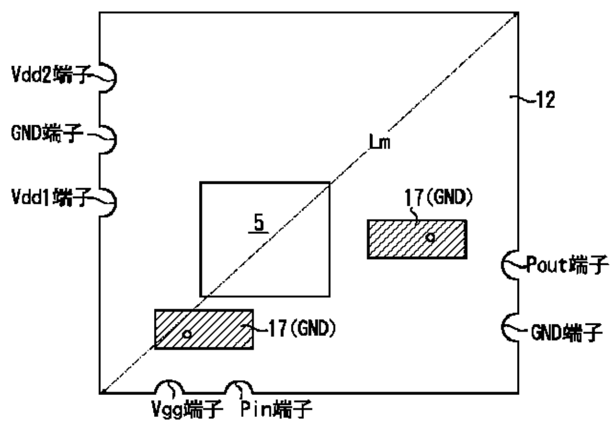
【図３】


A1
R31
R32
R33
C33
A2
Vdd2
C34
L6
A3
A4
L3
C3
Pout
Z6
C31
Z7
C32
FET3

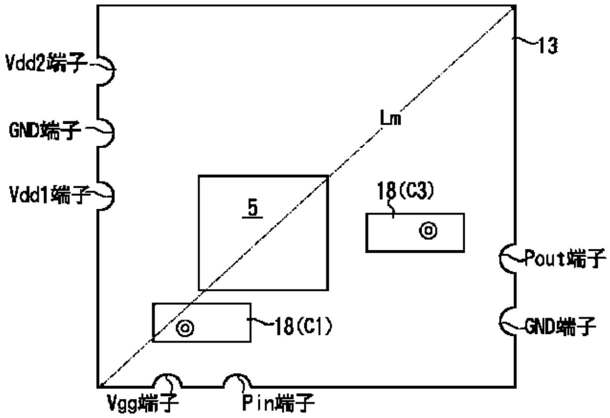
【図５】


9
16
25
5
22
3
23
22
26
17
18
19
24
11
12
13
14
15
1
20
21

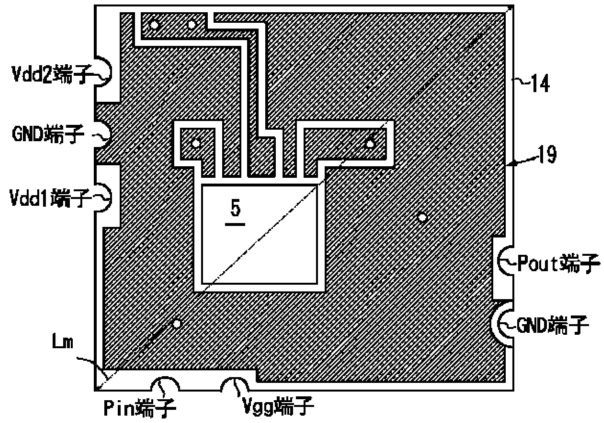
【図６】


Vdd2端子
GND端子
Vdd1端子
12
Lm
17(GND)
5
Pout端子
17(GND)
GND端子
Vgg端子
Pin端子

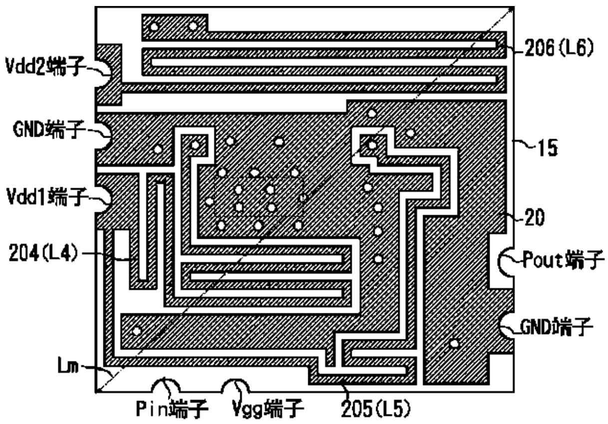
【図７】



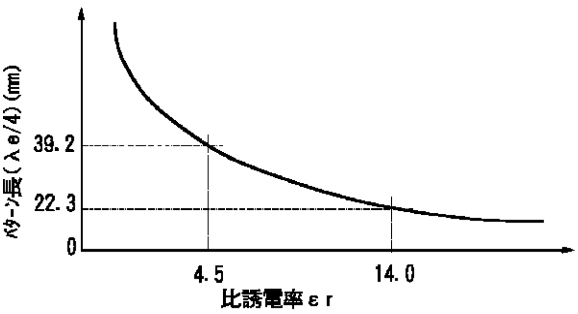
【図８】



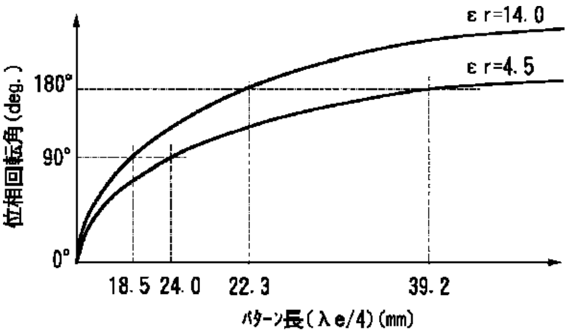
【図９】



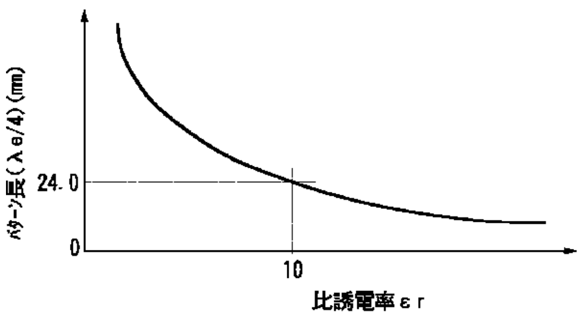
【図１０】



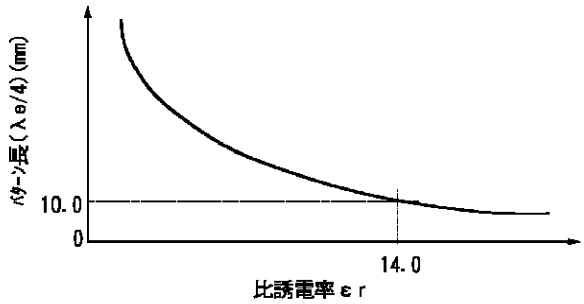
【図１１】



【図１２】



【図１３】



フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ	テーマコード(参考)
Ｈ０５Ｋ 3/46		Ｈ０５Ｋ 3/46	Ｑ
			Ｇ
		Ｈ０１Ｌ 23/14	Ｒ

Ｆターム(参考) 5E346 AA13 AA43 BB02 CC04 CC09
CC16 CC21 EE01 HH03
5J014 CA24 CA42 CA56
5J067 AA04 AA41 AA67 CA27 CA54
CA76 CA92 FA16 HA09 HA25
HA29 HA33 KA13 KA29 KA42
KA48 KA66 KS17 KS25 KS28
LS12 MA08 MA22 QA04 QA05
QA06 QS05 QS16 QS17 SA14
TA01 TA02
5J091 AA04 AA41 AA67 CA27 CA54
CA76 CA92 FA16 HA09 HA25
HA29 HA33 KA13 KA29 KA42
KA48 KA66 KA68 MA08 MA22
QA04 QA05 QA06 SA14 TA01
TA02 UW08