



CERTIFICATE OF TRANSLATION

Questel-Orbit, Incorporated
2331 Mill Road, Suite 600
Alexandria, VA 22314, U.S.A.
www.questel.com

Client Name: **Duane Morris LLP**
Source Language: **Japanese**
Target Language: **English**
Project Number: **DUANE2430014NY-L_Q**
Application: **N/A**

The document identified below was translated by Questel-Orbit, Incorporated, through its translation subsidiary MultiLing Corporation or Morningside Translations, LLC. On behalf of the translating entity, the undersign certifies the following:

- 1) it is a professional translation company of multiple languages, including the source and target languages noted above;
- 2) to the best of its knowledge, information, and belief, the translated document is accurate as a publication quality translation; and
- 3) the above statements were made with the knowledge that willful false statements are punishable by fine or imprisonment under Section 1001 of Title 18 of the United States Code.

Original Document Identifier: JP2009283991A.pdf;
Translated Document Identifier: JP2009283991A_Application_en-US.docx,
JP2009283991A_Drawings_en-US.docx

Signed this 11th day of October 2024.

Miriam Grover

Name: Miriam Grover
Title: Project Manager

(19) Japan Patent Office (JP) (12) Japanese Unexamined Patent Application Publication (A) (11) Patent Application Publication No. JP 2009-283991 A (P2009-283991A) (43) Publication Date: December 3, 2009 (2009.12.3)

(51) Int. Cl. F1 H03F 3/24 (2006.01). Theme code (reference) 5J500

Examination Request: Not Requested Number of Claims 2: OL (Total 10 pages)

(21) Application No.: JP 2008-130777 (P2008-130777)	(71) Applicant 000005049 Sharp Corporation 22-22 Nagaikecho, Osaka Abeno-ku, Osaka 100084146
(22) Filing Date: May 19, 2008 (2008.5.19)	(74) Agent 100084146 Patent Attorney Hiroshi Yamazaki
	(74) Agent 100081422 Patent Attorney Mitsuo Tanaka
	(72) Agent 100122286 Patent Attorney Yukinori Nakakura
	(72) Inventor Masanori Akagi 22-22 Nagaikecho, Osaka Abeno-ku, Osaka Sharp Corporation
	F Term (Reference) 5J500 AA01 AA41 AC37 AF10 AH02 AH25 AH29 AK29 AM21 AT06 WU08

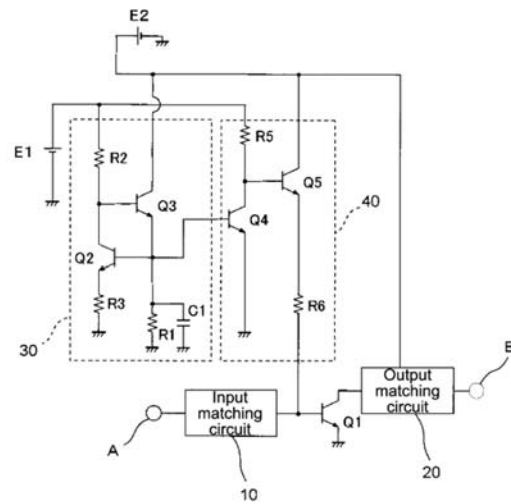
(54) [Title of the Invention] High-frequency power amplifier

(57) ABSTRACT

[Problem] To provide a high-frequency power amplifier capable of optimally correcting a power amplification factor after a voltage of a DC (direct-current) power source is turned on using a simple configuration to realize favorable communication while also allowing for a lower a voltage.

[Resolution Means] A reference voltage generating circuit 30 includes: a bipolar transistor Q2 grounded at the emitter, for which a DC voltage from a DC power source E1 is applied to the collector thereof via a resistor R2; and a bipolar transistor Q3 whose base is connected to the collector of the bipolar transistor Q2 is connected to the base and whose emitter is connected to the base of the bipolar transistor Q2, the emitter of the bipolar transistor Q3 is connected to the ground potential via a resistor R1, connects a capacitor C1 to the resistor R1 in parallel, and outputs a reference voltage from the emitter of the bipolar transistor Q3 to a bias current amplification unit 40. The above bias current amplification unit 40 increases the bias current as the reference voltage from the reference voltage generating circuit 30 becomes higher, and decreases the bias current as the reference voltage becomes lower.

[Selected Drawing] FIG. 1



HIGH-FREQUENCY POWER AMPLIFIER

DETAILED DESCRIPTION OF THE INVENTION

5 TECHNICAL FIELD

[0001] The present invention relates to a high-frequency power amplifier, and more particularly to a high-frequency power amplifier suitable for amplifying a transmission signal used in a high frequency band such as a third
10 generation cellular phone or a wireless LAN system.

CONVENTIONAL TECHNOLOGY

[0002] FIG. 4 illustrates a circuit diagram of a conventional high-frequency
15 power amplifier. In FIG. 4, 110 is an input matching circuit, 120 is an output matching circuit, and 130 is a bias circuit.

[0003] In the case of this high-frequency power amplifier, a matching circuit for converting the impedance corresponding to the operating frequency is required
20 in the input and output terminals; the input matching circuit 110 is provided on the base side of a bipolar transistor Q1 for power amplification, and the output matching circuit 120 is provided on the collector side. Furthermore, this high-frequency power amplifier is a linear amplifier, and thus the bias point of the bipolar transistor Q1 for power amplification is generally set to the operating
25 point of class A or class AB, and the DC voltage supplied by the DC power source E1 is inputted to the base of the power terminal of the bipolar transistor Q1 for power amplification via the bias circuit 130. Furthermore, a DC voltage from a DC power source E2 is supplied to the collector terminal of the bipolar transistor Q1 for power amplification via the output matching circuit 120.

30

[0004] In a communication device such as a wireless LAN, it is not such that an input signal is not always ON at the time of transmission in a system, but

such that a burst operation is performed wherein an ON state in which the input signal is input and an OFF state in which the input signal is not input are repeated. In an off state in which an input signal is not input, a usage method in which a high-frequency power amplifier is turned off by being synchronized to a burst operation is often used in order to suppress power consumption of a system. In the conventional high-frequency power amplifier in FIG. 4, the DC power source E1 is turned on and off by being synchronized to the burst operation, but the DC power source E2 is always on.

10 [0005] In the high-frequency power amplifier, the bipolar transistor Q1, due to the thermal response of itself, when the DC power source E1 is turned on by pulse operation, the power amplification factor changes immediately after the power source is on compared to after time elapses while the on-state is maintained; the power amplification factor increases after a fixed time has elapsed than immediately after the power source is turned on, and falls into a fixed value (for example, see non-patent document 1).

[0006] In a wireless LAN system or the like, there is a monitoring region other than the transmission data for monitoring power immediately after the DC power source E1 is turned on. Using the power value of the monitoring region, on the receiving side, the amplitude data or phase data of the digitally modulated signal after a lapse of a fixed time is analyzed to perform the demodulation of the signal. For example, the time response of the output signal and the power monitoring timing of the demodulated signal when the resistor R1 and the capacitor C1 are not present from the high-frequency power amplifier are illustrated in FIG. 5A. As illustrated in FIG. 5A, when the power amplification factor of the actual data region is larger than that during power monitoring immediately after the DC power source E1 is turned on, the deviation from the reference monitor value becomes large, and many errors will be generated in the signal demodulated on the receiving side, and thus performing an inaccurate signal demodulation becomes impossible.

[0007] Thus, in the conventional high-frequency power amplifier, as illustrated in FIG. 4, a method wherein a circuit in which the resistor R1 and the capacitor C1 as an example of a capacitance element are connected in parallel is inserted in series between the DC power source E1 and the bias circuit 130 is generally used. In this case, immediately after the DC power source E1 is turned on, an instantaneous current flows into the bias circuit 130 via the capacitance 1, and the same voltage as the DC voltage of the DC power source E1 is applied to the bias circuit 130. The voltage value applied to the bias circuit 130 gradually decreases according to a time constant determined by the resistor R1 and the capacitor C1, and finally reaches a value corresponding to a voltage drop caused by the current flowing through the resistor R1. Thus, for the amplifier, the DC voltage of the DC power source E1 is applied immediately after the power source is turned on, the bias point is set to be high, and the power amplification factor becomes high, but, as time advances, current flows through the resistor R1, causing a voltage drop, and the amplifier operates at a low bias point and the power amplification factor becomes small by the amount of voltage drop. Thus, the power amplification factor correction is performed based on the thermal response.

[0008] The final voltage value supplied to the bias circuit 130 becomes smaller than the voltage value of the DC power source E1 by the amount of the voltage drop caused by the current flowing through the resistor R1. When the voltage value supplied to the bias circuit 130 is small, the necessity for the resistance value of the resistor R1 to be made as small as possible arises in order to ensure a value sufficient to operate the high-frequency power amplifier. Incidentally, if the resistance value of the resistor R1 is made as small as possible, the capacitance value of the capacitor C1 is also made small, and the time constant is made too small, a power amplification factor necessary for correction cannot be obtained during power monitoring, as illustrated in FIG. 5B.

30

[0009] Thus, the necessity to make the capacitance value of the capacitor C1 large arises, but if the capacitance value of the capacitor C1 is made to be

large, as illustrated in FIG. 5C, the overshoot of the output signal before power monitoring becomes too large.

[0010] In this manner, the capacitance value of the capacitor C1 cannot be
5 increased and even the resistance value of the resistor R1 cannot be made
very small, and thus, when the voltage of the DC power source E1 is lowered,
the voltage drop due to the resistor R1 cannot be neglected, and a bias
voltage sufficient to operate the amplifier itself cannot be obtained. That is,
the high-frequency power amplifier described above has a problem that it is
10 not easy to handle a low-voltage operation.

[Non-Patent Document 1] Sang-Woong Yoon, "Static and Dynamic Error
Vector Magnitude Behavior of 2.4 -GHz - Power Amplifier", IEEE
TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES), US,
IEEE, April 2007, Vol. 55, NO. 4, p. 643-647

15

DISCLOSURE OF THE INVENTION

PROBLEM TO BE SOLVED BY THE INVENTION

20 [0011] Thus, the problem of the present invention is to provide a high-
frequency power amplifier, for high-frequency power amplifiers to which a DC
voltage is supplied from a DC voltage source whose output is turned on and
off by being synchronized to a burst operation, that realizes favorable
communication by optimally correcting the power amplification factor after the
25 DC voltage is turned on and allowing for a lower voltage.

MEANS FOR SOLVING THE PROBLEM

[0012] In order to solve the problem described above, the high-frequency
30 power amplifier of the present invention is a high-frequency power amplifier,
wherein an external DC voltage source is turned on and off in response to a

burst operation in which a state wherein an input signal is inputted and a state wherein the input signal is not inputted are repeated,
and a DC voltage is supplied from the external DC voltage source to the high-frequency power amplifier,
5 the high-frequency power amplifier being formed by at least one or more bipolar transistors for power amplification,
including: a power amplification unit for amplifying an input signal; a reference voltage generating circuit for generating a reference voltage from a DC voltage supplied from the external DC voltage source; and
10 a bias current amplification unit for supplying a bias current to the base of the bipolar transistor for power amplification based on the reference voltage from the reference voltage generating circuit, and being characterized in that: current amplification unit increases the bias current as the reference voltage from the reference voltage generating circuit becomes higher and decreases
15 the bias current as the reference voltage from the reference voltage generating circuit becomes lower;
the reference voltage generating circuit includes a first bipolar transistor grounded at the emitter, for which a DC voltage from the external current voltage source is applied to the emitter via a first resistor, and a second bipolar
20 transistor whose base is connected to the collector of the first bipolar transistor, whose emitter is connected to the base of the first bipolar transistor, and for which a DC voltage is applied to the collector thereof; and the emitter of the second bipolar transistor is connected to the ground voltage via a second resistor, connects a capacitor to the second resistor in parallel, and
25 outputs the reference voltage from the emitter of the second bipolar transistor to the bias current amplification unit.

[0013] According to the high-frequency power amplifier of the configuration described above, an instantaneous current flows through the capacitor
30 connected in parallel to the second resistor immediately after the external DC voltage source is turned on, and thus the resistance value between the emitter of the second bipolar transistor of the reference voltage generating

circuit and the ground becomes 0 Ω . At this time, for the bias current amplification unit, the reference voltage from the reference voltage generating circuit becomes low, and thus the bias current inputted to the base of the bipolar transistor for power amplification of the power amplification unit increases. Thus, the bias point of the bipolar transistor for power amplification of the power amplification unit rises, and the power amplification factor increases. The current flowing through the capacitor decreases as time advances and becomes only the current flowing through the second resistor. Thus, the resistance value between the emitter of the second bipolar transistor of the reference voltage generating circuit and the ground becomes the resistance value of only the second resistor. In this case, for the bias current amplification unit, the reference voltage from the reference voltage generating circuit becomes high, and thus the bias current inputted to the base of the bipolar transistor for power amplification decreases, and the bias point of the bipolar transistor for power amplification of the power amplification unit decreases, lowering the power amplification factor.

[0014] In this manner, when time elapses from when the external DC voltage source is turned on, the power amplification factor becomes smaller compared to that immediately after the external DC voltage source is turned on, but the power amplification factor becomes closer to that of the subsequent data region, thereby enabling demodulation with small errors on the reception side. Thus, a high-frequency power amplifier, for high-frequency power amplifiers to which a DC voltage is supplied from a DC power source whose output is turned on and off by being synchronized to a burst operation, that realizes favorable communication by optimally correcting the power amplification factor after the DC voltage source is turned on and allowing for a lower voltage can be realized.

[0015] Furthermore, in a high-frequency power amplifier of one embodiment, a third resistor is connected between the emitter of the second bipolar transistor of the reference voltage generating circuit and the second resistor.

[0016] According to the embodiment, by connecting the third resistor between the emitter of the second bipolar transistor of the reference voltage generating circuit and the second resistor, an instantaneous current flowing through the capacitor is suppressed by the third resistor immediately after the external DC voltage source is turned on, and thus the resistance value between the emitter of the second bipolar transistor of the reference voltage generating circuit and the ground becomes the resistance value or more of the third resistor, and the power amplification factor does not become too large, and the overshoot of the output signal can be suppressed.

10

EFFECT OF THE INVENTION

[0017] As is apparent from the description above, according to a high-frequency power amplifier of the present invention, for high-frequency power amplifiers to which a DC voltage is supplied from a DC voltage source from the DC power source whose output is turned on and off by being synchronized to a burst operation, a high-frequency power amplifier that realizes favorable communication by optimally correcting the power amplification factor after the DC voltage of the DC power source is turned on allowing for a lower voltage can be realized.

20

PREFERRED EMBODIMENT OF THE INVENTION

[0018] Hereinafter, a high-frequency power amplifier according to the present invention will be described in detail with reference to an embodiment shown in the drawings.

25

[0019] [First embodiment]

FIG. 1 illustrates a circuit diagram of a high-frequency power amplifier according to a first embodiment of the present invention. As illustrated in FIG. 1, the high-frequency power amplifier of this first embodiment is provided with the input

30

matching circuit 10 having the input terminal A connected to an input side thereof, the bipolar transistor Q1 for power amplification as an example of a power amplification unit wherein the base is connected to an output side of the input matching circuit 10 and the emitter is connected to the ground voltage, and
5 an output matching circuit 20 wherein the collector of the bipolar transistor Q1 for power amplification and the input is connected and the output side is connected to the output terminal B. Furthermore, the high-frequency power amplifier is also provided with a reference voltage generating circuit 30 for generating a reference voltage from a DC voltage supplied from a DC power
10 source E1 as an example of an external DC voltage source, and the bias current amplification unit 40 for supplying a bias current to the base terminal of the bipolar transistor Q1 based on the reference voltage from the reference voltage generating circuit 30. The output of the DC power source E1 is turned on and off in response to a burst operation in which a state wherein an input signal is
15 input and a state wherein an input signal is not input are repeated.

[0020] The reference voltage generating circuit 30 comprises: the resistor R2 (first resistor), wherein one end is connected to the positive electrode side of the DC power source E1; the bipolar transistor Q2 (first bipolar transistor), wherein
20 the collector is connected to the other side of the resistor R2; a resistor R3 connected between the emitter of the bipolar transistor Q2 and the ground; the bipolar transistor Q3 (second bipolar transistor), wherein the base is connected to the collector of the bipolar transistor Q2 and the emitter is connected to the base of the bipolar transistor Q2; a resistor R1 (second resistor) connected
25 between the emitter of the bipolar transistor Q3 and the ground; and a capacitor C1 connected to the resistor R1 in parallel. The positive electrode side of the DC power source E2 is connected to the collector of the bipolar transistor Q3.

[0021] Furthermore, the bias current amplification unit 40 includes: a resistor
30 R5, wherein one end is connected to the positive electrode side of the DC power source E1; a bipolar transistor Q4 grounded at the emitter, wherein the collector is connected to the other end of the resistor R5 and the base is

connected to the emitter of the bipolar transistor Q3; a bipolar transistor Q5, wherein the base is connected to the collector of the bipolar transistor Q3 and the collector is connected to the positive electrode side of the DC power source E2; and a resistor R6, wherein one end is connected to the emitter of the bipolar transistor Q5. The other end of the resistor R6 is connected to the base of a bipolar transistor Q1 for power amplification.

[0022] The bipolar transistors Q1 to Q5 are NPN transistors.

[0023] As illustrated in FIG. 1, by inserting a parallel circuit composed of resistor R1 and capacitor C1 into the emitter side of the bipolar transistor Q3, an instantaneous current flows through the capacitor C1 immediately after the DC power source E1 is turned on, and thus the resistance value between the emitter of the bipolar transistor Q3 and the ground appears to be $0\ \Omega$. At this time, the reference voltage outputted from the reference voltage generating circuit 30 becomes 0 V, and in the bias current amplification unit 40, the current flowing through the resistor R5 increases, and the base current of the bipolar transistor Q5 for DC amplification increases. Thus, the bias point of the bipolar transistor Q1 for power amplification rises, and the power amplification factor increases. The current flowing through the capacitor C1 decreases as time advances and becomes only the current flowing through the resistor R1. Thus, the resistance value between the emitter of the bipolar transistor Q3 and the ground becomes the resistance value of only the resistor R1, and in this case, the bias point of the bipolar transistor Q1 for power amplification is lowered.

[0024] Thus, the power amplification factor of the high-frequency power amplifier becomes smaller compared to that immediately after the DC power source E1 is turned on, but, for the time response of the output signal and the timing of signal monitoring at this time, as illustrated in FIG. 2A, the power amplification factor becomes closer to that of the subsequent data region, thereby enabling demodulation with small errors. Furthermore, a voltage drop

does not occur in the DC voltage of the DC power source E1, and thus it is possible to handle a reduction in voltage.

[0025] [Second embodiment]

5

FIG. 3 illustrates a circuit diagram of a high-frequency power amplifier according to a second embodiment of the present invention. The high-frequency power amplifier according to this second embodiment has the same configuration as that of the high-frequency power amplifier according to the first embodiment except for the reference voltage generating circuit, and the same components are denoted by the same reference numerals, and the description thereof will be omitted.

[0026] The reference voltage generating circuit 50 of the high-frequency power amplifier of the second embodiment includes: the resistor R2 (first resistor), wherein one end is connected to the positive electrode side of the DC power source E1; the bipolar transistor Q2 (first bipolar transistor), wherein the collector is connected to the other side of the resistor R2; the resistor R3 connected between the emitter of the bipolar transistor Q2 and the ground; the bipolar transistor Q3 (second bipolar transistor), wherein the base is connected to the collector of the bipolar transistor Q2 and the emitter is connected to the base of the bipolar transistor Q2; a resistor R4 (third resistor), wherein one end is connected to the emitter of the bipolar transistor Q3; the resistor R1 (second resistor) connected between the other end of the resistor R4 and the ground; and the capacitor C1 connected to the resistor R1 in parallel. The positive electrode side of the DC power source E2 is connected to the collector of the bipolar transistor Q3.

[0027] By inserting a parallel circuit composed of the resistor R1 and capacitor C1 into the portion that is grounded via the resistor R4 from the emitter side of the bipolar transistor Q3, an instantaneous current flows through the capacitor C1 immediately after the DC power source E1 is turned on, and thus the

resistance value between the emitter of the bipolar transistor Q3 and the ground appears to be the resistance value R4 only. At this time, the reference voltage outputted from the reference voltage generating circuit 30 corresponds to a voltage drop of the resistance value of the resistor R4, and in the bias current
5 amplification unit 40, the current flowing through the resistor R5 increases, and the base current of the bipolar transistor Q5 for DC amplification increases. Thus, the bias point of the bipolar transistor Q1 for power amplification rises, and the power amplification factor increases. The current flowing through the capacitor C1 decreases as time advances and becomes only the current flowing
10 through the resistor R1. Thus, the resistance value between the emitter of the bipolar transistor Q3 and the ground becomes [the resistance value of the resistor R1+ the value of the resistor R4], and in this case, the bias point of the bipolar transistor Q1 for power amplification is lowered.

15 [0028] Thus, the power amplification factor of the high-frequency power amplifier becomes smaller compared to that immediately after the DC power source E1 is turned on, but, for the time response of the output signal and the timing of signal monitoring at this time, as illustrated in FIG. 2B, the power amplification factor becomes closer to that of the subsequent data region,
20 thereby enabling demodulation with small errors. Furthermore, a voltage drop does not occur in the DC voltage of the DC power source E1, and thus it is possible to handle a reduction in voltage.

[0029] Furthermore, in the high-frequency power amplifier, by connecting the
25 resistor R4 (third resistor) between the emitter of the second bipolar transistor Q3 of the reference voltage generating circuit 50 and the resistor R1 (second resistor), an instantaneous current flowing through the capacitor C1 is suppressed by the resistor R4 immediately after the DC power source is turned on, and thus the resistance value between the emitter of the second
30 bipolar transistor of the reference voltage generating circuit 50 and the ground becomes the resistance value of the resistor R4, and the power

amplification factor does not become too large, and the overshoot of the output signal can be suppressed as illustrated in FIG. 2B.

5 [0030] An NPN transistor is used in the first and second embodiments, but a PNP transistor may be used to form the circuit, and in this case, the power source side and the ground potential have opposite polarities.

10 [0031] Furthermore, not limited to the circuit configuration of the bias current amplification unit 40 of the first and second embodiments, any bias current amplification unit is good as long as the circuit configuration is such that, as the reference voltage from the reference voltage generating circuit becomes higher, the bias current is increased, and as the reference voltage becomes lower, the bias current is reduced.

15 [0032] The specific embodiments of the present invention have been described, but the present invention is not limited to the first and second embodiments described above, and various modifications can be made within the scope of the present invention.

20 [0033] That is, any high-frequency power amplifier is good as long as the high-frequency power amplifier is a high-frequency power amplifier, wherein an external DC voltage source is turned on and off in response to a burst operation in which a state wherein an input signal is inputted and a state wherein the input signal is not inputted are repeated, and a DC voltage is supplied from the
25 external DC voltage source to the high-frequency power amplifier, and the high-frequency power amplifier is formed by at least one or more bipolar transistors for power amplification, including: a power amplification unit for amplifying an input signal; a reference voltage generating circuit for generating a reference
30 voltage from a DC voltage supplied from the external DC voltage source; and a bias current amplification unit for supplying a bias current to the base of the

bipolar transistor for power amplification based on the reference voltage from the reference voltage generating circuit, and being characterized in that: the current amplification unit increases the bias current as the reference voltage from the reference voltage generating circuit becomes higher and decreases the bias current as the reference voltage from the reference voltage generating circuit becomes lower;

5 the bias current as the reference voltage from the reference voltage generating circuit becomes lower;

the reference voltage generating circuit includes a first bipolar transistor grounded at the emitter, for which a DC voltage from the external current voltage source is applied to the emitter via a first resistor, and a second bipolar

10 transistor whose base is connected to the collector of the first bipolar transistor, whose emitter is connected to the base of the first bipolar transistor, and for which a DC voltage is applied to the collector thereof; and the emitter of the second bipolar transistor is connected to the ground voltage via a second resistor, connects a capacitor to the second resistor in parallel, and

15 outputs the reference voltage from the emitter of the second bipolar transistor to the bias current amplification unit.

[0034] In the first and second embodiments, the high-frequency power amplifier provided with the power amplifier composed of one bipolar transistor

20 for power amplification is described, but a plurality of bipolar transistors connected in parallel may be used in the power amplification unit in order to amplify larger power. Additionally, in order to increase the amplification factor, the configuration may be such that a plurality of high-frequency power amplifiers are connected in series or that a plurality of bipolar transistors for

25 power amplification are connected in series.

BRIEF DESCRIPTION OF THE DRAWINGS

[0035] [FIG. 1] FIG. 1 is a circuit diagram of a high-frequency power amplifier

30 according to a first embodiment of the present invention.

[FIG. 2A] FIG. 2A is a diagram illustrating a time response by the high-frequency power amplifier of the first embodiment and a monitoring timing of a modulated signal.

5 [FIG. 2B] FIG. 2B is a diagram illustrating a time response by the high-frequency power amplifier of a second embodiment of the present invention and a monitoring timing of a modulated signal.

[FIG. 3] FIG. 3 is a circuit diagram of a high-frequency power amplifier according to a second embodiment of the present invention.

10 [FIG. 4] FIG. 4 is a circuit diagram illustrating a conventional first high-frequency power amplifier.

[FIG. 5A] FIG. 5A is a diagram illustrating a time response of an output signal and monitoring timing of a modulated signal when there is no resistor or capacitor.

[FIG. 5B] FIG. 5B is a diagram illustrating a time response of an output signal and monitoring timing of a modulated signal.

15 [FIG. 5C] FIG. 5C is a diagram illustrating a time response of an output signal and monitoring timing of a modulated signal when the capacitance value of the capacitor is made large.

DESCRIPTION OF SYMBOLS

20

[0036] Q1 to Q5 ... Bipolar transistor

R1 to R6 ... Resistor

C1 ... Capacitor

1E, E2 ... DC power source

25 A ... Input terminal

B ... Output terminal

Claims

1. A high-frequency power amplifier, wherein an external DC voltage source is turned on and off in response to a burst operation in which a state wherein an input signal is inputted and a state wherein the input signal is not inputted are repeated, and a DC voltage is supplied from the external DC voltage source to the high-frequency power amplifier,
- 5 the high-frequency power amplifier formed by at least one or more bipolar transistors for power amplification,
- 10 comprising: a power amplification unit for amplifying an input signal; a reference voltage generating circuit for generating a reference voltage from a DC voltage supplied from the external DC voltage source; and a bias current amplification unit for supplying a bias current to the base of the
- 15 bipolar transistor for power amplification based on the reference voltage from the reference voltage generating circuit, wherein: the bias current amplification unit increases the bias current as the reference voltage from the reference voltage generating circuit becomes higher and decreases the bias current as the reference voltage from the reference voltage
- 20 generating circuit becomes lower;
- the reference voltage generating circuit includes a first bipolar transistor grounded at the emitter, for which a DC voltage from the external current voltage source is applied to the emitter via a first resistor, and a second bipolar transistor whose base is connected to the collector of the first bipolar transistor,
- 25 whose emitter is connected to the base of the first bipolar transistor,
- and for which a DC voltage is applied to the collector thereof; and the emitter of the second bipolar transistor is connected to the ground voltage via a second resistor, connects a capacitor to the second resistor in parallel, and outputs the reference voltage from the emitter of the second bipolar transistor
- 30 to the bias current amplification unit.
2. The high-frequency power amplifier according to claim 1,

wherein a third resistor is connected between the emitter of the second bipolar transistor of the reference voltage generating circuit and the second resistor.

(57) Abstract

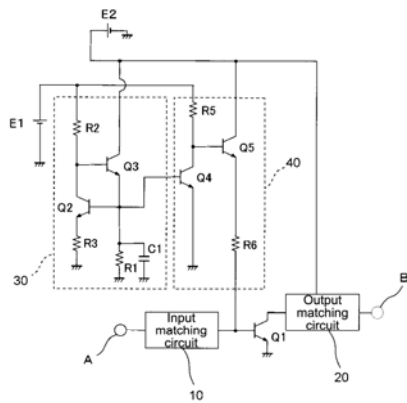
[Problem] To provide a high-frequency power amplifier capable of optimally
correcting a power amplification factor after a voltage of a DC (direct-current)
5 power source is turned on using a simple configuration to realize favorable
communication while also allowing for a lower a voltage.

[Resolution Means] A reference voltage generating circuit 30 includes: a
bipolar transistor Q2 grounded at the emitter, for which a DC voltage from a
10 DC power source E1 is applied to the collector thereof via a resistor R2; and a
bipolar transistor Q3 whose base is connected to the collector of the bipolar
transistor Q2 is connected to the base and whose emitter is connected to the
base of the bipolar transistor Q2, the emitter of the bipolar transistor Q3 is
connected to the ground potential via a resistor R1, connects a capacitor C1
15 to the resistor R1 in parallel, and outputs a reference voltage from the emitter
of the bipolar transistor Q3 to a bias current amplification unit 40 The above
bias current amplification unit 40 increases the bias current as the reference
voltage from the reference voltage generating circuit 30 becomes higher, and
decreases the bias current as the reference voltage becomes lower.

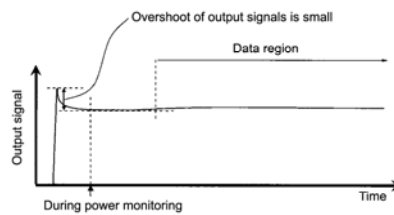
20

[Selected Drawing] FIG. 1

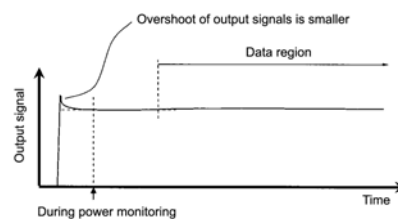
[FIG. 1]



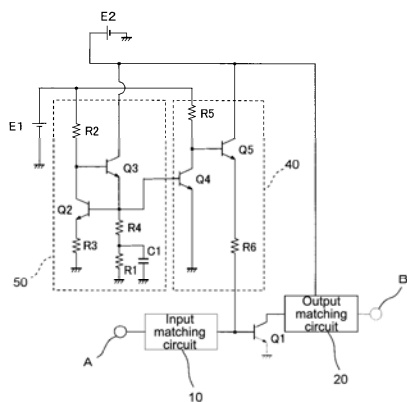
[FIG. 2A]



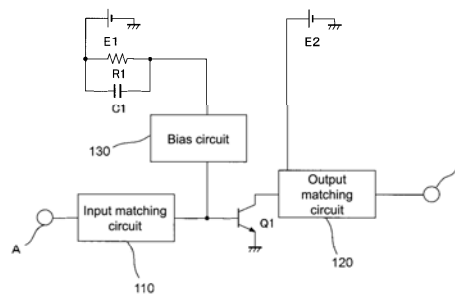
[FIG. 2B]



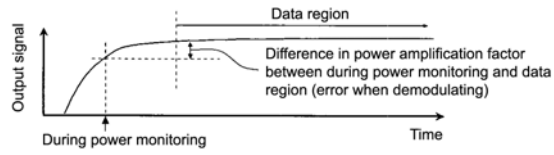
[FIG. 3]



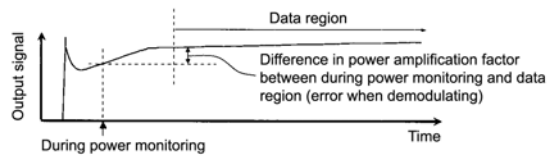
[FIG. 4]



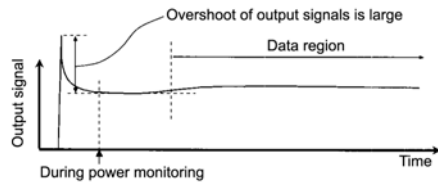
[FIG. 5A]



[FIG. 5B]



[FIG. 5C]



【特許請求の範囲】

【請求項 1】

入力信号が入力される状態と上記入力信号が入力されない状態とを繰り返すバースト動作に応じて外部直流電圧源がオンオフされ、上記外部直流電圧源から直流電圧が供給される高周波電力増幅器であって、

少なくとも1つ以上の電力増幅用バイポーラトランジスタから形成され、上記入力信号を増幅する電力増幅部と、

上記外部直流電圧源から供給される直流電圧から基準電圧を生成する基準電圧生成回路と、

少なくとも1つ以上のバイポーラトランジスタで形成され、上記基準電圧生成回路からの上記基準電圧に基づいて、上記電力増幅部の上記電力増幅用バイポーラトランジスタのベースにバイアス電流を供給するバイアス電流増幅部とを備え、

上記バイアス電流増幅部は、上記基準電圧生成回路からの上記基準電圧が高くなるほど上記バイアス電流を大きくする一方、上記基準電圧が低くなるほど上記バイアス電流を小さくすると共に、

上記基準電圧生成回路は、上記外部直流電圧源からの直流電圧が第1抵抗を介してコレクタに印加されるエミッタ接地の第1のバイポーラトランジスタと、上記第1のバイポーラトランジスタのコレクタとベースが接続され、上記第1のバイポーラトランジスタのベースとエミッタが接続され、コレクタに直流電圧が印加された第2のバイポーラトランジスタとを有し、上記第2のバイポーラトランジスタのエミッタは、第2抵抗を介して接地電位に接続され、上記第2抵抗にコンデンサを並列に接続し、上記第2のバイポーラトランジスタのエミッタから上記基準電圧を上記バイアス電流増幅部に出力することを特徴とする高周波電力増幅器。

【請求項 2】

請求項 1 に記載の高周波電力増幅器において、

上記基準電圧生成回路の上記第2のバイポーラトランジスタのエミッタと上記第2抵抗との間に第3抵抗を接続したことを特徴とする高周波電力増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、高周波電力増幅器に関し、特に第3世代携帯電話や無線LANシステムなど高周波帯で使用される送信信号を増幅するのに好適な高周波電力増幅器に関するものである。

【背景技術】

【0002】

従来の高周波電力増幅器の回路図を図4に示している。図4において、110は入力整合回路、120は出力整合回路、130はバイアス回路である。

【0003】

この高周波電力増幅器の場合、動作する周波数に応じたインピーダンス変換用の整合回路が入出力端子に必要であり、電力増幅用バイポーラトランジスタQ1のベース側に入力整合回路110が設けられ、コレクタ側に出力整合回路120が設けられている。また、この高周波電力増幅器は線形増幅器であるので、電力増幅用バイポーラトランジスタQ1のバイアス点は、A級ないしAB級の動作点に一般的には設定され、直流電源E1により供給される直流電圧がバイアス回路130を介して電力増幅用バイポーラトランジスタQ1のベース端子に入力される。また、直流電源E2からの直流電圧は、出力整合回路120を介して電力増幅用バイポーラトランジスタQ1のコレクタ端子に供給される。

【0004】

無線LANなどの通信機器では、システムの送信時において、入力信号は常にオンしている訳ではなく、入力信号が入力されるオン状態と入力信号が入力されないオフ状態を繰

り返すバースト動作をしている。入力信号が入力されないオフ状態では、システムの消費電力を抑制するために、高周波電力増幅器をバースト動作に同期させてオフする使用方法が多く使われている。図4の従来の高周波電力増幅器では、直流電源E1をバースト動作に同期させてオンオフさせるが、直流電源E2は常時オンとなる。

【0005】

上記高周波電力増幅器において、バイポーラトランジスタQ1は、それ自身が有する熱応答により、直流電源E1がパルス動作でオンした場合、オン直後と暫くオン状態のまま時間が経過した後では、電力増幅率が変化し、オン直後よりも一定時間経過後の方が電力増幅率は大きくなり、一定の値に収まっていく(例えば、非特許文献1参照)。

【0006】

無線LANシステムなどでは、直流電源E1のオン直後に電力をモニターする送信データ以外のモニター領域が存在する。そのモニター領域の電力値を使用して、受信側では、一定時間経過後のデジタル変調された信号の振幅データないし位相データなどを解析して信号の復調を行う。例えば、上記高周波電力増幅器から抵抗R1とコンデンサC1がない場合の出力信号の時間応答と復調信号の電力モニタータイミングを図5Aに示している。図5Aに示すように、直流電源E1のオン直後の電力モニター時よりも、実際のデータ領域の電力増幅率が大きくなっていると、基準となるモニター値とのズレが大きくなり、受信側で復調される信号に誤差が多く含まれて、正確な信号の復調が行われなくなる。

【0007】

そのため、上記従来の高周波電力増幅器では、図4に示すように、抵抗R1とキャパシタンス素子の一例としてのコンデンサC1とを並列に接続した回路を、直流電源E1とバイアス回路130との間に直列に挿入する方式が一般に用いられている。この場合、直流電源E1のオン直後には容量1を介してバイアス回路130に瞬時電流が流れ込み、直流電源E1の直流電圧と同じ電圧がバイアス回路130に加えられる。バイアス回路130に加えられる電圧値は、抵抗R1とコンデンサC1で決まる時定数により、徐々に下がっていき、最終的には抵抗R1を流れる電流により電圧降下する分の値となる。そのため、増幅器は、電源オン直後は直流電源E1の直流電圧が印加され、バイアス点が高く設定され、電力増幅率が高くなるが、時間経過と共に抵抗R1に電流が流れて電圧降下する分、低いバイアス点で動作し、電力増幅率が小さくなる。これにより、熱応答による電力増幅率の補正を行っている。

【0008】

上記バイアス回路130に供給される最終的な電圧値は、直流電源E1の電圧値よりも、抵抗R1を流れる電流により電圧降下する分だけ、小さい値になってしまう。バイアス回路130に供給する電圧値が小さい場合、この高周波電力増幅器が充分動作できるだけの値を確保するために、抵抗R1の抵抗値は極力小さくする必要が生じる。ところが、抵抗R1の抵抗値を極力小さくして、コンデンサC1の容量値も小さくし、時定数が小さくし過ぎると、図5Bに示すように、電力モニター時に補正に必要なだけの電力増幅率が得られなくなる。

【0009】

そのため、コンデンサC1の容量値を大きくする必要が生じるが、コンデンサC1の容量値を大きくすると、図5Cに示すように電力モニター以前の出力信号のオーバーシュートが大きくなりすぎてしまう。

【0010】

このように、コンデンサC1の容量値を大きくできず、しかも抵抗R1の抵抗値をあまり小さくできないため、直流電源E1の低電圧化に際し、抵抗R1による電圧降下を無視できなくなり、増幅器自身が動作するのに十分なバイアス電圧を得られなくなる。すなわち、上記の高周波電力増幅器では、低電圧動作への対応が容易でないという問題がある。

【非特許文献1】サン・ウォン・ヨン(Sang-Woong Yoon)著, 「スタティック・アンド・ダイナミック・エラー・ベクター・マグニチュード・ビヘイビア・オブ・2.4GHz - パワー・アンプリファイア(Static and Dynamic Error Vector Magnitude Behavior of

10

20

30

40

50

2.4 - GHz Power Amplifier)」、アイトリプルイー・トランザクションズ・オン・マイクロウェーブ・セオリー・アンド・テクニクス(IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES)、米国、アイトリプルイー(I E E E)、2007年4月(APRIL 2007)、第55巻(VOL. 55)、第4号(NO. 4)、p. 643 - 647

【発明の開示】

【発明が解決しようとする課題】

【0011】

そこで、この発明の課題は、バースト動作に同期させて出力がオンオフされる直流電圧源からの直流電圧が供給される高周波電力増幅器において、簡単な構成で直流電圧源のオン後の電力増幅率を最適に補正して良好な通信を実現しつつ低電圧化も可能な高周波電力増幅器を提供することにある。

10

【課題を解決するための手段】

【0012】

上記課題を解決するため、この発明の高周波電力増幅器は、

入力信号が入力される状態と上記入力信号が入力されない状態とを繰り返すバースト動作に応じて外部直流電圧源がオンオフされ、上記外部直流電圧源から直流電圧が供給される高周波電力増幅器であって、

少なくとも1つ以上の電力増幅用バイポーラトランジスタから形成され、上記入力信号を増幅する電力増幅部と、

上記外部直流電圧源から供給される直流電圧から基準電圧を生成する基準電圧生成回路と、

20

少なくとも1つ以上のバイポーラトランジスタで形成され、上記基準電圧生成回路からの上記基準電圧に基づいて、上記電力増幅部の上記電力増幅用バイポーラトランジスタのベースにバイアス電流を供給するバイアス電流増幅部と

を備え、

上記バイアス電流増幅部は、上記基準電圧生成回路からの上記基準電圧が高くなるほど上記バイアス電流を大きくする一方、上記基準電圧が低くなるほど上記バイアス電流を小さくすると共に、

上記基準電圧生成回路は、上記外部直流電圧源からの直流電圧が第1抵抗を介してコレクタに印加されるエミッタ接地の第1のバイポーラトランジスタと、上記第1のバイポーラトランジスタのコレクタとベースが接続され、上記第1のバイポーラトランジスタのベースとエミッタが接続され、コレクタに直流電圧が印加された第2のバイポーラトランジスタとを有し、上記第2のバイポーラトランジスタのエミッタは、第2抵抗を介して接地電位に接続され、上記第2抵抗にコンデンサを並列に接続し、上記第2のバイポーラトランジスタのエミッタから上記基準電圧を上記バイアス電流増幅部に出力することを特徴とする。

30

【0013】

上記構成の高周波電力増幅器によれば、外部直流電圧源のオン直後は、第2抵抗に並列に接続されたコンデンサを瞬時電流が流れるために、基準電圧生成回路の第2のバイポーラトランジスタのエミッタと接地との間の抵抗値は0となる。このとき、上記バイアス電流増幅部は、基準電圧生成回路からの基準電圧が低くなるので、電力増幅部の電力増幅用バイポーラトランジスタのベースに入力されるバイアス電流が増加する。そのため、上記電力増幅部の電力増幅用バイポーラトランジスタのバイアス点が上がって、電力増幅率が増える。そして、時間経過と共にコンデンサに流れる電流は減少し、第2抵抗を流れる電流のみとなる。そのため、基準電圧生成回路の第2のバイポーラトランジスタのエミッタと接地との間の抵抗値は、第2抵抗のみの抵抗値となる。この場合は、バイアス電流増幅部は、基準電圧生成回路からの基準電圧が高くなるので、電力増幅用バイポーラトランジスタのベースに入力されるバイアス電流が減少し、電力増幅部の電力増幅用バイポーラトランジスタのバイアス点は下がって、電力増幅率が低下する。

40

【0014】

50

このように外部直流電圧源のオンから時間が経過すると、電力増幅率は、外部直流電圧源のオン直後に比べて小さくなるが、電力増幅率がその後のデータ領域と近づき、受信側で誤差の少ない復調が可能になる。これにより、バースト動作に同期させて出力がオンオフされる直流電源からの直流電圧が供給される高周波電力増幅器において、簡単な構成で直流電圧源のオン後の電力増幅率を最適に補正して良好な通信を実現しつつ低電圧化も可能な高周波電力増幅器を実現できる。

【0015】

また、一実施形態の高周波電力増幅器では、上記基準電圧生成回路の上記第2のバイポーラトランジスタのエミッタと上記第2抵抗との間に第3抵抗を接続した。

【0016】

上記実施形態によれば、上記基準電圧生成回路の第2のバイポーラトランジスタのエミッタと第2抵抗との間に第3抵抗を接続することによって、外部直流電圧源のオン直後はコンデンサを瞬時電流が上記第3抵抗により抑制されるために、基準電圧生成回路の第2のバイポーラトランジスタのエミッタと接地との間の抵抗値は第3抵抗の抵抗値以上となり、電力増幅率が大きくなり過ぎず、出力信号のオーバーシュートを抑えることができる。

【発明の効果】

【0017】

以上より明らかなように、この発明の高周波電力増幅器によれば、バースト動作に同期させて直流電源の直流電圧がオンオフされる高周波電力増幅器において、簡単な構成で直流電源の電圧オン後の電力増幅率を最適に補正して良好な通信を実現しつつ低電圧化も可能な高周波電力増幅器を実現することができる。

【発明を実施するための最良の形態】

【0018】

以下、この発明の高周波電力増幅器を図示の実施の形態により詳細に説明する。

【0019】

〔第1実施形態〕

図1はこの発明の第1実施形態の高周波電力増幅器の回路図を示している。この第1実施形態の高周波電力増幅器は、図1に示すように、入力側に入力端子Aが接続された入力整合回路10と、上記入力整合回路10の出力側にベースが接続され、エミッタが接地電位に接続された電力増幅部の一例としての電力増幅用のバイポーラトランジスタQ1と、上記電力増幅用のバイポーラトランジスタQ1のコレクタと入力が増幅され、出力側が出力端子Bに接続された出力整合回路20とを備えている。また、上記高周波電力増幅器は、外部直流電圧源の一例としての直流電源E1から供給される直流電圧から基準電圧を生成する基準電圧生成回路30と、上記基準電圧生成回路30からの基準電圧に基づいて、バイポーラトランジスタQ1のベース端子にバイアス電流を供給するバイアス電流増幅部40とを備えている。上記直流電源E1は、入力信号が入力される状態と入力信号が入力されない状態とを繰り返すバースト動作に応じて出力がオンオフされる。

【0020】

上記基準電圧生成回路30は、直流電源E1の正極側と一端が接続された抵抗R2(第1抵抗)と、上記抵抗R2の他端にコレクタが接続されたバイポーラトランジスタQ2(第1のバイポーラトランジスタ)と、上記バイポーラトランジスタQ2のエミッタと接地との間に接続された抵抗R3と、上記バイポーラトランジスタQ2のコレクタにベースが接続され、エミッタがバイポーラトランジスタQ2のベースに接続されたバイポーラトランジスタQ3(第2のバイポーラトランジスタ)と、上記バイポーラトランジスタQ3のエミッタと接地との間に接続された抵抗R1(第2抵抗)と、上記抵抗R1に並列に接続されたコンデンサC1とを有している。上記バイポーラトランジスタQ3のコレクタに直流電源E2の正極側を接続している。

【0021】

また、上記バイアス電流増幅部40は、直流電源E1の正極側と一端が接続された抵抗

R 5 と、上記抵抗 R 5 の他端とコレクタが接続され、バイポーラトランジスタ Q 3 のエミッタにベースが接続されたエミッタ接地のバイポーラトランジスタ Q 4 と、上記バイポーラトランジスタ Q 3 のコレクタにベースが接続され、コレクタに直流電源 E 2 の正極側が接続されたバイポーラトランジスタ Q 5 と、上記バイポーラトランジスタ Q 5 のエミッタと一端が接続された抵抗 R 6 とを有している。上記抵抗 R 6 の他端と電力増幅用のバイポーラトランジスタ Q 1 のベースを接続している。

【 0 0 2 2 】

上記バイポーラトランジスタ Q 1 ~ Q 5 は、NPN 型トランジスタである。

【 0 0 2 3 】

図 1 に示すように、バイポーラトランジスタ Q 3 のエミッタ側に、抵抗 R 1 とコンデンサ C 1 からなる並列回路を挿入していることにより、直流電源 E 1 のオン直後はコンデンサ C 1 に瞬時電流が流れるために、バイポーラトランジスタ Q 3 のエミッタと接地との間の抵抗値は 0 に見える。このとき、基準電圧生成回路 3 0 から出力される基準電圧は 0 V となり、バイアス電流増幅部 4 0 において、抵抗 R 5 を流れる電流が増加し、直流増幅用のバイポーラトランジスタ Q 5 のベース電流が増加する。そのため、電力増幅用のバイポーラトランジスタ Q 1 のバイアス点が上がって、電力増幅率が増える。そして、時間経過と共にコンデンサ C 1 を流れる電流は減少し、抵抗 R 1 を流れる電流のみとなる。そのため、バイポーラトランジスタ Q 3 のエミッタと接地との間の抵抗値は、抵抗 R 1 のみの抵抗値となり、この場合、電力増幅用のバイポーラトランジスタ Q 1 のバイアス点は下がる。

10

20

【 0 0 2 4 】

これによって、上記高周波電力増幅器の電力増幅率は、直流電源 E 1 のオン直後に比べ小さくなるが、このときの出力信号の時間応答と信号モニターのタイミングは、図 2 A に示されるように、電力増幅率はその後のデータ領域と近づき、誤差の少ない復調が可能となる。また、直流電源 E 1 の直流電圧は電圧降下が発生しないため、低電圧化にも対応可能となる。

【 0 0 2 5 】

〔 第 2 実施形態 〕

図 3 にこの発明の第 2 実施形態の高周波電力増幅器の回路図を示している。この第 2 実施形態の高周波電力増幅器は、基準電圧生成回路を除いて第 1 実施形態の高周波電力増幅器と同一の構成をしており、同一構成部は同一参照番号を付して説明を省略する。

30

【 0 0 2 6 】

上記第 2 実施形態の高周波電力増幅器の基準電圧生成回路 5 0 は、直流電源 E 1 の正極側と一端が接続された抵抗 R 2 (第 1 抵抗)と、上記抵抗 R 2 の他端にコレクタが接続されたバイポーラトランジスタ Q 2 (第 1 のバイポーラトランジスタ)と、上記バイポーラトランジスタ Q 2 のエミッタと接地との間に接続された抵抗 R 3 と、上記バイポーラトランジスタ Q 2 のコレクタにベースが接続され、エミッタがバイポーラトランジスタ Q 2 のベースに接続されたバイポーラトランジスタ Q 3 (第 2 のバイポーラトランジスタ)と、上記バイポーラトランジスタ Q 3 のエミッタに一端が接続された抵抗 R 4 (第 3 抵抗)と、上記抵抗 R 4 の他端と接地との間に接続された抵抗 R 1 (第 2 抵抗)と、上記抵抗 R 1 に並列に接続されたコンデンサ C 1 とを有している。上記バイポーラトランジスタ Q 3 のコレクタに直流電源 E 2 の正極側を接続している。

40

【 0 0 2 7 】

上記バイポーラトランジスタ Q 3 のエミッタ側より抵抗 R 4 を介して接地されている部分に、抵抗 R 1 とコンデンサ C 1 からなる並列回路を挿入していることにより、直流電源 E 1 のオン直後は、コンデンサ C 1 を瞬時電流が流れるために、バイポーラトランジスタ Q 3 のエミッタと接地との間の抵抗値は、抵抗 R 4 の抵抗値のみに見える。このとき、基準電圧生成回路 3 0 から出力される基準電圧は、抵抗 R 4 の抵抗値の電圧降下分となり、バイアス電流増幅部 4 0 において、抵抗 R 5 を流れる電流が増加し、直流増幅用のバイポーラトランジスタ Q 5 のベース電流が増加する。そのため、電力増幅用のバイポーラトラン

50

ンジスタQ1のバイアス点が上がり、電力増幅率が増える。そして、時間経過と共にコンデンサC1を流れる電流は減少し、抵抗R1を流れる電流のみとなる。そのため、バイポーラトランジスタQ3のエミッタと接地との間の抵抗値は、〔抵抗R1の抵抗値+抵抗R4の抵抗値〕となり、この場合は電力増幅用のバイポーラトランジスタQ1のバイアス点は下がる。

【0028】

これによって、上記高周波電力増幅器の電力増幅率は、直流電源E1のオン直後に比べ小さくなるが、このときの出力信号の時間応答と信号モニターのタイミングは、図2Bに示されるように、電力増幅率はその後のデータ領域に近づき、誤差の少ない復調が可能になる。また、直流電源E1の直流電圧は電圧降下が発生しないため、低電圧化にも対応可能となる。

10

【0029】

また、上記高周波電力増幅器では、基準電圧生成回路50の第2のバイポーラトランジスタQ3のエミッタと抵抗R1(第2抵抗)との間に抵抗R4(第3抵抗)を接続することによって、直流電源E1のオン直後はコンデンサC1を瞬時電流が抵抗R4により抑制されるために、基準電圧生成回路50の第2のバイポーラトランジスタQ3のエミッタと接地との間の抵抗値は抵抗R4の抵抗値となり、電力増幅率が大きくなり過ぎず、出力信号のオーバーシュートを図2Bに示す様に抑えることができる。

【0030】

上記第1,第2実施形態では、NPN型トランジスタを用いたが、PNP型トランジスタを用いて回路を構成してもよく、この場合、電源側と接地電位とは極性が逆になる。

20

【0031】

また、上記第1,第2実施形態バイアス電流増幅部40の回路構成に限らず、基準電圧生成回路からの基準電圧が高くなるほどバイアス電流を大きくする一方、基準電圧が低くなるほどバイアス電流を小さくする回路構成のバイアス電流増幅部であればよい。

【0032】

この発明の具体的な実施の形態について説明したが、この発明は上記第1,第2実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

【0033】

すなわち、入力信号が入力される状態と上記入力信号が入力されない状態とを繰り返すバースト動作に応じて外部直流電圧源がオンオフされ、上記外部直流電圧源から直流電圧が供給される高周波電力増幅器であって、

30

少なくとも1つ以上の電力増幅用バイポーラトランジスタから形成され、上記入力信号を増幅する電力増幅部と、

上記外部直流電圧源から供給される直流電圧から基準電圧を生成する基準電圧生成回路と、

少なくとも1つ以上のバイポーラトランジスタで形成され、上記基準電圧生成回路からの上記基準電圧に基づいて、上記電力増幅部の上記電力増幅用バイポーラトランジスタのベースにバイアス電流を供給するバイアス電流増幅部と

を備え、

40

上記バイアス電流増幅部は、上記基準電圧生成回路からの上記基準電圧が高くなるほど上記バイアス電流を大きくする一方、上記基準電圧が低くなるほど上記バイアス電流を小さくすると共に、

上記基準電圧生成回路は、上記外部直流電圧源からの直流電圧が第1抵抗を介してコレクタに印加されるエミッタ接地の第1のバイポーラトランジスタと、上記第1のバイポーラトランジスタのコレクタとベースが接続され、上記第1のバイポーラトランジスタのベースとエミッタが接続され、コレクタに直流電圧が印加された第2のバイポーラトランジスタとを有し、上記第2のバイポーラトランジスタのエミッタは、第2抵抗を介して接地電位に接続され、上記第2抵抗にコンデンサを並列に接続し、上記第2のバイポーラトランジスタのエミッタから上記基準電圧を上記バイアス電流増幅部に出力することを特徴と

50

するものであればよい。

【 0 0 3 4 】

上記第 1, 第 2 実施形態では 1 つの電力増幅用バイポーラトランジスタからなる電力増幅器を備えた高周波電力増幅器について記載しているが、より大きな電力を増幅するために、複数並列接続されたバイポーラトランジスタを電力増幅部に用いても良い。更には、増幅率を上げるために、高周波電力増幅器を複数直列接続する構成にしてもよいし、電力増幅用バイポーラトランジスタを複数直列接続する構成にしてもよい。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 図 1 はこの発明の第 1 実施形態の高周波電力増幅器の回路図である。

10

【 図 2 A 】 図 2 A は上記第 1 実施形態の高周波電力増幅器による時間応答と復調信号のモニタータイミングを示す図である。

【 図 2 B 】 図 2 B はこの発明の第 2 実施形態の高周波電力増幅器による時間応答と復調信号のモニタータイミングを示す図である。

【 図 3 】 図 3 はこの発明の第 2 実施形態の高周波電力増幅器の回路図である。

【 図 4 】 図 4 は従来第 1 の高周波電力増幅器を示す回路図である。

【 図 5 A 】 図 5 A は抵抗とコンデンサがない場合の出力信号の時間応答と復調信号のモニタータイミングを示す図である。

【 図 5 B 】 図 5 B は出力信号の時間応答と復調信号のモニタータイミングを示す図である。

20

【 図 5 C 】 図 5 C はコンデンサの容量値を大きくした場合の出力信号の時間応答と復調信号のモニタータイミングを示す図である。

【 符号の説明 】

【 0 0 3 6 】

Q 1 ~ Q 5 ... バイポーラトランジスタ

R 1 ~ R 6 ... 抵抗

C 1 ... コンデンサ

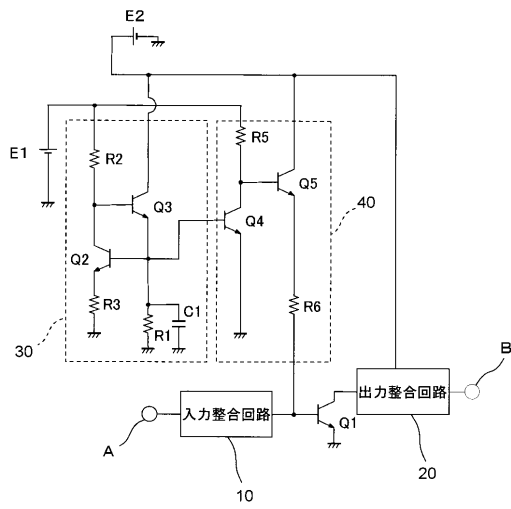
E 1, E 2 ... 直流電源

A ... 入力端子

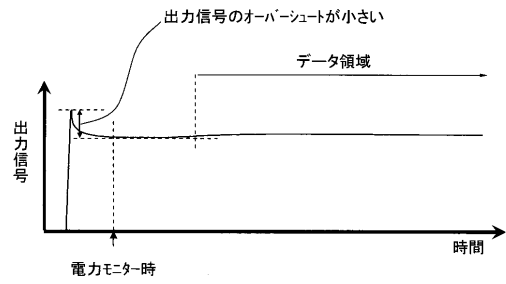
B ... 出力端子

30

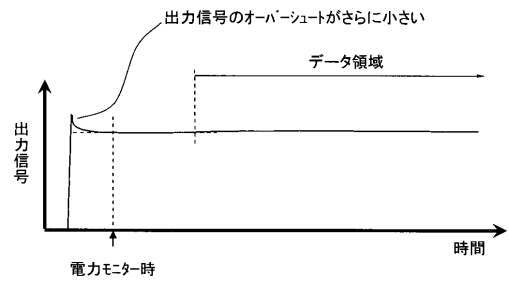
【 図 1 】



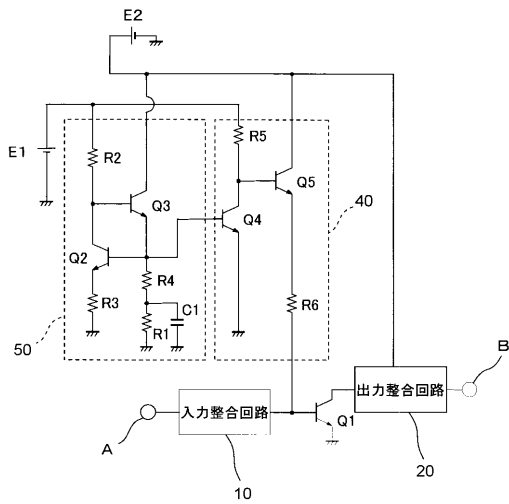
【 図 2 A 】



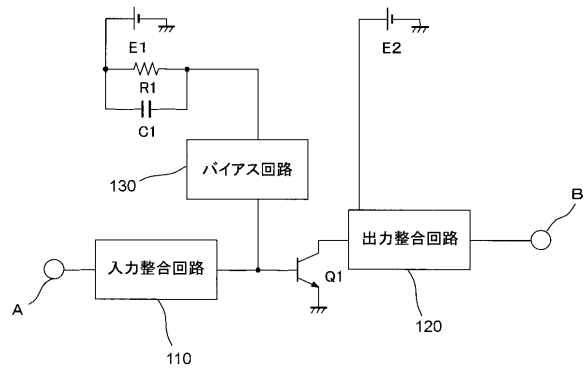
【 図 2 B 】



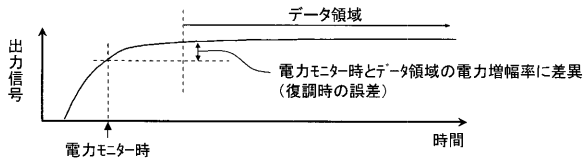
【 図 3 】



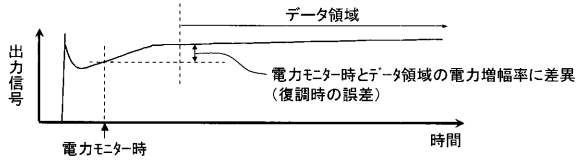
【 図 4 】



【 図 5 A 】



【 図 5 B 】



【 図 5 C 】

