

따라서, 본 발명의 유기 전계 발광 소자 및 그 제조 방법은 반도체층이 비정질 실리콘으로 형성된 버텀 게이트 구조의 박막 트랜지스터를 포함하는 유기 전계 발광 소자를 형성할 때, 상기 박막트랜지스터의 상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성하여 상기 박막트랜지스터의 반도체층, 특히, 반도체층의 채널 영역에 광차단막을 형성하여 외부 또는 내부에서 발생한 빛을 차단하여 우수한 박막트랜지스터의 특성을 제공할 뿐만 아니라, 비정질 실리콘으로 반도체층을 형성함으로써 공정이 간단하다는 효과가 있다.

대표도

도 2e

특허청구의 범위

청구항 1.

절연 기관;

상기 기관 상에 형성된 하부 광차단막;

상기 광차단막 상에 형성된 게이트 전극 및 게이트 절연막;

상기 게이트 절연막 상부에 형성되고, 소정의 영역에 고농도 불순물이 주입된 비정질 실리콘층;

상기 비정질 실리콘층의 고농도 불순물 주입 영역상에 형성된 소오스/드레인 전극;

상기 기관상에 형성되고, 소오스/드레인 전극의 소정의 영역이 오픈되어 있는 절연막;

상기 절연막의 오픈된 영역으로 상기 소오스/드레인 전극과 콘택되어 있고, 화소 영역에 형성된 제1전극;

상기 소오스/드레인 전극, 비정질 실리콘층 및 절연막 상부에 형성된 광차단막; 및

상기 화소 영역상에 형성되고, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 포함하며,

상기 광차단막 및 하부 광차단막은 Ag, Cr, Pd, Mo 및 MoW 중 어느 하나의 금속 물질로 형성되어 있음을 특징으로 하는 유기 전계 발광 소자.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제 1항에 있어서,

상기 광차단막은 상기 절연막의 모폴로지를 따라 형성됨을 특징으로 하는 유기 전계 발광 소자.

청구항 6.

제 1항에 있어서,

상기 게이트 절연막과 비정질 실리콘층은 연속적으로 형성됨을 특징으로 하는 유기 전계 발광 소자.

청구항 7.

제 1항에 있어서,

상기 고농도 불순물이 주입된 비정질 실리콘층은 불순물 주입 공정으로 형성되거나, 고농도 불순물이 주입되지 않은 비정질 실리콘층을 형성한 후, 연속적으로 고농도 불순물이 주입된 비정질 실리콘층을 적층하여 형성된 고농도 불순물이 주입된 비정질 실리콘층임을 특징으로 하는 유기 전계 발광 소자.

청구항 8.

제 1항에 있어서,

상기 제1전극은 ITO 또는 IZO와 같은 투명 전극임을 특징으로 하는 유기 전계 발광 소자.

청구항 9.

제 1항에 있어서,

상기 제1전극은 반사막 및 ITO 또는 IZO와 같은 투명 전극의 적층 구조임을 특징으로 하는 유기 전계 발광 소자.

청구항 10.

제 1항에 있어서,

상기 제2전극은 투명한 도전체 또는 금속 중 어느 하나 이상임을 특징으로 하는 유기 전계 발광 소자.

청구항 11.

제 1항에 있어서,

상기 광차단막과 제1전극 사이에 평탄화막을 더 포함하는 것을 특징으로 하는 유기 전계 발광 소자.

청구항 12.

제 1항에 있어서,

상기 제1전극과 유기막층 사이에 화소 정의막을 더 포함하는 것을 특징으로 하는 유기 전계 발광 소자.

청구항 13.

절연 기판을 준비하는 단계;

상기 절연 기판 상에 하부 광차단막을 형성하는 단계;

상기 하부 광차단막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 기판상에 게이트 절연막 및 상부로부터 소정의 두께가 고농도 불순물이 주입된 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층상에 전도체층을 형성하는 단계;

상기 전도체층과 비정질 실리콘층을 포토레지스트 패턴을 이용하여 상기 전도체는 패턴하여 소오스/드레인 전극을 형성하고, 상기 비정질 실리콘층의 상부로부터 소정의 두께 및 너비로 식각하여 소오스/드레인 영역 및 채널 영역을 형성하는 단계;

상기 기판상에 절연막을 형성하는 단계;

상기 기판상에 광차단막 형성 물질을 증착하고 패터하여 광차단막을 형성하는 단계;

상기 절연막의 소정 영역을 식각하여 상기 소오스/드레인 전극이 노출되도록 하는 단계; 및

상기 오픈된 절연막에 의해 노출된 소오스/드레인 전극에 콘택되는 제1전극, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 형성하는 단계를 포함하며,

상기 광차단막을 형성하는 단계는 기판상에 Ag, Cr, Pd, Mo 및 MoW 중 어느 하나 이상의 금속 물질을 증착하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 14.

삭제

청구항 15.

제 13항에 있어서,

상기 상부로부터 소정의 두께가 고농도 불순물이 주입된 비정질 실리콘층을 형성하는 단계는 비정질 실리콘층을 형성한 후, 고농도 불순물 주입 공정으로 고농도 불순물 주입된 비정질 실리콘층을 형성하는 단계 또는 고농도 불순물이 주입되지 않은 비정질 실리콘층과 고농도 불순물이 주입된 비정질 실리콘층을 연속적으로 형성하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 16.

제 13항에 있어서,

상기 비정질 실리콘층의 상부로부터 소정의 두께 및 너비로 식각하는 단계는 상기 고농도 불순물이 주입된 비정질 실리콘층의 두께 및 소정의 너비로 상기 비정질 실리콘층을 식각하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 17.

제 13항에 있어서,

상기 게이트 절연막 및 비정질 실리콘층을 형성하는 단계는 게이트 절연막 및 비정질 실리콘층을 연속적으로 형성하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 18.

삭제

청구항 19.

제 13항에 있어서,

상기 광차단막을 형성하는 단계는 상기 소오스/드레인 전극 및 반도체층 상부에 광차단막을 형성하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 20.

제 13항에 있어서,

상기 광차단막을 형성하는 단계 이후, 상기 기판상에 평탄화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 21.

제 13항에 있어서,

상기 제1전극을 형성하는 단계는 기판상에 ITO 또는 IZO와 같은 투명한 전도체를 증착한 후, 패터닝하여 제1전극을 형성하는 단계 또는 알루미늄과 같은 금속층과 ITO 또는 IZO와 같은 투명한 전도체의 적층 구조를 증착한 후, 패터닝하여 제1전극을 형성하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법.

청구항 22.

제 13항에 있어서,

상기 제1전극을 형성하는 단계 이후, 상기 기판상에 화소 정의막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 소자 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 전계 발광 소자 및 그 제조 방법에 관한 것으로, 보다 자세하게는 반도체층을 비정질 실리콘층으로 형성한 버텀 게이트 구조의 박막트랜지스터를 구비한 유기 전계 발광 소자를 형성할 때, 상기 박막트랜지스터의 상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성하여 외부에서 유입되거나, 유기막층에서 발생한 빛이 상기 박막트랜지스터의 반도체층, 특히, 채널 영역에 영향을 미치지 못하도록 하는 유기 전계 발광 소자 및 그 제조 방법에 관한 것이다.

최근에 음극선관(cathode ray tube)과 같이 무겁고, 크기가 크다는 종래의 표시 소자의 단점을 해결하는 액정 표시 장치(liquid crystal display device), 유기 전계 발광 표시 장치(organic electroluminescence display device) 또는 PDP(plasma display plane) 등과 같은 평판형 표시 장치(plat panel display device)가 주목 받고 있다.

이때, 상기 액정 표시 장치는 자체 발광 소자가 아니라 수광 소자이기 때문에 밝기, 콘트라스트, 시야각 및 대면적화 등에 한계가 있고, 상기 PDP는 자체 발광 소자이기 는 하지만, 다른 평판형 표시 장치에 비해 무게가 무겁고, 소비 전력이 높을 뿐만 아니라 제조 방법이 복잡하다는 문제점이 있는 반면, 상기 유기 전계 발광 소자는 자체 발광 소자이기 때문에 시야각, 콘트라스트 등이 우수하고, 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비 전력 측면에서도 유리하다.

그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르며 전부 교체이기 때문에 외부 충격에 강하고 사용 온도 범위도 넓은 뿐만 아니라 제조 방법이 단순하고 저렴하다는 장점을 가지고 있다.

도 1a 내지 도 1d는 종래의 버텀 게이트 구조의 박막트랜지스터를 포함하는 유기 전계 발광 소자 제조의 공정 단면도이다.

먼저, 도 1a는 기판상에 게이트 전극, 캐패시터의 제2전극 및 반도체층을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 플라스틱 또는 유리 와 같은 투명한 절연 기판(11)상에 상부의 소자 및 하부의 기판을 보호하기 위한 버퍼(buffer)층(12)을 형성한 후, 게이트 전극 및 캐패시터의 제1전극 형성 물질을 기판 전면에 형성하고, 패터닝하여 박막트랜지스터의 게이트 전극(13)과 캐패시터의 제1전극(14)을 형성한다.

이어서, 상기 기판 전면에 실리콘 산화막 또는 실리콘 질화막으로 형성된 절연막(15)을 형성하여 박막트랜지스터 영역에는 게이트 절연막의 역할을 하게 되고, 캐패시터 영역에는 캐패시터의 유전막의 역할을 하게 된다.

이어서, 기판 전면에 비정질 실리콘을 화학적 기상 증착법(Chemical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)으로 형성하고, 이온 주입 공정을 진행하여 소정의 깊이로 고농도 불순물 영역을 형성한 후, 패터닝하여 반도체층을 형성한다. 따라서, 상기 반도체층(16)은 소정의 깊이가 고농도 불순물 영역(16a)으로 도핑된 비정질 실리콘층과 상기 고농도 불순물 영역 이하는 불순물이 도핑되지 않은 비정질 실리콘층(16b)으로 형성된다.

다음, 도 1b는 기판상에 박막트랜지스터의 소오스/드레인 전극과 캐패시터의 제2전극을 형성하고, 상기 반도체층의 일부를 식각하여 소오스/드레인 영역 및 채널 영역을 정의하는 공정의 단면도이다. 도에서 보는 바와 같이 기판 전면에 박막트랜지스터의 소오스/드레인 전극 및 캐패시터의 제2전극 형성 물질을 형성한 후, 패터닝하여 소오스/드레인 전극(17) 및 캐패시터의 제2전극(18)을 형성하면서, 상기 소오스/드레인 전극 형성시 노출되는 반도체층의 일부(고농도 불순물 주입 영역)을 식각하여 채널 영역과 소오스/드레인 영역을 정의한다.

다음, 도 1c는 상기 기판상에 층간절연막을 형성하고, 화소 영역에 투명 전극인 제1전극을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 기판 전면에 실리콘 산화막 또는 실리콘 질화막으로 형성된 층간절연막(19)을 형성한다.

이어서, 상기 층간절연막의 소정 영역을 식각하여 상기 소오스/드레인 전극이 노출되도록 한 후, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명한 전도체를 기판 전면에 증착하고, 패터닝하여 화소 영역에 투명 전극인 제1전극(20)을 형성한다.

다음, 도 1d는 상기 기판상에 평탄화층, 유기막층 및 공통 전극인 제2전극을 형성하여 유기 전계 발광 소자를 완성하는 단계의 공정 단면도이다. 도에서 보는 바와 같이 제1전극이 형성된 기판상에 평탄화층(21)을 형성하고, 상기 평탄화층의 화소 영역을 오픈한 후, 적어도 유기 발광층을 포함하는 유기막층(22)을 형성하고 패터닝한 후, 기판 전면에 공통 전극인 제2전극(23)을 형성하여 반도체층이 비정질 실리콘층으로 형성되어 있고, 버텀 게이트 구조의 박막트랜지스터를 포함하는 유기 전계 발광 소자를 완성한다.

이때, 상기 제1전극 하부에 반사막이 더 포함되고, 제2전극이 투명한 전극으로 형성되는 경우에는 전면 발광형 유기 전계 발광 소자로 응용될 수 있고, 상기 제2전극이 반사막을 포함하여 형성되는 경우에는 배면 발광형 유기 전계 발광 소자로 응용될 수 있다.

그러나, 상기의 버텀 게이트형 박막트랜지스터를 포함하는 유기 전계 발광 소자는 상기 반도체층이 비정질 실리콘층으로 형성되어 있어 반도체층의 채널 영역이 빛에 민감하다는 문제점이 있어, 이를 해결하기 위해 전면 발광형 유기 전계 발광 소자를 형성하는 시도를 하였으나, 제1전극 형성시 제1전극 하부에 형성되어 있는 반사막이 터지는 현상이 발생할 뿐만 아니라, 반사막과 제1전극의 패턴을 따로 형성하여 상기 터지는 현상을 방지하기도 하나 마스크의 수가 증가하고 공정이 복잡하다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 반도체층을 비정질 실리콘층으로 형성한 버텀 게이트 구조의 박막트랜지스터를 구비한 유기 전계 발광 소자를 형성할 때, 상기 박막트랜지스터의 상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성하여 외부에서 유입되거나, 유기막층에서 발생한 빛이 상기 박막트랜지스터의 반도체층, 특히, 채널 영역에 영향을 미치지 못하도록 하는 유기 전계 발광 소자 및 그 제조 방법을 제공함에 본 발명의 목적이 있다.

발명의 구성

본 발명의 상기 목적은 절연 기판; 상기 기판 상에 형성된 하부 광차단막; 상기 광차단막 상에 형성된 게이트 전극 및 게이트 절연막; 상기 게이트 절연막 상부에 형성되고, 소정의 영역에 고농도 불순물이 주입된 비정질 실리콘층; 상기 비정질 실리콘층의 고농도 불순물 주입 영역상에 형성된 소오스/드레인 전극; 상기 기판상에 형성되고, 소오스/드레인 전극의 소정의 영역이 오픈되어 있는 절연막; 상기 절연막의 오픈된 영역으로 상기 소오스/드레인 전극과 콘택되어 있고, 화소 영역에 형성된 제1전극; 상기 소오스/드레인 전극, 비정질 실리콘층 및 절연막 상부에 형성된 광차단막; 및 상기 화소 영역상에 형성되고, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 포함하며, 상기 광차단막 및 하부 광차단막은 Ag, Cr, Pd, Mo 및 MoW 중 어느 하나의 금속 물질로 형성되어 있음을 특징으로 하는 유기 전계 발광 소자에 의해 달성된다.

또한, 본 발명의 상기 목적은 절연 기판을 준비하는 단계; 상기 절연 기판 상에 하부 광차단막을 형성하는 단계; 상기 하부 광차단막 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극이 형성된 기판상에 게이트 절연막 및 상부로부터 소정의 두께가 고농도 불순물이 주입된 비정질 실리콘층을 형성하는 단계; 상기 비정질 실리콘층상에 전도층을 형성하는 단계; 상기 전도층과 비정질 실리콘층을 포토레지스트 패턴을 이용하여 상기 전도체는 패턴하여 소오스/드레인 전극을 형성하고, 상기 비정질 실리콘층의 상부로부터 소정의 두께 및 너비로 식각하여 소오스/드레인 영역 및 채널 영역을 형성하는 단계; 상기 기판상에 절연막을 형성하는 단계; 상기 기판상에 광차단막 형성 물질을 증착하고 패턴하여 광차단막을 형성하는 단계; 상기 절연막의 소정 영역을 식각하여 상기 소오스/드레인 전극이 노출되도록 하는 단계; 및 상기 오픈된 절연막에 의해 노출된 소오스/드레인 전극에 콘택되는 제1전극, 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 형성하는 단계를 포함하며, 상기 광차단막을 형성하는 단계는 기판상에 Ag, Cr, Pd, Mo 및 MoW 중 어느 하나 이상의 금속 물질을 증착하는 단계임을 특징으로 하는 유기 전계 발광 소자 제조 방법에 의해 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

도 2a 내지 도 2e는 본 발명에 의한 유기 전계 발광 소자의 제조 공정의 단면도이다.

먼저, 도 2a는 절연 기판상 게이트 전극, 캐패시터의 제1전극 및 반도체층을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 플라스틱 또는 유리 와 같은 투명한 절연 기판(101)상에 상부의 소자 및 하부의 기판을 보호하기 위한 버퍼층(102)을 형성한 후, 게이트 전극 및 캐패시터의 제1전극 형성 물질을 기판 전면에서 형성하고, 패턴링하여 박막트랜지스터의 게이트 전극(103)과 캐패시터의 제1전극(104)을 형성한다.

이때, 상기 게이트 전극 및 캐패시터의 제1전극 형성 물질은 알루미늄(Al)과 같은 비저항이 낮은 금속을 사용하여 신호 지연을 줄인다. 그러나 상기 알루미늄은 화학적 내성이 약하고, 200°C 이상에서는 소정 영역이 수 μm 까지 성장하는 힐록(hillock)이 생기므로 알루미늄과 알루미늄 산화물(Al_2O_3)의 적층 구조로 형성하거나 MoW 등과 같은 금속막을 적층하여 형성하거나, Al-Nd와 같은 알루미늄 합금을 이용하여 형성하기도 한다.

이어서, 상기 기판 전면에서 실리콘 산화막 또는 실리콘 질화막의 단일막 또는 다중막으로 형성된 절연막(105)을 형성하여 박막트랜지스터 영역에는 게이트 절연막의 역할을 하게 되고, 캐패시터 영역에는 캐패시터의 유전막의 역할을 하게 된다. 특히 상기 게이트 절연막은 PECVD(Plasma Enhanced Chemical Vapor Deposition)법으로 형성하는 것이 바람직하는데, 이는 상기 게이트 절연막과 비정질 실리콘을 연속적으로 형성하여 게이트 절연막과 비정질 실리콘층의 계면 특성이 좋은 박막트랜지스터를 형성할 수 있기 때문이다.

이어서, 기판 전면에서 비정질 실리콘을 화학적 기상 증착법 또는 물리적 기상 증착법으로 형성하고, 이온 주입 공정을 진행하여 소정의 깊이로 고농도 불순물 영역을 형성하거나, 화학적 기상 증착법으로 불순물이 도핑되지 않은 비정질 실리콘층과 고농도 불순물이 도핑된 비정질 실리콘층을 연속적으로 형성한 후, 패터닝하여 반도체층을 형성한다. 이때 상기 화학적 기상 증착법은 SiH_4 가스와 H_2 가스의 혼합 가스로 불순물이 도핑되지 않은 비정질 실리콘층을 형성하고, SiH_4 가스, PH_3 가스 및 H_2 가스를 이용하여 고농도 불순물이 도핑된 비정질 실리콘층을 형성할 수 있다.

따라서, 반도체층(106)은 소정의 깊이가 고농도 불순물 영역으로 도핑된 비정질 실리콘층($n^+ \text{-Si}$)(106a)과 상기 고농도 불순물 영역 이하는 불순물이 도핑되지 않은 비정질 실리콘층(a-Si)(106b)으로 형성된다.

다음, 도 2b는 기판상에 박막트랜지스터의 소오스/드레인 전극과 캐패시터의 제2전극을 형성하고, 상기 반도체층의 일부를 식각하여 소오스/드레인 영역 및 채널 영역을 정의하는 공정의 단면도이다. 도에서 보는 바와 같이 기판 전면에서 박막트랜지스터의 소오스/드레인 전극 및 캐패시터의 제2전극 형성 물질을 형성한 후, 패터닝하여 소오스/드레인 전극(107) 및 캐패시터의 제2전극(108)을 형성하면서, 상기 소오스/드레인 전극 형성시 노출되는 반도체층의 일부(고농도 불순물 주입 영역)를 식각하여 채널 영역과 소오스/드레인 영역을 정의한다.

이때 상기 소오스/드레인 전극 및 캐패시터의 제2전극 형성 물질은 고농도 불순물 영역으로 도핑된 비정질 실리콘층과 소오스/드레인 전극 사이에 쇼트키 장벽(schottky barrier)이 발생하지 않는 금속인 알루미늄, 알루미늄 합금, 크롬(Cr) 또는 타이타늄(Ti) 등을 스퍼터링법(Sputtering)으로 증착한다.

상기 소오스/드레인 전극 및 제2전극은 상기 소오스/드레인 전극 및 캐패시터의 제2전극 형성 물질을 포토레지스트 패턴을 이용하여 식각함으로써, 소오스/드레인 전극과 제2전극을 형성할 수 있게 되고, 이어서, 상기 소오스/드레인 영역의 중간 영역에 상기 소오스/드레인 전극을 식각함으로써 노출되는 고농도 불순물 영역으로 도핑된 비정질 실리콘층(106a)을 식각하여 하부의 비정질 실리콘층은 채널 영역으로 정의되고, 상기 고농도 불순물 영역으로 도핑된 비정질 실리콘층은 소오스/드레인 영역으로 정의되게 된다. 이때 상기 비정질 실리콘층의 식각은 EPD(End Point Detect)법으로 하부의 불순물이 도핑되지 않은 비정질 실리콘층이 노출되면 식각을 정지하는 종말점 식각에 의해 형성된다.

다음, 도 2c는 기판 전면에서 층간절연막을 형성하고, 상기 박막트랜지스터의 상부에 광차단막을 형성한 후, 소오스/드레인 전극과 콘택하는 제1전극을 화소 영역에 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 기판 전면에서 하부의 소자 또는 상부의 소자를 보호하기 위해 산화막 또는 절연막을 이용하여 층간절연막(109)을 형성하고, 외부에서 조사된 빛 또는 유기 발광층과 같은 내부의 소자에서 발생한 빛이 산란 또는 난반사에 의해 박막트랜지스터의 반도체층에 유입되어 악영향을 미치지 못하도록 하기 위해 광차단막 형성 물질을 증착한 후, 이를 패터닝하여 박막트랜지스터 상부에 광차단막(110)을 형성한다.

이때, 상기 광차단막은 반도체층의 채널 영역에 빛이 산란 또는 난반사에 의해 빛이 유입되지 않도록 도의 A 영역에서 보는 바와 같이 소오스/드레인 전극 및 층간절연막의 모폴로지(mopology)에 따라 형성되도록 단차 도포성(Step Coverage)이 우수한 물질을 이용하여 형성한다.

또한, 상기 광차단막 형성 물질은 AlNd, Ag, Cr, Pd, ACX, Al, Mo 및 MoW 등과 같은 금속 물질 중 어느 하나 이상으로 형성한다.

다음, 도 2d는 상기 층간절연막의 소정 영역을 오픈하고, 제1전극 형성 물질을 증착한 후, 패터닝하여 투명 전극인 제1전극을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 상기 형성된 층간절연막의 소정 영역을 오픈하여 상기 소오스/드레인 전극의 표면을 노출시킨 후, 기판 전면에 제1전극 형성 물질을 증착하여 소오스/드레인 전극과 전기적으로 콘택되도록 형성한다.

이어서, 상기 제1전극 형성 물질을 패터닝하여 투명 전극인 제1전극을 형성한다.

다음, 도 2e는 상기 기판상에 평탄화층을 형성하고, 상기 평탄화층의 일부를 오픈시켜 제1전극을 노출시켜 화소 영역을 정의한 후, 상기 화소 영역상에 적어도 유기 발광층을 포함하는 유기막층 및 제2전극을 형성하는 공정의 단면도이다. 도에서 보는 바와 같이 상기 기판 전면에 하부의 소자들에 의한 단차를 없애기 위해 평탄화층을 형성한다. 이때 상기 평탄화층은 유기물 또는 무기물 중 어느 것을 사용하여도 무방하나, 유기물의 경우에는 스피ن 코팅(Spin Coating)과 같은 간단한 공정으로 평탄화층을 형성할 수 있어, 유기막으로 형성하는 것이 바람직하다.

이어서, 상기 평탄화층의 일부, 즉, 화소 영역을 오픈(식각)하여 제1전극의 표면이 노출되도록한 후, 상기 화소 영역에 적어도 유기 발광층을 포함하는 유기막층(113)을 형성하고, 기판 전면에 공통 전극인 제2전극(114)을 형성하여 유기 전계 발광 소자를 형성한다.

이때, 상기 제2전극은 빛의 반사가 우수하고, 저저항의 알루미늄 또는 몰리브덴과 같은 금속으로 형성하여 상기 유기 전계 발광 소자가 배면 발광형으로 형성되도록 한다.

도 3a 및 도 3b는 본 발명에 의해 제조된 유기 전계 발광 소자의 다른 실시예를 보여주는 단면도이다.

먼저, 도 3a는 본 발명에 의해 제조된 유기 전계 발광 소자의 다른 실시예를 보여주는 단면도이다. 도에서 보는 바와 같이 플라스틱 또는 유리와 같은 투명한 절연 기판(201)상에 형성될 박막트랜지스터의 하부 영역의 버퍼층(202)상에 광차단막 형성 물질을 증착하고, 패터닝하여 하부 광차단막(203)을 형성한 후, 하부 광차단막을 절연하기 위한 절연막(204)을 기판 전면에 형성한다.

이어서, 상기 기판상에 게이트 전극(205), 캐패시터의 제1전극(206), 게이트 절연막과 캐패시터의 유전막의 역할을 하는 절연막(207), 반도체층(208), 소오스/드레인 전극(209), 캐패시터의 제2전극(210) 및 층간절연막(211)을 형성하여 박막트랜지스터 및 캐패시터를 형성하고, 상기 층간절연막 상부에 상기 박막트랜지스터의 반도체층을 빛으로부터 차단하는 상부 광차단막(212)을 형성한 후, 투명 전극인 제1전극(213)을 형성하고 평탄화층(214)을 형성한 다음, 적어도 유기 발광층을 포함하는 유기막층(215) 및 제2전극(216)을 형성하여 배면 발광형 유기 전계 발광 소자를 제조한다.

이때, 상기 광차단막 형성 물질은 AlNd, Ag, Cr, Pd, ACX, Al, Mo 및 MoW 등과 같은 금속 물질 중 어느 하나 이상으로 형성한다.

상기와 같이 상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성한 배면 발광형 유기 전계 발광 소자는 박막트랜지스터의 반도체층에 산란 또는 난반사에 의한 빛의 유입을 차단할 뿐만 아니라 절연 기판이 외부 환경에 노출됨으로서 외부에서 절연 기판을 통해 유입되는 빛을 완전히 차단할 수 있어, 종래의 게이트 전극에 의한 빛의 차단보다 더 효율적으로 빛을 차단할 수 있다는 장점이 있는 반면 제조 방법이 간단하다는 장점이 있다.

다음, 도 3b는 본 발명에 의해 제조된 유기 전계 발광 소자의 다른 실시예를 보여주는 단면도이다. 도에서 보는 바와 같이 플라스틱 또는 유리와 같은 투명한 절연 기판(201)상에 형성될 박막트랜지스터의 하부 영역의 버퍼층(202)상에 광차단막 형성 물질을 증착하고, 패터닝하여 하부 광차단막(203)을 형성한 후, 하부 광차단막을 절연하기 위한 절연막(204)을 기판 전면에 형성한다.

이어서, 상기 기판상에 게이트 전극(205), 캐패시터의 제1전극(206), 게이트 절연막과 캐패시터의 유전막의 역할을 하는 절연막(207), 반도체층(208), 소오스/드레인 전극(209), 캐패시터의 제2전극(210) 및 층간절연막(211)을 형성하여 박막트랜지스터 및 캐패시터를 형성하고, 상기 층간절연막 상부에 상기 박막트랜지스터의 반도체층을 빛으로부터 차단하는 상부 광차단막(212)을 형성한 후, 상기 기판 전면에 평탄화층(214)을 형성하고, 상기 평탄화층 상부의 화소 영역 투명 전극인 제1전극(213)을 형성한 다음, 화소 영역을 정의하는 화소 정의막(Pixel Defined Layer)(217)을 형성하고, 적어도 유기 발광층을 포함하는 유기막층(215) 및 제2전극(216)을 형성하여 전면 발광형 유기 전계 발광 소자를 제조한다.

이때, 상기 제1전극을 형성하기 전에, 알루미늄과 같은 금속으로 반사막(도시 안함)을 더 형성하고, 상기 제2전극은 은(Ag), 칼슘(Ca) 또는 MgAg와 같은 투명한 금속을 이용하여 투명한 제2전극을 형성한다.

상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성한 전면 발광형 유기 전계 발광 소자는 빛이 상기 박막트랜지스터의 반도체층에 유입되는 것을 상부 뿐만 아니라 하부에도 방지하는 광차단막을 형성함으로써, 빛이 상기 반도체층, 특히 반도체층의 채널 영역에 유입되는 것을 완전히 차단함으로써, 빛에 민감한 비정질 실리콘층으로 형성된 반도체층을 갖는 버텀 게이트형 박막트랜지스터를 유기 발광 소자에 적용할 수 있게 된다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

따라서, 본 발명의 유기 전계 발광 소자 및 그 제조 방법은 반도체층이 비정질 실리콘으로 형성된 버텀 게이트 구조의 박막트랜지스터를 포함하는 유기 전계 발광 소자를 형성할 때, 상기 박막트랜지스터의 상부 및 하부 중 어느 하나 이상의 영역에 광차단막을 형성하여 상기 박막트랜지스터의 반도체층, 특히, 반도체층의 채널 영역에 광차단막을 형성하여 외부 또는 내부에서 발생한 빛을 차단하여 우수한 박막트랜지스터의 특성을 제공할 뿐만 아니라, 비정질 실리콘으로 반도체층을 형성함으로써 공정이 간단하다는 효과가 있다.

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 버텀 게이트 구조의 박막트랜지스터를 포함하는 유기 전계 발광 소자 제조의 공정 단면도.

도 2a 내지 도 2e는 본 발명에 의한 유기 전계 발광 소자의 제조 공정의 단면도.

도 3a 및 도 3b는 본 발명에 의해 제조된 유기 전계 발광 소자의 다른 실시예를 보여주는 단면도.

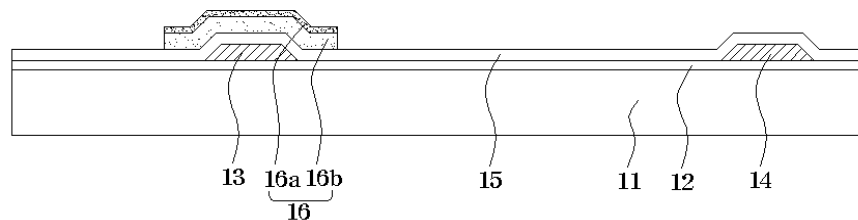
<도면의 주요부분에 대한 부호의 설명>

110, 212 : 광차단막 111, 213 : 제1전극

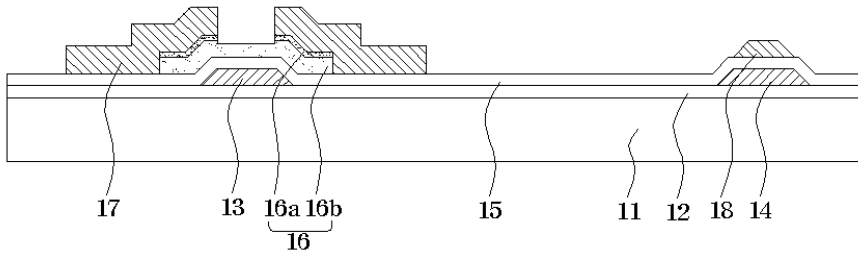
113, 215 : 유기막층 114, 216 : 제2전극

도면

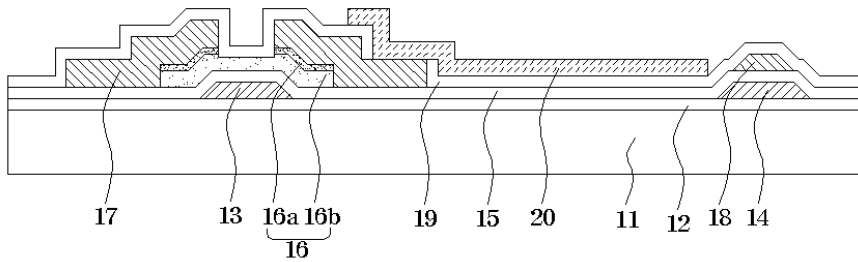
도면 1a



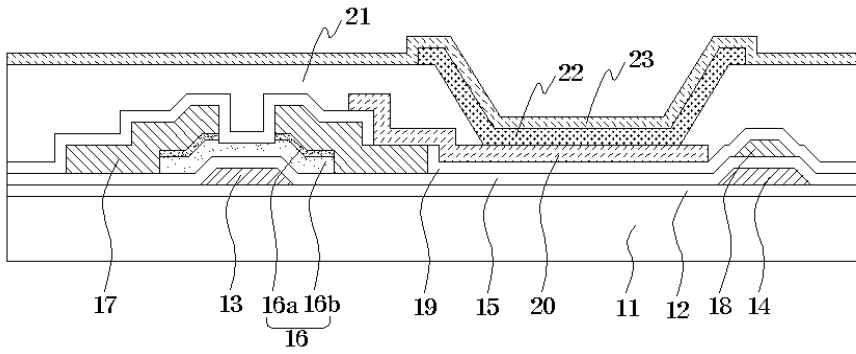
도면1b



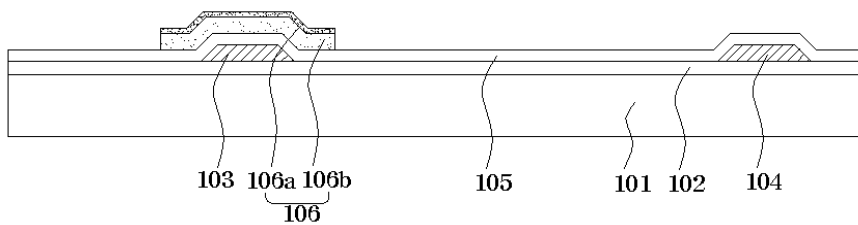
도면1c



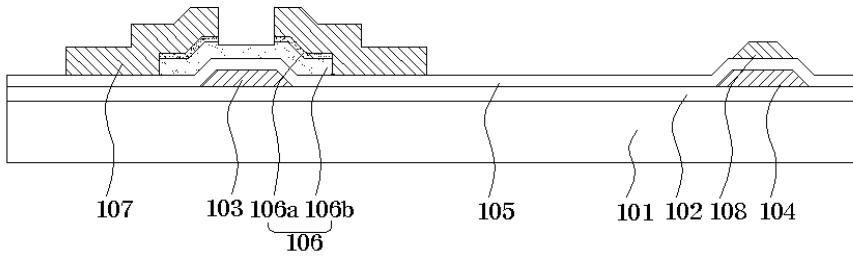
도면1d



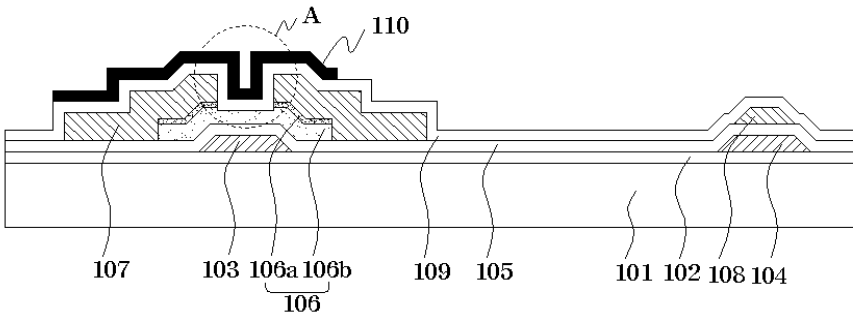
도면2a



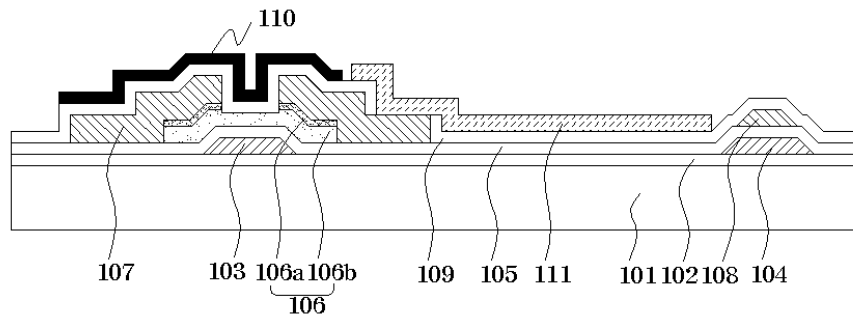
도면2b



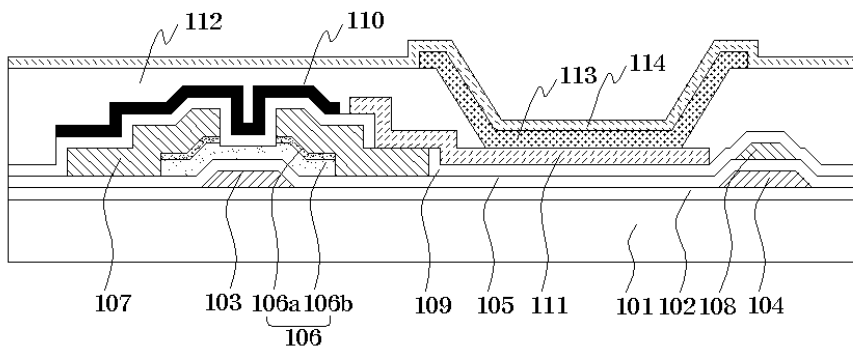
도면2c



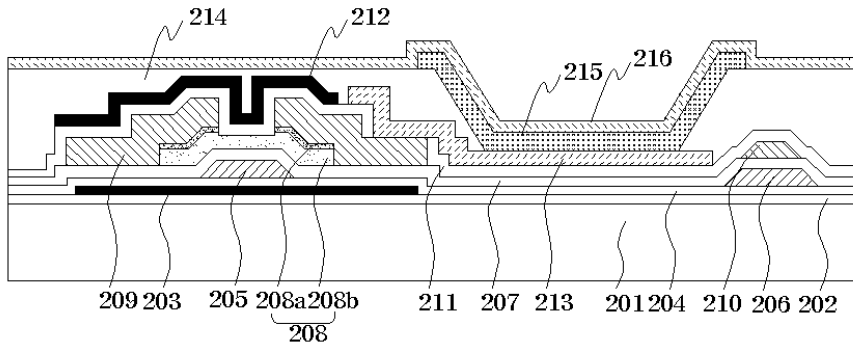
도면2d



도면2e



도면3a



도면3b

