
CERTIFICATE OF AVAILABILITY OF A CERTIFIED PATENT DOCUMENT IN A DIGITAL LIBRARY

The International Bureau certifies that a copy of the patent application indicated below has been available to the WIPO Digital Access Service since the date of availability indicated, and that the patent application has been available to the indicated Office(s) as of the date specified following the relevant Office code:

Document details: Country/Office: JP

Filing date: 25 Dec 2017 (25.12.2017)

Application number: 2017-247987

Date of availability of document: 26 Dec 2017 (26.12.2017)

The following Offices can retrieve this document by using the access code:

JP, US, SE, NZ, KR, EA, IN, BR, GB, AU, ES, NL, IB, EE, CN, MA,
FI, DK, CL

Date of issue of this certificate: 23 Oct 2018 (23.10.2018)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2017年12月25日

出 願 番 号
Application Number: 特願2017-247987

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

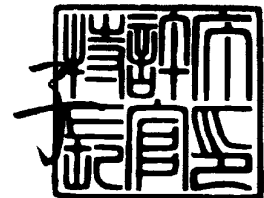
J P 2 0 1 7 - 2 4 7 9 8 7

出 願 人
Applicant(s): 東芝メモリ株式会社

特許庁長官
Commissioner,
Japan Patent Office

2018年10月23日

宗 像 直



【書類名】 特許願
【整理番号】 11722301
【提出日】 平成29年12月25日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/8247
【発明者】
【住所又は居所】 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
【氏名】 藤木 潤
【発明者】
【住所又は居所】 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
【氏名】 荒井 伸也
【発明者】
【住所又は居所】 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
【氏名】 藤井 光太郎
【特許出願人】
【識別番号】 317006041
【氏名又は名称】 東芝メモリ株式会社
【代理人】
【識別番号】 100108062
【弁理士】
【氏名又は名称】 日向寺 雅彦
【選任した代理人】
【識別番号】 100168332
【弁理士】
【氏名又は名称】 小崎 純一
【選任した代理人】
【識別番号】 100146592
【弁理士】
【氏名又は名称】 市川 浩
【選任した代理人】
【識別番号】 100157901
【弁理士】
【氏名又は名称】 白井 達哲
【手数料の表示】
【振替番号】 00038575
【納付金額】 14,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 特許請求の範囲 1
【物件名】 要約書 1
【物件名】 図面 1

【書類名】明細書

【発明の名称】半導体記憶装置及びその製造方法

【技術分野】

【0001】

実施形態は、半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

近年、メモリセルを3次元的に集積させた積層型の半導体記憶装置が提案されている。このような積層型の半導体記憶装置においては、より一層の小型化を図るために、半導体基板とメモリセルとの間に厚い絶縁膜を設け、半導体基板の上層部分及び絶縁膜内に制御回路を形成することが検討されている。この場合は、絶縁膜上に導電膜を設け、ソース線として使用する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-165794号公報

【特許文献2】米国特許出願公開第2011/0073866号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態の目的は、小型化が可能な半導体記憶装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体記憶装置は、上層部分にダイオードが形成された半導体基板と、前記半導体基板上に設けられた第1絶縁膜と、前記第1絶縁膜上に設けられ、前記ダイオードに接続された第1導電膜と、前記第1導電膜上に設けられ、絶縁体及び電極膜が交互に積層された積層体と、前記積層体を貫通し、前記第1導電膜に接続された半導体部材と、前記電極膜と前記半導体部材との間に設けられた電荷蓄積部材と、を備える。

【0006】

実施形態に係る半導体記憶装置の製造方法は、半導体基板の上層部分にダイオードを形成する工程と、前記半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に前記ダイオードに接続される第1導電膜を形成する工程と、前記第1導電膜上に、第1絶縁材料膜及び第2絶縁材料膜を交互に形成することにより、積層体を形成する工程と、反応性イオンエッチングを施すことにより、前記積層体に前記第1導電膜まで到達するホールを形成する工程と、前記ホールの内面上に電荷蓄積部材を形成する工程と、前記電荷蓄積部材が形成された前記ホール内に、前記第1導電膜に接続される半導体部材を形成する工程と、前記半導体部材を形成した後、前記第2絶縁材料膜を電極膜に置換する工程と、を備える。

【図面の簡単な説明】

【0007】

【図1】第1の実施形態に係る半導体記憶装置を示す断面図である。

【図2】第1の実施形態に係る半導体記憶装置を示す断面図である。

【図3】第1の実施形態に係る半導体記憶装置を示す上面図である。

【図4】第1の実施形態に係る半導体記憶装置のメモリセルトランジスタ周辺を示す断面図である。

【図5】第1の実施形態に係る半導体記憶装置のメモリセルトランジスタ周辺を示す断面図である。

【図6】第1の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【図7】第1の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

- 【図 8】第 1 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。
- 【図 9】第 1 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。
- 【図 1 0】第 1 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。
- 【図 1 1】第 2 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 1 2】第 3 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 1 3】第 3 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。
- 【図 1 4】第 3 の実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【発明を実施するための形態】

【0008】

(第 1 の実施形態)

以下、第 1 の実施形態について説明する。

図 1 及び図 2 は、本実施形態に係る半導体記憶装置を示す断面図である。

図 3 は、本実施形態に係る半導体記憶装置を示す上面図である。

図 4 及び図 5 は、本実施形態に係る半導体記憶装置のメモリセルトランジスタ周辺を示す断面図である。

なお、各図は模式的なものであり、適宜誇張及び省略して描かれている。例えば、各構成要素は実際よりも少なく且つ大きく描かれている。また、図間において、構成要素の数及び寸法比等は、必ずしも一致していない。

本実施形態に係る半導体記憶装置は、積層型の NAND フラッシュメモリである。

【0009】

図 1 に示すように、本実施形態に係る半導体記憶装置 1 においては、シリコン基板 1 0 が設けられている。シリコン基板 1 0 は、例えば、単結晶のシリコン (S i) により形成されている。

【0010】

図 2 に示すように、例えば、シリコン基板 1 0 の本体部分の導電形は p 形である。そして、シリコン基板 1 0 の上層部分の一部には、n 形ウエル 1 1 が形成されている。n 形ウエル 1 1 の上層部分の一部には、p 形ウエル 1 2 が形成されている。p 形ウエル 1 2 の上層部分の一部には、n + 形拡散層 1 3 が形成されている。n + 形拡散層 1 3 のドナー濃度は n 形ウエル 1 1 のドナー濃度よりも高い。

【0011】

シリコン基板 1 0 と n 形ウエル 1 1 との界面にはダイオード 2 1 が形成され、p 形ウエル 1 2 と n 形ウエル 1 1 との界面にはダイオード 2 2 が形成され、p 形ウエル 1 2 と n + 形拡散層 1 3 との界面にはダイオード 2 3 が形成される。ダイオード 2 1、ダイオード 2 2 及びダイオード 2 3 が直列に接続されることにより、双方向ダイオード 2 0 が形成される。シリコン基板 1 0 の上層部分の一部には、1 つ又は複数の双方向ダイオード 2 0 が形成されている。

【0012】

シリコン基板 1 0 の上層部分には、拡散層 1 5 及び S T I (Shallow Trench Isolation : 素子分離絶縁膜) 1 6 が形成されている。また、シリコン基板 1 0 の上層部分には、例えば、M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor : 金属酸化物半導体電界効果トランジスタ) のソース・ドレイン層 (図示せず) 等も形成されている。

【0013】

図 1 及び図 2 に示すように、シリコン基板 1 0 上には、ゲート絶縁層 3 1 が形成されており、その上には、絶縁膜 3 2 が形成されている。ゲート絶縁層 3 1 及び絶縁膜 3 2 は、例えば、シリコン酸化物 (S i O) により形成されている。ゲート絶縁層 3 1 は、例えば、シリコン基板 1 0 を熱酸化することにより形成され、絶縁膜 3 2 は、例えば、T E O S (Tetraethyl orthosilicate : Si(OC₂H₅)₄) を原料とした C V D (Chemical Vapor Deposition : 化学気相成長) 法により形成されている。

【0014】

以下、本明細書においては、説明の便宜上、XYZ直交座標系を採用する。シリコン基板10の上面10aに対して平行で、且つ、相互に直交する2方向を「X方向」及び「Y方向」とし、シリコン基板10の上面10aに対して垂直な方向を「Z方向」とする。また、Z方向のうち、シリコン基板10から絶縁膜32に向かう方向を「上」ともいい、その逆方向を「下」ともいうが、この表現も便宜的なものであり、重力の方向とは無関係である。

【0015】

ゲート絶縁層31上であって絶縁膜32内には、ゲート電極33が設けられている。ソース・ドレイン層（図示せず）、ゲート絶縁層31及びゲート電極33により、MOSFET35が形成される。絶縁膜32内には、配線36及びプラグ37が形成されている。プラグ37の一部は配線36同士を接続し、プラグ37の他の一部は、配線36をシリコン基板10の拡散層15に接続する。MOSFET35、一部の配線36及び一部のプラグ37は、制御回路39を構成する。なお、制御回路39には、他の要素が含まれていてもよい。絶縁膜32内における最上段の配線36上には、プラグ40が設けられている。

【0016】

絶縁膜32上には、ソース電極膜41が設けられている。ソース電極膜41の形状は、XY平面に沿って広がる略平板状であり、後述するように、所定の形状にパターニングされている。ソース電極膜41においては、例えばタングステン(W)からなる金属層42が設けられており、金属層42上には、例えば多結晶のシリコン(Si)からなるシリコン層43が設けられている。ソース電極膜41の周囲には、絶縁膜44が設けられている。また、ソース電極膜41によって囲まれた領域には、Z方向においてソース電極膜41を貫く絶縁膜45が設けられている。

【0017】

ソース電極膜41の下面の一部は、プラグ40に接している。これにより、ソース電極膜41の一部はプラグ40の上端に接続されている。プラグ40の下端は、最上段の配線36の一部に接続されている。この配線36は、プラグ37を介してより下段の配線36に接続されており、最下段の配線36の一部は、プラグ37を介してn+形拡散層13の上面に接続されている。これにより、ソース電極膜41の一部は、プラグ40、複数の配線36及び複数のプラグ37を介して、双方向ダイオード20の一端に接続されている。ソース電極膜41から双方向ダイオード20に至る電流経路は、制御回路39から絶縁されている。

【0018】

ソース電極膜41上には、積層体50が設けられている。積層体50においては、絶縁膜51及び電極膜52がZ方向に沿って交互に積層されている。絶縁膜51は例えばシリコン酸化物からなり、電極膜52は例えばタングステンからなる。また、積層体50の端部の形状は、電極膜52毎にテラスが形成された階段状である。なお、絶縁膜51に代わる絶縁体として、エアギャップが形成されていてもよい。

【0019】

積層体50内には、柱状部60が設けられている。柱状部60の形状は、中心軸がZ方向に延びる円柱形である。柱状部60の下部には、シリコン部材61が設けられており、シリコン部材61上には、シリコンピラー62が設けられている。シリコンピラー62の周囲には、メモリ膜63が設けられている。シリコンピラー62はシリコン部材61に接続されており、シリコン部材61はソース電極膜41に接続されている。

【0020】

図4及び図5に示すように、シリコンピラー62内には、シリコン酸化物からなるコア部材64が設けられている。メモリ膜63においては、内側、すなわち、シリコンピラー62側から外側に向かって、トンネル絶縁膜65、電荷蓄積膜66及びシリコン酸化層67がこの順に設けられている。一方、電極膜52の上面、下面及びシリコンピラー62に対向する側面上には、アルミニウム酸化層68が設けられている。シリコン酸化層67及びアルミニウム酸化層68により、ブロック絶縁膜69が構成されている。

【0021】

トンネル絶縁膜65は、通常は絶縁性であるが、半導体記憶装置1の駆動電圧の範囲内にある所定の電圧が印加されるとトンネル電流を流す膜であり、例えば、単層のシリコン酸化膜、又は、シリコン酸化層、シリコン窒化層及びシリコン酸化層がこの順に積層されたONO膜である。電荷蓄積膜66は電荷を蓄積する能力がある膜であり、例えば電子のトラップサイトを含む材料からなり、例えば、シリコン窒化物からなる。ブロック絶縁膜69は、半導体記憶装置1の駆動電圧の範囲内で電圧が印加されても実質的に電流を流さない膜である。

【0022】

トンネル絶縁膜65、電荷蓄積膜66及びブロック絶縁膜69により、メモリ膜63が形成されている。メモリ膜63は、シリコンピラー62と電極膜52との間に配置されている。シリコン部材61、シリコンピラー62、メモリ膜63及びコア部材64により、柱状部60が構成されている。シリコンピラー62は、メモリ膜63によって、電極膜52から絶縁されている。シリコン部材61も、絶縁膜（図示せず）によって、電極膜52から絶縁されている。

【0023】

図1～図3に示すように、ソース電極膜41上及び絶縁膜44上における積層体50の周囲には、例えばシリコン酸化物からなる絶縁膜70が設けられている。絶縁膜70内には、積層体50を略囲むように、絶縁板71が設けられている。絶縁板71は積層体50から離隔している。絶縁板71は、ソース電極膜41を貫通し、絶縁膜32に到達している。また、積層体50内には、X方向に延びる複数枚の絶縁板72が設けられている。絶縁板72は、積層体50における絶縁膜51及び電極膜52を貫通し、ソース電極膜41に到達している。絶縁板72によりY方向に分離された積層体50のそれぞれは、例えばデータ消去の最小単位となるブロックを形成する。絶縁板71及び72は、例えば、シリコン酸化物により形成されている。なお、絶縁板71と絶縁板72は、相互に連結していてもよい。また、絶縁板71の形状は、Z方向から見て積層体50を囲むような枠状であってもよい。但し、この場合も、絶縁板71は積層体50から離隔している。

【0024】

絶縁板71により、ソース電極膜41は、絶縁板71の内側に配置された中央部分41aと、絶縁板71の外側に配置された周辺部分41bとに分断されている。中央部分41aと周辺部分41bとは絶縁板71によって相互に絶縁されている。換言すれば、絶縁板71の下部は、中央部分41aと周辺部分41bの間に配置されている。中央部分41aは、シリコン部材61を介してシリコンピラー62に接続されている。周辺部分41bは、プラグ40、配線36及びプラグ37を介して双方向ダイオード20に接続されている。

【0025】

積層体50上及び絶縁膜70上には、Y方向に延びるビット線75が設けられている。ビット線75はシリコンピラー62の上端に接続されている。積層体50上及び絶縁膜70上には、ビット線75を覆うように、絶縁膜76が設けられている。絶縁膜76内には、プラグ77が設けられている。制御回路39の配線36とプラグ77との間には、積層体50及びソース電極膜41によって囲まれた絶縁膜45を貫通するようにZ方向に延びる貫通ビア78が設けられている。貫通ビア78の周囲には、例えばシリコン酸化物からなる絶縁膜79が設けられている。貫通ビア78は絶縁膜79によって、電極膜52及びソース電極膜41から絶縁されている。プラグ77上には、上層配線80が設けられており、プラグ77に接続されている。

【0026】

図2及び図3に示すように、絶縁膜70内には、コンタクト81～83が設けられている。コンタクト81の下端は電極膜52に接続されており、上端は上層配線の一部（図示せず）に接続されている。コンタクト82の下端はソース電極膜41に接続されており、上端は上層配線の他の一部（図示せず）に接続されている。コンタクト83の下端はシリ

コン基板10の拡散層15等に接続されており、上端は上層配線の更に他の一部（図示せず）に接続されている。

【0027】

本実施形態に係る半導体記憶装置1においては、電極膜52とシリコンピラー62との交差部分毎に、メモリセル59が形成される。メモリセル59のチャネルはシリコンピラー62であり、ゲート絶縁膜はトンネル絶縁膜65及びブロック絶縁膜69であり、ゲートは電極膜52であり、電荷蓄積部材は電荷蓄積膜66である。そして、制御回路39が、ソース電極膜41、ビット線75及び各電極膜52の電位を制御することにより、シリコンピラー62から電荷蓄積膜66に電荷を注入したり、電荷蓄積膜66からシリコンピラー62に電荷を排出したりする。これにより、メモリセル59の閾値電圧を変化させ、データを記憶する。

【0028】

次に、本実施形態に係る半導体記憶装置の製造方法について説明する。

図6～図10は、本実施形態に係る半導体記憶装置の製造方法を示す断面図である。

【0029】

先ず、図6及び図2に示すように、シリコン基板10の上層部分に、n形ウェル11、p形ウェル12、n+形拡散層13、拡散層15及びSTI16等を形成する。これにより、シリコン基板10の上層部分の一部に、双方向ダイオード20が形成される。

【0030】

次に、熱酸化処理を施すことにより、シリコン基板10の上面10aにゲート絶縁層31を形成する。次に、例えばTEOSを原料としたCVD法を繰り返して絶縁膜32を形成しつつ、ゲート電極33、プラグ37、配線36及びプラグ40を形成する。これにより、シリコン基板10の上層部分及び絶縁膜32内に、制御回路39が形成される。このとき、プラグ40は、一部のプラグ37及び一部の配線36を介して、n+形拡散層13に接続される。

【0031】

次に、絶縁膜32上に金属層42を形成し、その上にシリコン層43を堆積することにより、ソース電極膜41を形成する。次に、ソース電極膜41をパターニングして、ソース電極膜41の周囲に絶縁膜44を形成すると共に、ソース電極膜41によって囲まれた領域に絶縁膜45を形成する。

【0032】

次に、ソース電極膜41、絶縁膜44及び絶縁膜45上に、シリコン酸化物からなる絶縁膜51とシリコン窒化物（SiN）からなる絶縁性の犠牲膜91を交互に堆積させて、積層体50を形成する。なお、犠牲膜91の材料はシリコン窒化物には限定されないが、絶縁性であって絶縁膜51との間でエッチング選択比がとれる材料とする。次に、積層体50の端部を、犠牲膜91毎にテラスが形成された階段状に加工する。次に、シリコン酸化物を堆積させることにより、積層体50の周囲に絶縁膜70を形成する。

【0033】

次に、図7に示すように、積層体50上及び絶縁膜70上にマスクパターン92を形成する。次に、マスクパターン92をマスクとして、反応性イオンエッチング（Reactive Ion Etching：RIE）を施す。具体的には、エッチングガスをプラズマ化することにより、エッチング種を陽イオンとし、電界を印加して陽イオンを加速し、マスクパターン92を介して積層体50に選択的に衝突させる。これにより、積層体50にメモリホール93が形成される。このとき、積層体50は、絶縁性材料、すなわち、シリコン酸化物及びシリコン窒化物から形成されているため、メモリホール93内には、エッチング種の陽イオンに由来する正の電荷が蓄積される。一方、この段階の中間構造体の外表面上には、負電荷が蓄積される。なお、図7においては、正電荷を「+」を円で囲んだ記号で表し、負電荷を「-」を円で囲んだ記号で表している。

【0034】

そして、図8に示すように、メモリホール93がソース電極膜41に到達すると、メモ

リホール93内に蓄積されていた正電荷はソース電極膜41に移動し、更に、図8に経路Eとして示すように、プラグ40、配線36、プラグ37を経由して、n+形拡散層13に流入する。これにより、双方向ダイオード20のダイオード23及びダイオード21が降伏し、正電荷は双方向ダイオード20を介してシリコン基板10内に流入し、シリコン基板10を介して外部に排出される。この結果、絶縁膜32内におけるアーキングを防止することができる。

【0035】

次に、図9、図4及び図5に示すように、メモリホール93の下部内において、シリコン層43を起点としてシリコンをエピタキシャル成長させることにより、シリコン部材61を形成する。次に、シリコン部材61上において、メモリホール93の内面上にシリコン酸化層67、電荷蓄積膜66、トンネル絶縁膜65、シリコンピラー62及びコア部材64を形成する。シリコンピラー62は、シリコン部材61を介して、ソース電極膜41に接続される。次に、積層体50、絶縁膜45、絶縁膜32の上部を貫通し、配線36の一部に到達するように、貫通ビアホール94を形成する。次に、貫通ビアホール94の内面上に絶縁膜79を形成し、絶縁膜79の内面上に貫通ビア78を形成する。貫通ビア78は配線36に接続される。

【0036】

次に、図10及び図3に示すように、絶縁膜70及びソース電極膜41を貫くように、スリット95を形成すると共に、積層体50を貫くように、スリット96を形成する。スリット95により、ソース電極膜41が、中央部分41aと周辺部分41bとに分断される。プラグ40は周辺部分41bのみに接続されているため、この分断により、中央部分41aがシリコン基板10から絶縁される。次に、スリット96を介してウェットエッチングを施し、犠牲膜91（図9参照）を除去する。この結果、犠牲膜91を除去したあとにスペース97が形成される。

【0037】

次に、図1、図4及び図5に示すように、スペース97の内面上に、スリット96を介してアルミニウム酸化層68を形成する。アルミニウム酸化層68はシリコン酸化層67に接触し、シリコン酸化層67と共にブロック絶縁膜69を形成する。トンネル絶縁膜65、電荷蓄積膜66及びブロック絶縁膜69により、メモリ膜63が形成される。次に、スリット96を介して、スペース97の内面上にバリアメタル層（図示せず）を形成し、その後、スペース97内にタングステン等の導電材料を埋め込んで、電極膜52を形成する。次に、エッチングを施すことにより、電極膜52及びアルミニウム酸化層68のうち、スリット95内及びスリット96内に形成された部分を除去する。次に、スリット95内及びスリット96内にシリコン酸化物を埋め込むことにより、スリット95内に絶縁板71を形成すると共に、スリット96内に絶縁板72（図3参照）を形成する。

【0038】

次に、図1に示すように、積層体50上及び絶縁膜70上に、Y方向に延びるビット線75を形成し、シリコンピラー62に接続する。また、積層体50上及び絶縁膜70上に絶縁膜76を形成すると共に、絶縁膜76内にプラグ77及び上層配線80を形成する。上層配線80はプラグ77を介して貫通ビア78に接続する。このようにして、本実施形態に係る半導体記憶装置1が製造される。

【0039】

次に、本実施形態の効果について説明する。

本実施形態においては、図6に示すように、シリコン基板10の上層部分に双方向ダイオード20を形成する。また、絶縁膜32上にソース電極膜41を形成したときに、ソース電極膜41が、プラグ40、配線36及びプラグ37を介して、双方向ダイオード20に接続されるようにする。これにより、図8に示すように、メモリホール93がソース電極膜41に到達したときに、メモリホール93内に蓄積された正電荷によって双方向ダイオード20が降伏し、この正電荷が、ソース電極膜41、プラグ40、配線36、プラグ37、n+形拡散層13、p形ウエル12及びn形ウエル11を介してシリコン基板10

に流れ、外部に放出される。これにより、絶縁膜3 2内におけるアーキングを防止し、絶縁膜3 2が破壊されることを回避できる。

【0040】

また、図1 0に示すように、スリット9 5を形成することにより、ソース電極膜4 1を中央部分4 1 aと周辺部分4 1 bとに分断する。この結果、図1に示す完成後の半導体記憶装置1において、シリコンピラー6 2が接続されるソース電極膜4 1の中央部分4 1 aを、シリコン基板1 0から確実に絶縁することができると共に、ソース電極膜4 1の寄生容量が減少する。この結果、半導体記憶装置1の動作が安定化且つ高速化する。

【0041】

(第2の実施形態)

次に、第2の実施形態について説明する。

図1 1は、本実施形態に係る半導体記憶装置を示す断面図である。

【0042】

図1 1に示すように、本実施形態に係る半導体記憶装置2は、前述の第1の実施形態に係る半導体記憶装置1(図1～図5参照)と比較して、絶縁板7 1が設けられていない点が異なっている。なお、半導体記憶装置2においても、絶縁板7 2(図3参照)は設けられている。

【0043】

半導体記憶装置2は、図1 0に示す工程において、スリット9 6(図3参照)のみを形成し、スリット9 5を形成しないことにより、製造することができる。

【0044】

本実施形態によっても、前述の第1の実施形態と同様に、メモリホール9 3(図7参照)内に蓄積された正電荷が、ソース電極膜4 1、プラグ4 0、配線3 6及びプラグ3 7を介して双方向ダイオード2 0に流れ、双方向ダイオード2 0を降伏させて、シリコン基板1 0を介して外部に排出される。この結果、絶縁膜3 2が破壊されることを回避できる。

【0045】

また、本実施形態に係る半導体記憶装置2においては、ソース電極膜4 1は絶縁板7 1(図1及び図3参照)によって分断されていないが、ソース電極膜4 1とシリコン基板1 0との間には双方向ダイオード2 0が介在しているため、所定の電位差の範囲内で、ソース電極膜4 1をシリコン基板1 0から電氣的に独立に駆動することができる。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第1の実施形態と同様である。

【0046】

(第3の実施形態)

次に、第3の実施形態について説明する。

図1 2は、本実施形態に係る半導体記憶装置を示す断面図である。

【0047】

図1 2に示すように、本実施形態に係る半導体記憶装置3においては、前述の第1の実施形態に係る半導体記憶装置1(図1～図5参照)の構成に加えて、導電性のポリシリコンからなるシリコン膜5 4、絶縁膜5 5及びプラグ5 6が設けられている。また、絶縁板7 1によってソース電極膜4 1は分断されておらず、シリコン膜5 4が分断されている。更に、シリコン部材6 1(図1参照)は設けられておらず、シリコンピラー6 2はソース電極膜4 1に直接接続されている。

【0048】

以下、詳細に説明する。

シリコン膜5 4は、ソース電極膜4 1と積層体5 0との間に配置されており、その形状は、XY平面に沿って広がる略平板状である。絶縁膜5 5は、ソース電極膜4 1とシリコン膜5 4との間に配置されている。プラグ5 6は、絶縁膜5 5及びソース電極膜4 1のシリコン層4 3を貫通し、その下端はソース電極膜4 1の金属層4 2に接し、その上端はシリコン膜5 4に接している。これにより、シリコン膜5 4の一部は、プラグ5 6を介して

ソース電極膜41に接続されている。第1の実施形態と同様に、ソース電極膜41はプラグ40を介して双方向ダイオード20に接続されている。従って、シリコン膜54の一部はシリコン基板10の上層部分の一部に形成された双方向ダイオード20に接続されている。シリコン膜54から双方向ダイオード20に至る電流経路は、制御回路39から絶縁されている。絶縁膜44は、ソース電極膜41、絶縁膜55及びシリコン膜54からなる積層体の周囲に設けられている。絶縁膜45は、この積層体をZ方向に貫いている。

【0049】

また、絶縁板71及び絶縁板72（図3参照）は、Z方向においてシリコン膜54を貫通しているが、ソース電極膜41は貫通していない。このため、絶縁板71によって、シリコン膜54は中央部分54aと周辺部分54bに分断されているが、ソース電極膜41は分断されていない。プラグ56は、シリコン膜54の周辺部分54bに接続されている。また、前述の第1の実施形態と同様に、積層体50をY方向に複数のブロックに分離する絶縁板72は、例えば、ともにシリコン膜54を貫通する絶縁板71と相互に連結されて、積層体50の下方に位置するシリコン膜54の中央部分54aを、Y方向に並ぶ複数のブロック間で分離させる。

【0050】

柱状部60において、シリコン部材61は設けられておらず、シリコンピラー62の下端がソース電極膜41に接している。シリコンピラー62はシリコン膜54の中央部分54aを貫いており、アルミニウム酸化層68を除くメモリ膜63によって、シリコン膜54から絶縁されている。シリコン膜54の中央部分54aは、シリコンピラー62に対して、最下段のゲート電極、例えば、シリコンピラー62の導通/非導通をブロック毎に切り替えるセレクトゲートとして機能する。

【0051】

次に、本実施形態に係る半導体記憶装置の製造方法について説明する。

図13及び図14は、本実施形態に係る半導体記憶装置の製造方法を示す断面図である。

。

【0052】

先ず、図13に示すように、前述の第1の実施形態と同様な方法により、シリコン基板10からソース電極膜41までの構造体を作製する。

【0053】

次に、ソース電極膜41上に絶縁膜55を形成すると共に、絶縁膜55及びソース電極膜41のシリコン層43内にプラグ56を形成し、その上にシリコン膜54を形成する。次に、シリコン膜54及び絶縁膜55をパターンニングし、ソース電極膜41、シリコン膜54及び絶縁膜55からなる積層体の周囲に絶縁膜44を形成すると共に、この積層体によって囲まれた領域に絶縁膜45を形成する。

【0054】

次に、シリコン膜54上に、シリコン酸化物からなる絶縁膜51及びシリコン窒化物からなる犠牲膜91を交互に堆積させて、積層体50を形成する。次に、積層体50の周囲に絶縁膜70を形成する。次に、積層体50上及び絶縁膜70上にマスクパターン92を形成する。次に、マスクパターン92をマスクとし、シリコン膜54をエッチングストップとしてRIEを施し、積層体50にメモリホール93を形成する。RIEの条件は、シリコン酸化物及びシリコン窒化物が効率よくエッチングされるような条件とする。このとき、第1の実施形態と同様に、メモリホール93内に正電荷が蓄積される。

【0055】

そして、メモリホール93がシリコン膜54に到達すると、エッチング速度が低下する。これにより、メモリホール93の下端の位置が揃う。このとき、メモリホール93内に蓄積された正電荷がシリコン膜54に移動する。そして、経路Eで示すように、プラグ56を介してソース電極膜41に移動し、プラグ40、配線36及びプラグ37を介してn⁺形拡散層13に移動し、双方向ダイオード20を降伏させて、シリコン基板10に移動する。そして、シリコン基板10を介して外部に排出される。これにより、絶縁膜55及

び絶縁膜32におけるアーキングを防止できる。

【0056】

次に、図14に示すように、RIEの条件をシリコンが効率よくエッチングされるような条件に変更して、RIEを継続する。これにより、メモリホール93が絶縁膜55に到達する。次に、RIEの条件をシリコン酸化物が効率よくエッチングされるような条件に変更して、RIEを継続する。これにより、メモリホール93がソース電極膜41のシリコン層43に到達する。ここで、RIEを終了する。

【0057】

次に、図12、図4及び図5に示すように、メモリホール93の内面上にシリコン酸化層67、電荷蓄積膜66、トンネル絶縁膜65、シリコンピラー62及びコア部材64を形成する。シリコンピラー62はシリコン層43に接続される。次に、絶縁膜79及び貫通ビア78を形成する。

【0058】

次に、図12及び図3に示すように、シリコン膜54を一旦エッチングストoppaとして利用しつつ、絶縁膜70と積層体50及びこれらの下方をエッチングして、スリット95及び96を略均等な深さで形成する。スリット95及び96は、例えば、1つのマスクパターンをマスクとしたエッチングによって同時に形成することができる。このとき、スリット95及び96には、シリコン膜54を貫通させるが、ソース電極膜41は貫通させない。これにより、シリコン膜54は、スリット95により、中央部分54aと周辺部分54bとに分断される。シリコンピラー62は中央部分54aによって囲まれており、プラグ56は周辺部分54bのみに接続されているため、シリコン膜54を分断することにより、最下段のゲート電極として機能するシリコン膜54の中央部分54aを、ソース電極膜41から絶縁することができる。以後の製造方法は、前述の第1の実施形態と同様である。

【0059】

次に、本実施形態の効果について説明する。

本実施形態においても、前述の第1の実施形態と同様に、シリコン基板10の上層部分に双方向ダイオード20を形成し、ソース電極膜41をプラグ40、配線36及びプラグ37を介して、双方向ダイオード20に接続している。また、シリコン膜54をプラグ56を介してソース電極膜41に接続している。これにより、図13に示すように、メモリホール93がシリコン膜54に到達したときに、双方向ダイオード20が降伏し、メモリホール93内に蓄積された正電荷が、シリコン膜54、プラグ56、ソース電極膜41、プラグ40、配線36、プラグ37、n+形拡散層13、p形ウェル12及びn形ウェル11を介してシリコン基板10に流れ、外部に放出される。これにより、絶縁膜55内及び絶縁膜32内におけるアーキングを防止し、絶縁膜55及び絶縁膜32が破壊されることを回避できる。

【0060】

また、図12に示すように、スリット95を形成することにより、シリコン膜54を中央部分54aと周辺部分54bとに分断する。この結果、完成後の半導体記憶装置3において、シリコンピラー62に対して最下段のゲート電極として機能する中央部分54aを、ソース電極膜41から確実に絶縁することができる。これにより、中央部分54aとソース電極膜41を電氣的に独立して駆動することができる。また、中央部分54aの寄生容量が減少する。

【0061】

更に、ソース電極膜41とシリコン基板10との間には双方向ダイオード20が介在しているため、所定の電位差の範囲内で、ソース電極膜41をシリコン基板10から電氣的に独立して駆動することができる。

本実施形態における上記以外の構成、製造方法及び効果は、前述の第1の実施形態と同様である。

【0062】

以上説明した実施形態によれば、小型化が可能な半導体記憶装置及びその製造方法を実現することができる。

【0063】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。

【符号の説明】

【0064】

- 1、2、3：半導体記憶装置
- 10：シリコン基板
- 10a：上面
- 11：n形ウエル
- 12：p形ウエル
- 13：n⁺形拡散層
- 15：拡散層
- 16：STI
- 20：双方向ダイオード
- 21、22、23：ダイオード
- 31：ゲート絶縁層
- 32：絶縁膜
- 33：ゲート電極
- 36：配線
- 37：プラグ
- 39：制御回路
- 40：プラグ
- 41：ソース電極膜
- 41a：中央部分
- 41b：周辺部分
- 42：金属層
- 43：シリコン層
- 44、45：絶縁膜
- 50：積層体
- 51：絶縁膜
- 52：電極膜
- 54：シリコン膜
- 54a：中央部分
- 54b：周辺部分
- 55：絶縁膜
- 56：プラグ
- 59：メモリセル
- 60：柱状部
- 61：シリコン部材
- 62：シリコンピラー
- 63：メモリ膜
- 64：コア部材
- 65：トンネル絶縁膜
- 66：電荷蓄積膜

67 : シリコン酸化層
68 : アルミニウム酸化層
69 : ブロック絶縁膜
70 : 絶縁膜
71、72 : 絶縁板
75 : ビット線
76 : 絶縁膜
77 : プラグ
78 : 貫通ビア
79 : 絶縁膜
80 : 上層配線
81、82、83 : コンタクト
91 : 犠牲膜
92 : マスクパターン
93 : メモリホール
94 : 貫通ビアホール
95、96 : スリット
97 : スペース
E : 経路

【書類名】特許請求の範囲

【請求項1】

上層部分にダイオードが形成された半導体基板と、
前記半導体基板上に設けられた第1絶縁膜と、
前記第1絶縁膜上に設けられ、前記ダイオードに接続された第1導電膜と、
前記第1導電膜上に設けられ、絶縁体及び電極膜が交互に積層された積層体と、
前記積層体を貫通し、前記第1導電膜に接続された半導体部材と、
前記電極膜と前記半導体部材との間に設けられた電荷蓄積部材と、
を備えた半導体記憶装置。

【請求項2】

前記ダイオードと前記第1導電膜との間に接続された第1プラグをさらに備え、
前記第1導電膜は、
前記半導体部材に接続された第1部分と、
前記第1プラグに接続され、前記第1部分から絶縁された第2部分と、
を有する請求項1記載の半導体記憶装置。

【請求項3】

前記第1導電膜と前記積層体との間に設けられた第2導電膜と、
前記第1導電膜と前記第2導電膜との間に設けられた第2絶縁膜と、
前記ダイオードと前記第1導電膜との間に接続された第1プラグと、
前記第1導電膜と前記第2導電膜との間に接続された第2プラグと、
をさらに備え、
前記第2導電膜は、
前記半導体部材を囲む第1部分と、
前記第2プラグに接続され、前記第1部分から絶縁された第2部分と、
を有する請求項1記載の半導体記憶装置。

【請求項4】

半導体基板の上層部分にダイオードを形成する工程と、
前記半導体基板上に第1絶縁膜を形成する工程と、
前記第1絶縁膜上に前記ダイオードに接続される第1導電膜を形成する工程と、
前記第1導電膜上に、第1絶縁材料膜及び第2絶縁材料膜を交互に形成することにより、
積層体を形成する工程と、
反応性イオンエッチングを施すことにより、前記積層体に前記第1導電膜まで到達する
ホールを形成する工程と、
前記ホールの内面上に電荷蓄積部材を形成する工程と、
前記電荷蓄積部材が形成された前記ホール内に、前記第1導電膜に接続される半導体部
材を形成する工程と、
前記半導体部材を形成した後、前記第2絶縁材料膜を電極膜に置換する工程と、
を備えた半導体記憶装置の製造方法。

【請求項5】

前記第1絶縁膜を形成する工程は、前記第1絶縁膜内に、前記ダイオードと前記第1導
電膜との間に接続されるプラグを形成する工程を有し、
前記ホールを形成した後、前記第1導電膜を、前記半導体部材に接続された第1部分と
前記プラグに接続された第2部分とに分割する工程をさらに備えた請求項4記載の半導体
記憶装置の製造方法。

【書類名】 要約書

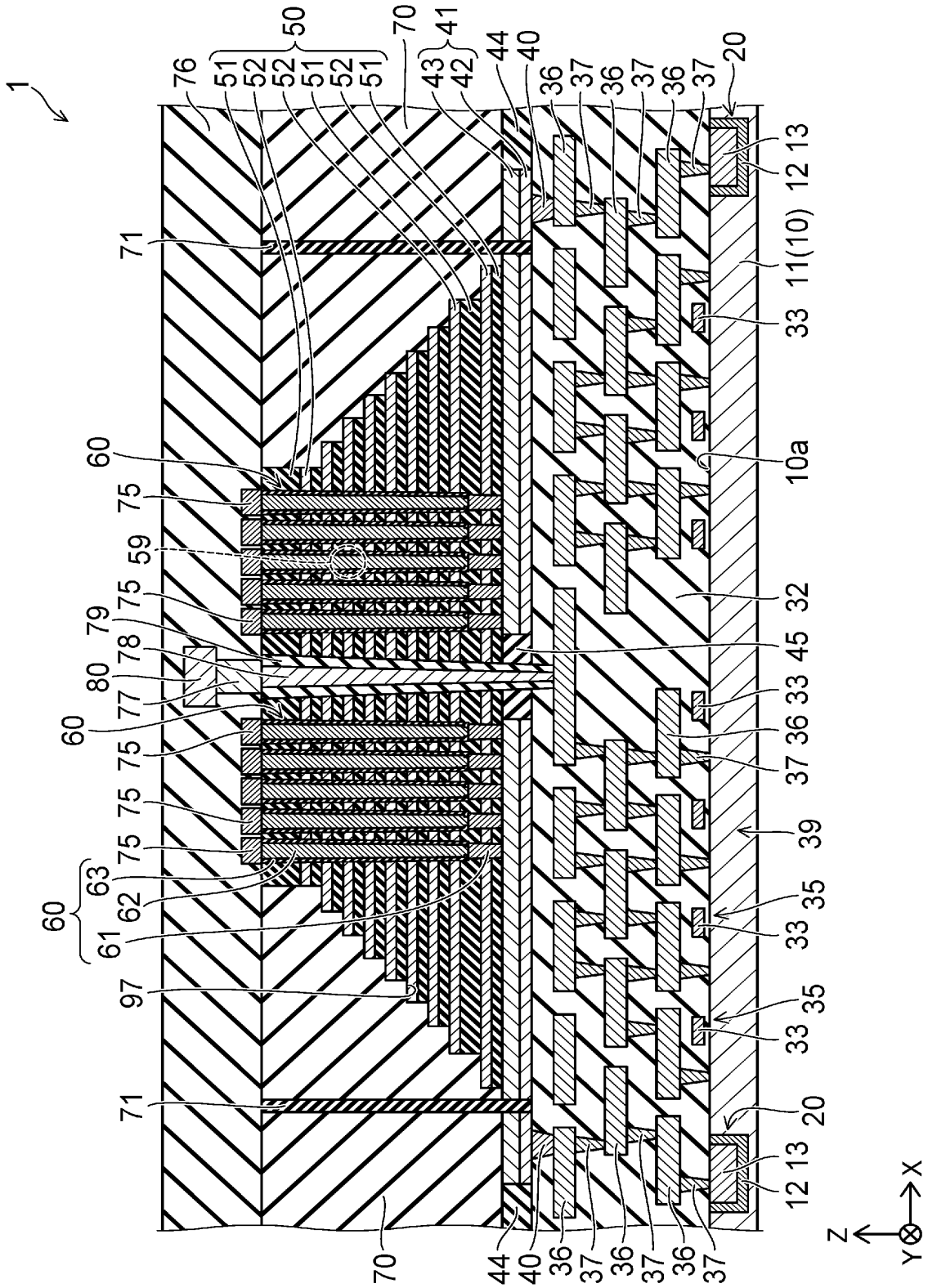
【要約】

【課題】 小型化が可能な半導体記憶装置及びその製造方法を提供する。

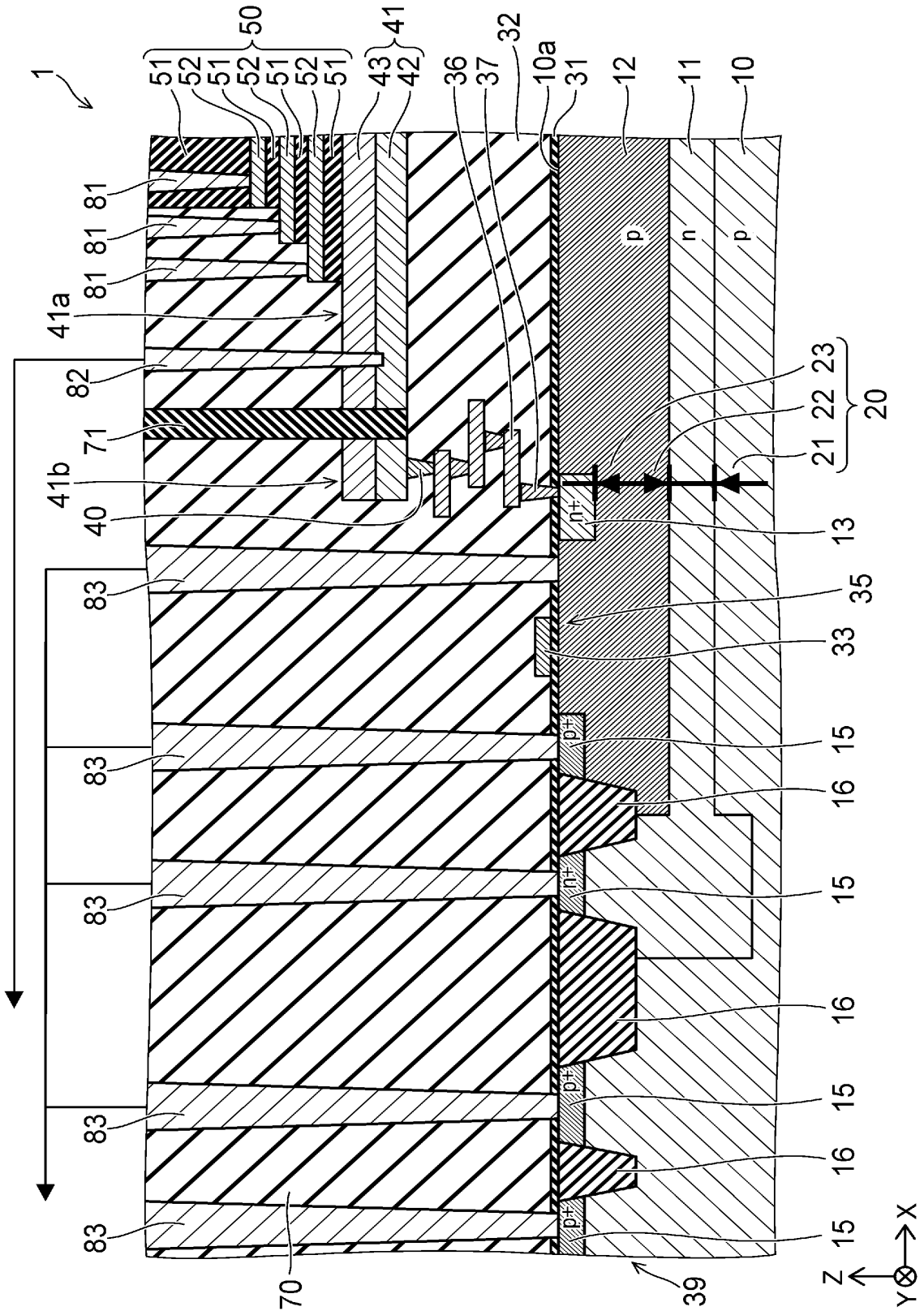
【解決手段】 半導体記憶装置 1 は、上層部分にダイオード 2 0 が形成された半導体基板 1 0 と、前記半導体基板 1 0 上に設けられた第 1 絶縁膜 3 2 と、前記第 1 絶縁膜 3 2 上に設けられ、前記ダイオード 2 0 に接続された導電膜 4 1 と、前記導電膜 4 1 上に設けられ、絶縁膜 5 1 及び電極膜 5 2 が交互に積層された積層体 5 0 と、前記積層体 5 0 を貫通し、前記導電膜 4 1 に接続された半導体部材 6 2 と、前記電極膜 5 2 と前記半導体部材 6 2 との間に設けられた電荷蓄積部材 6 6 と、を備える。

【選択図】 図 2

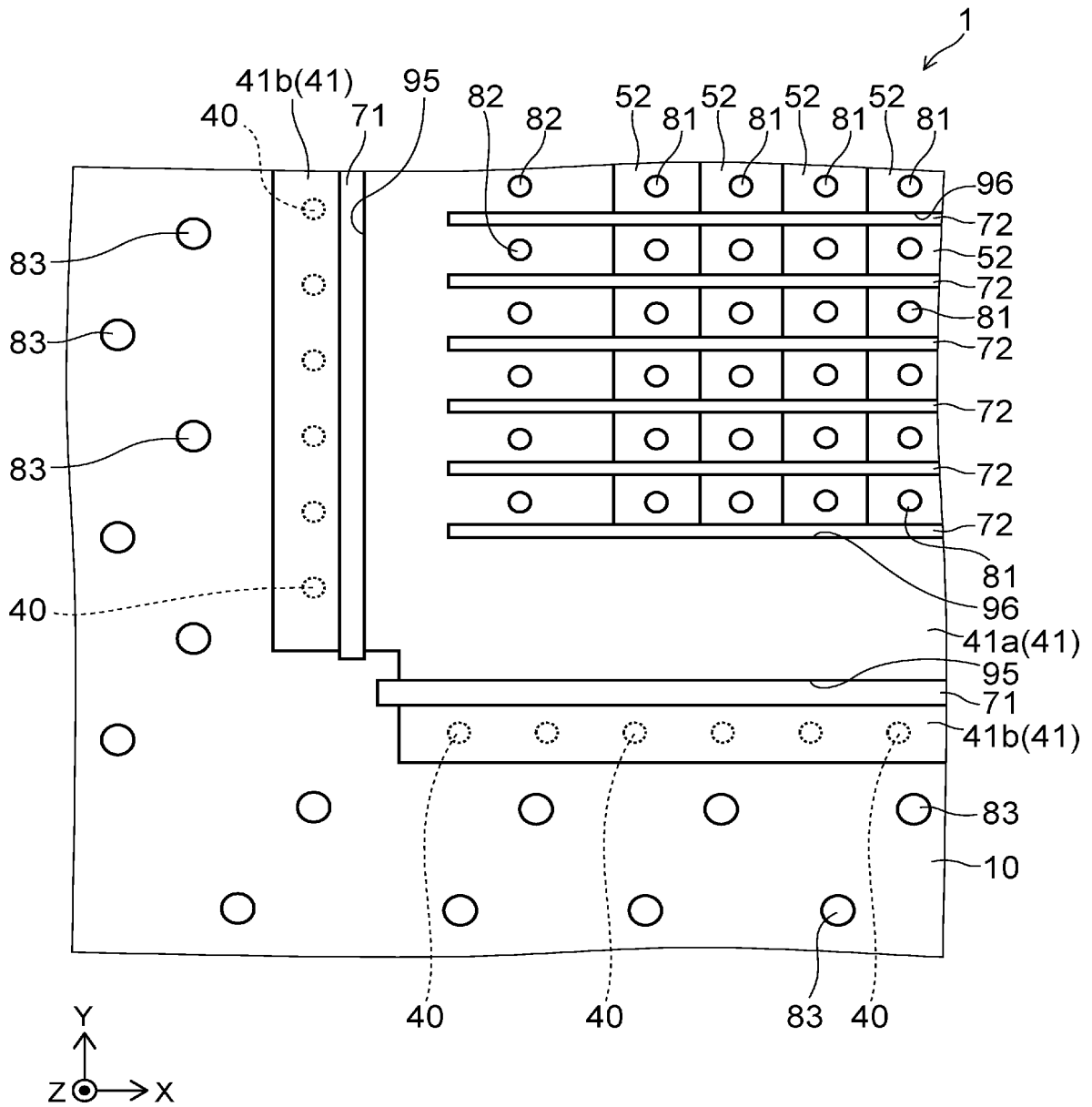
【書類名】 図面
 【図 1】



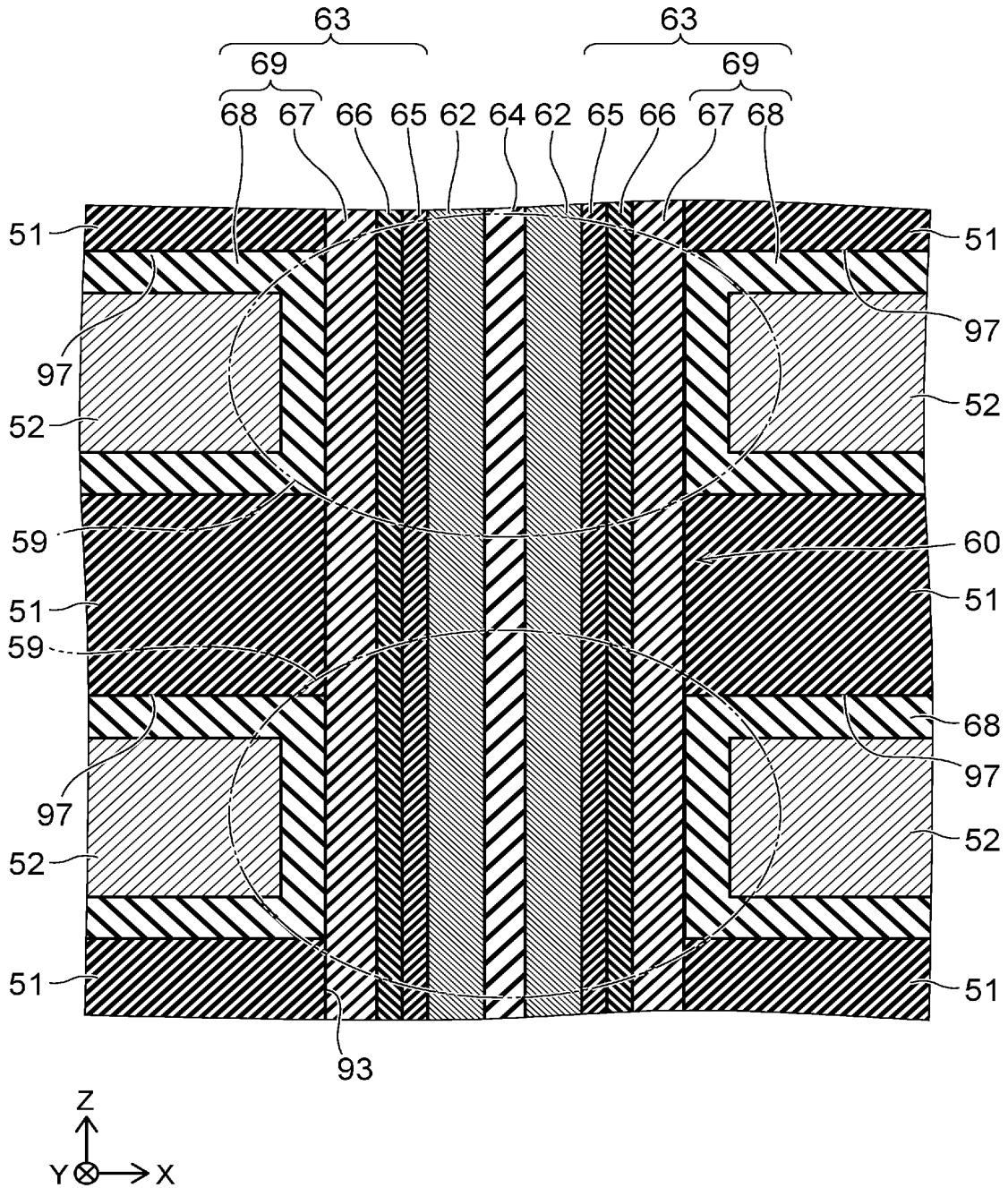
[图 2]



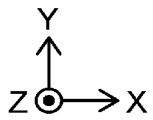
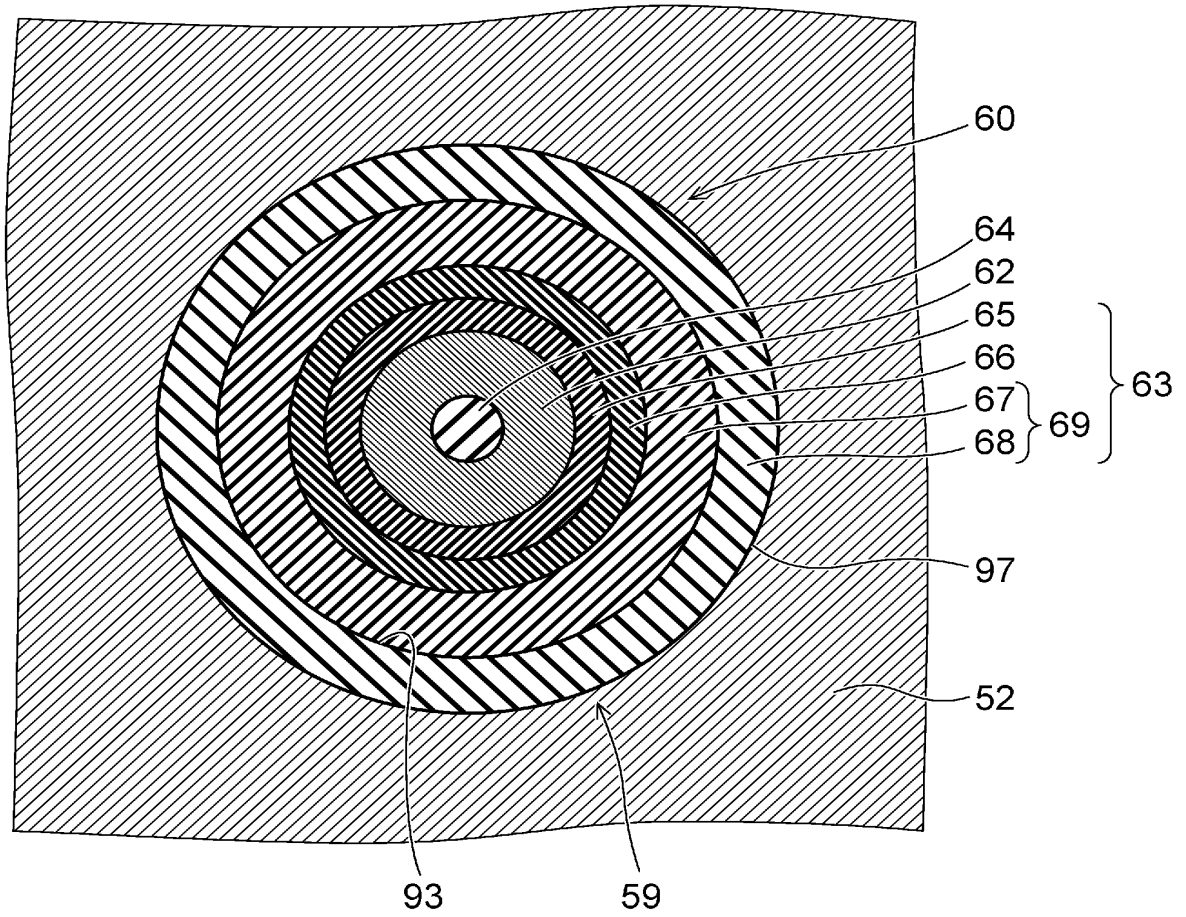
【図3】



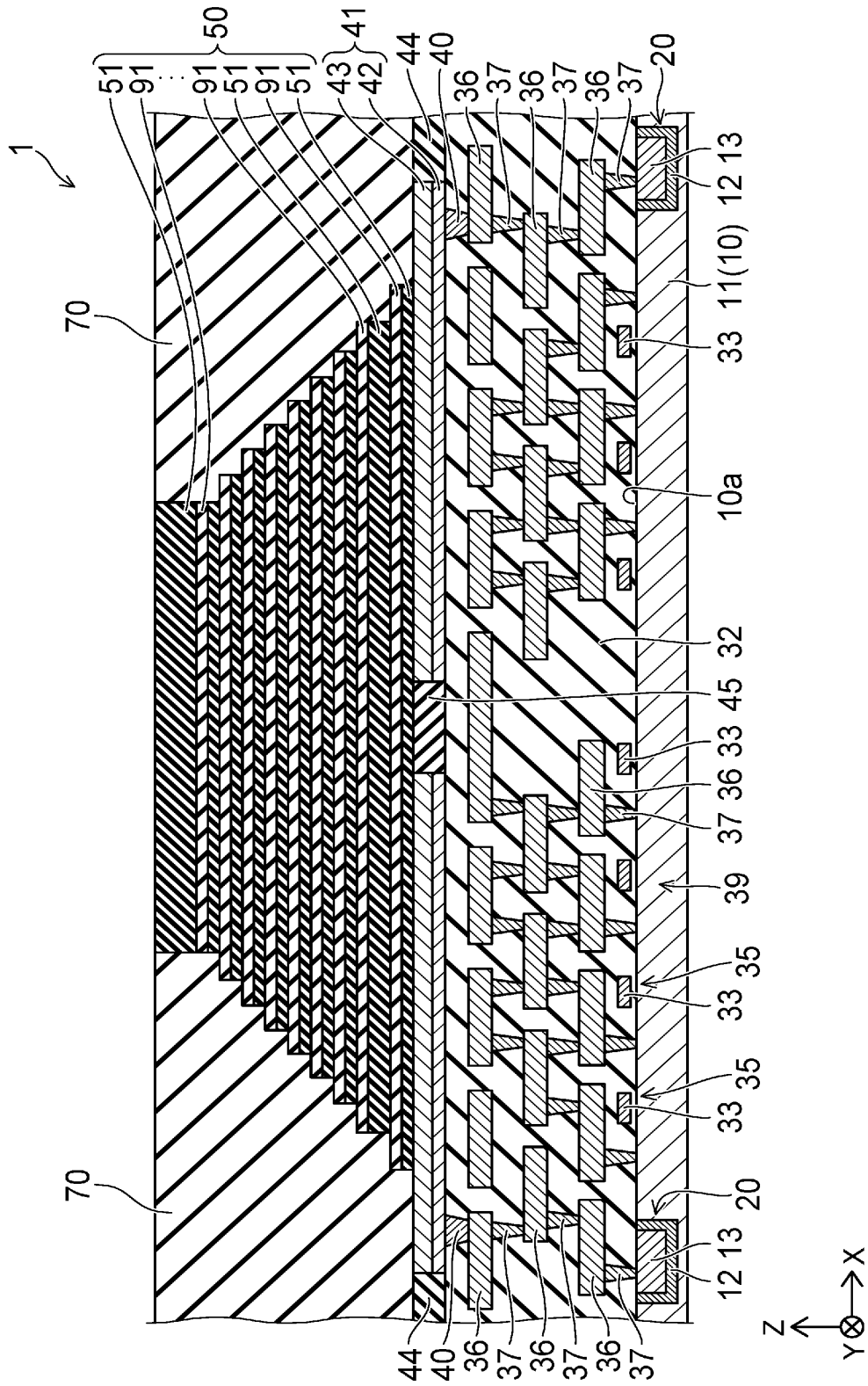
【图 4】



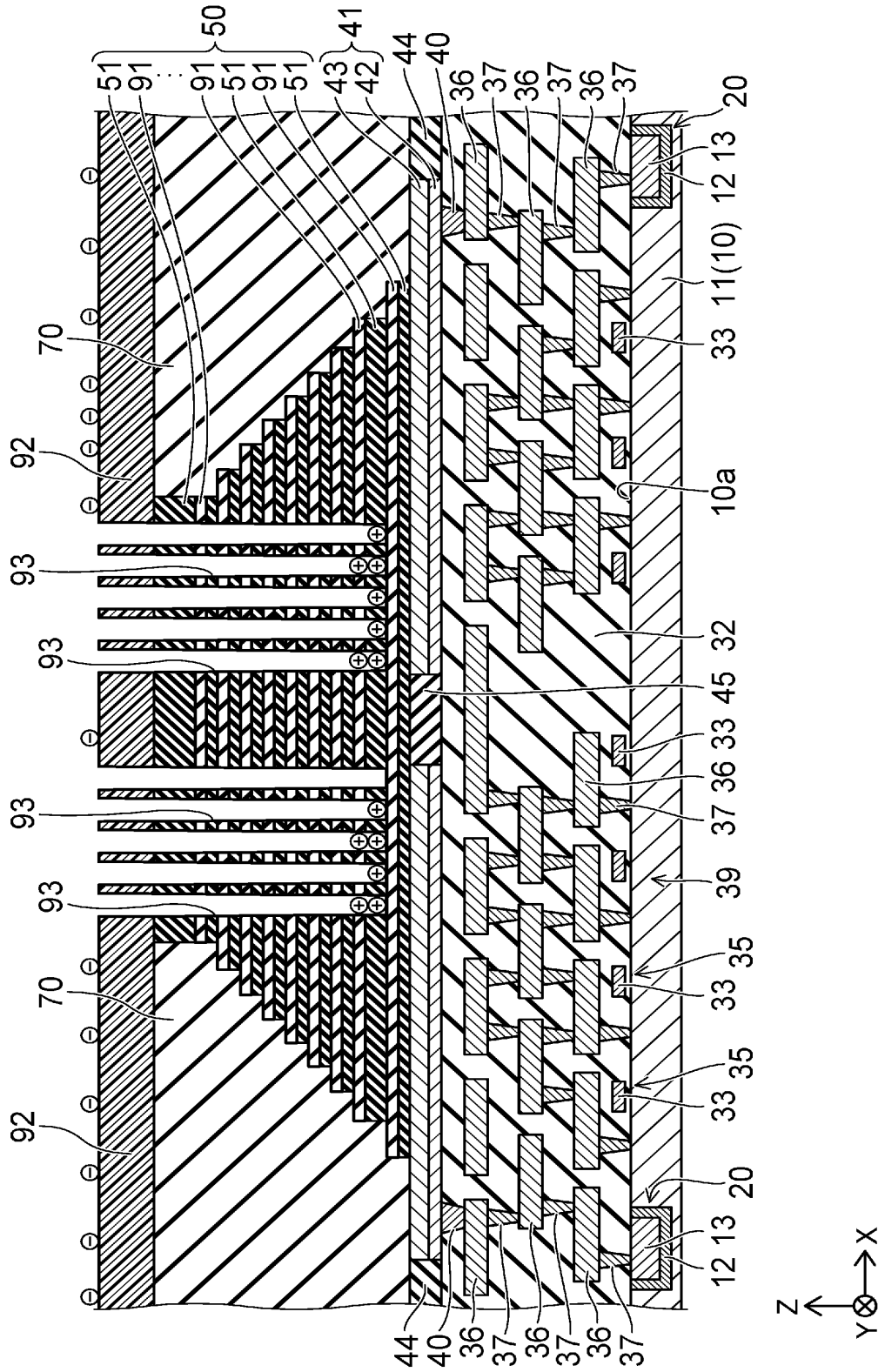
【图 5】



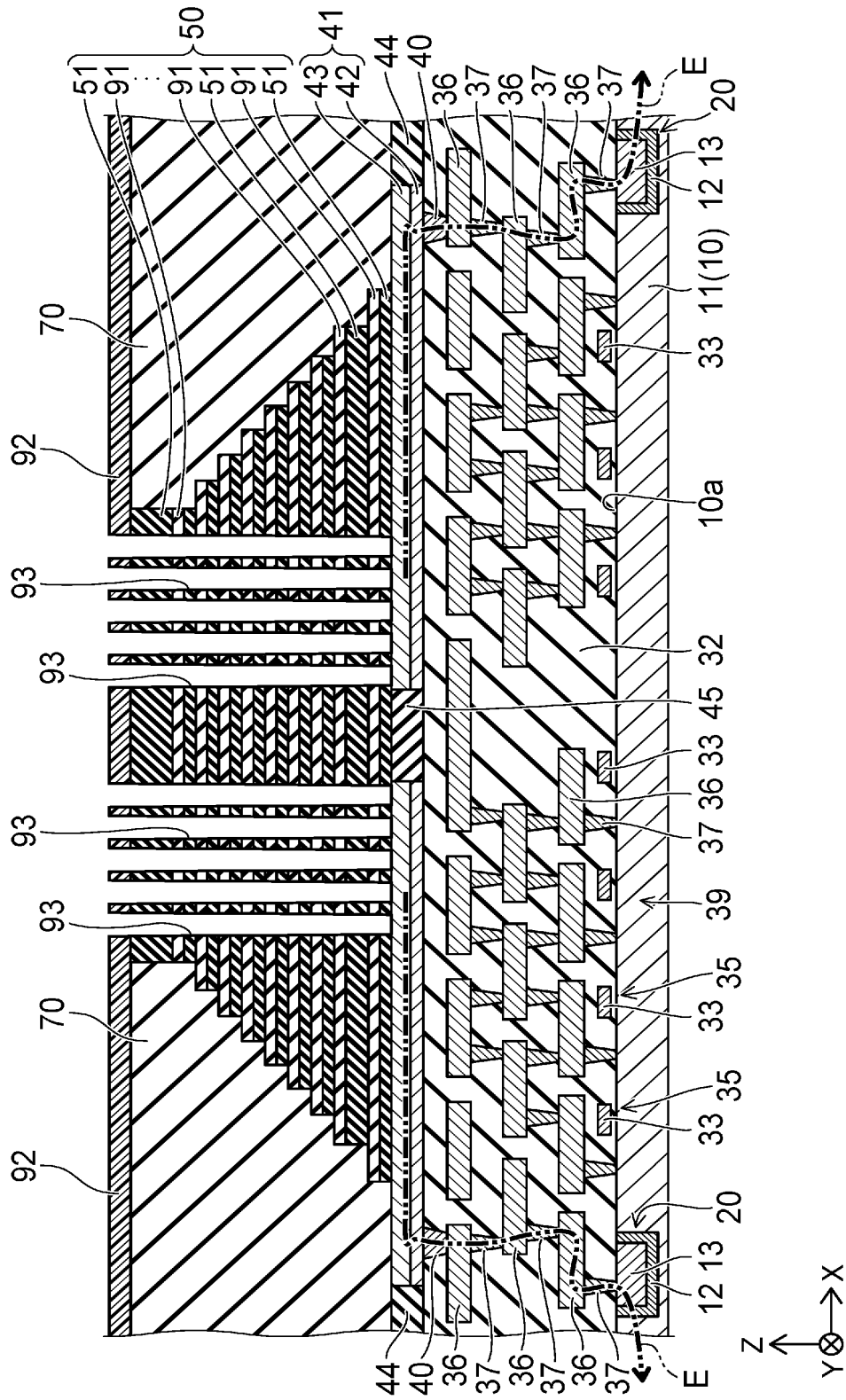
【图6】



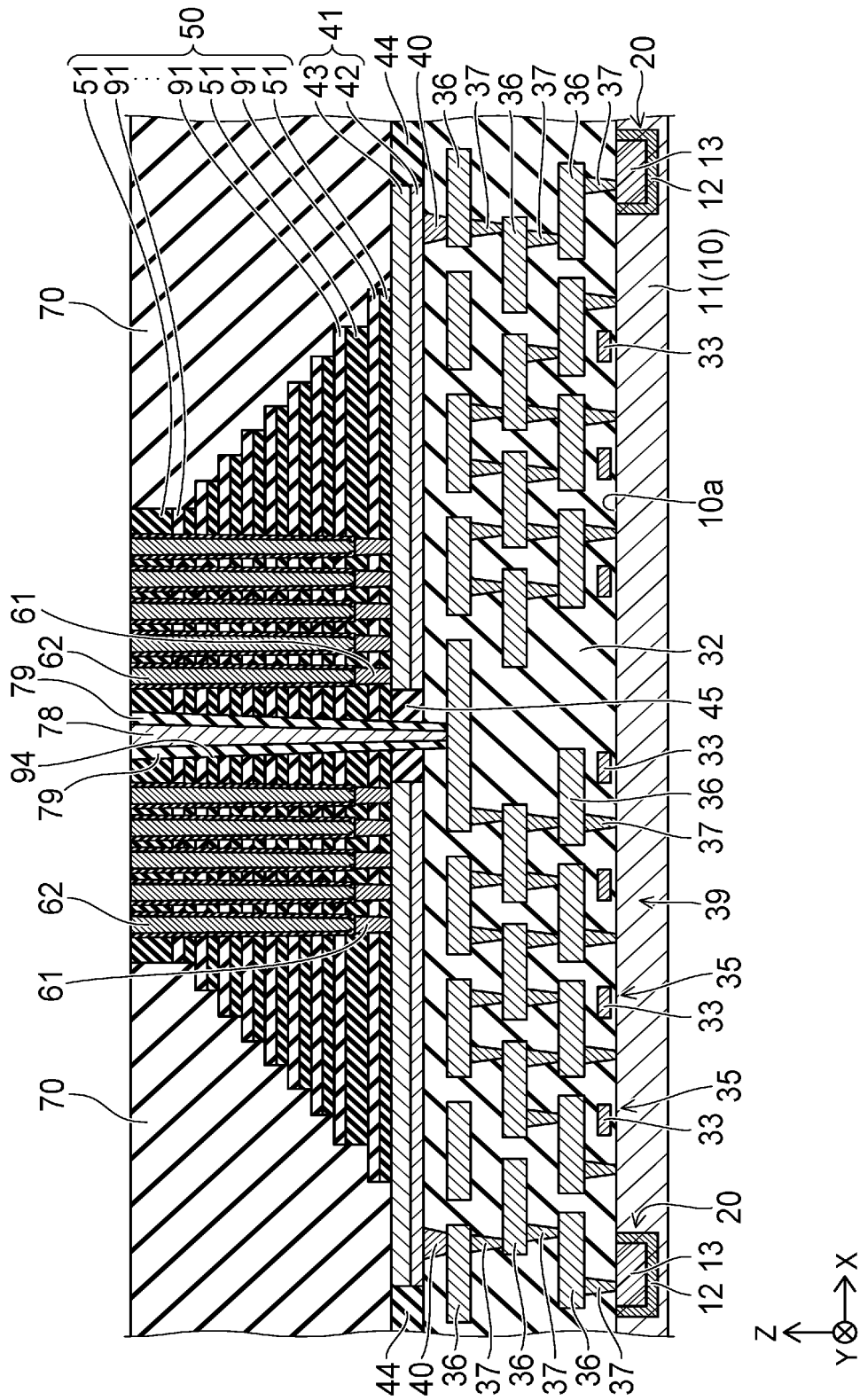
【图7】



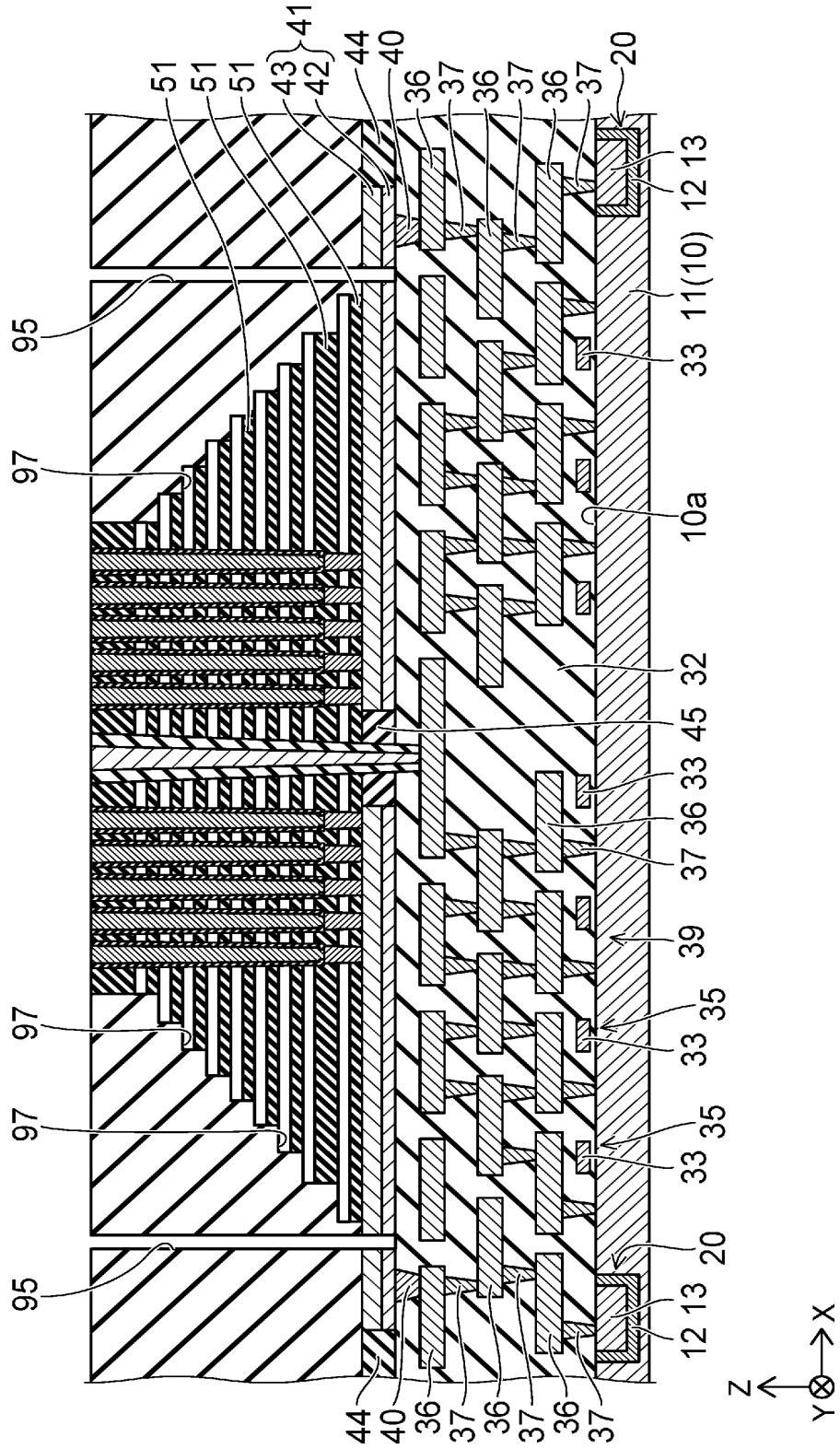
【图 8】



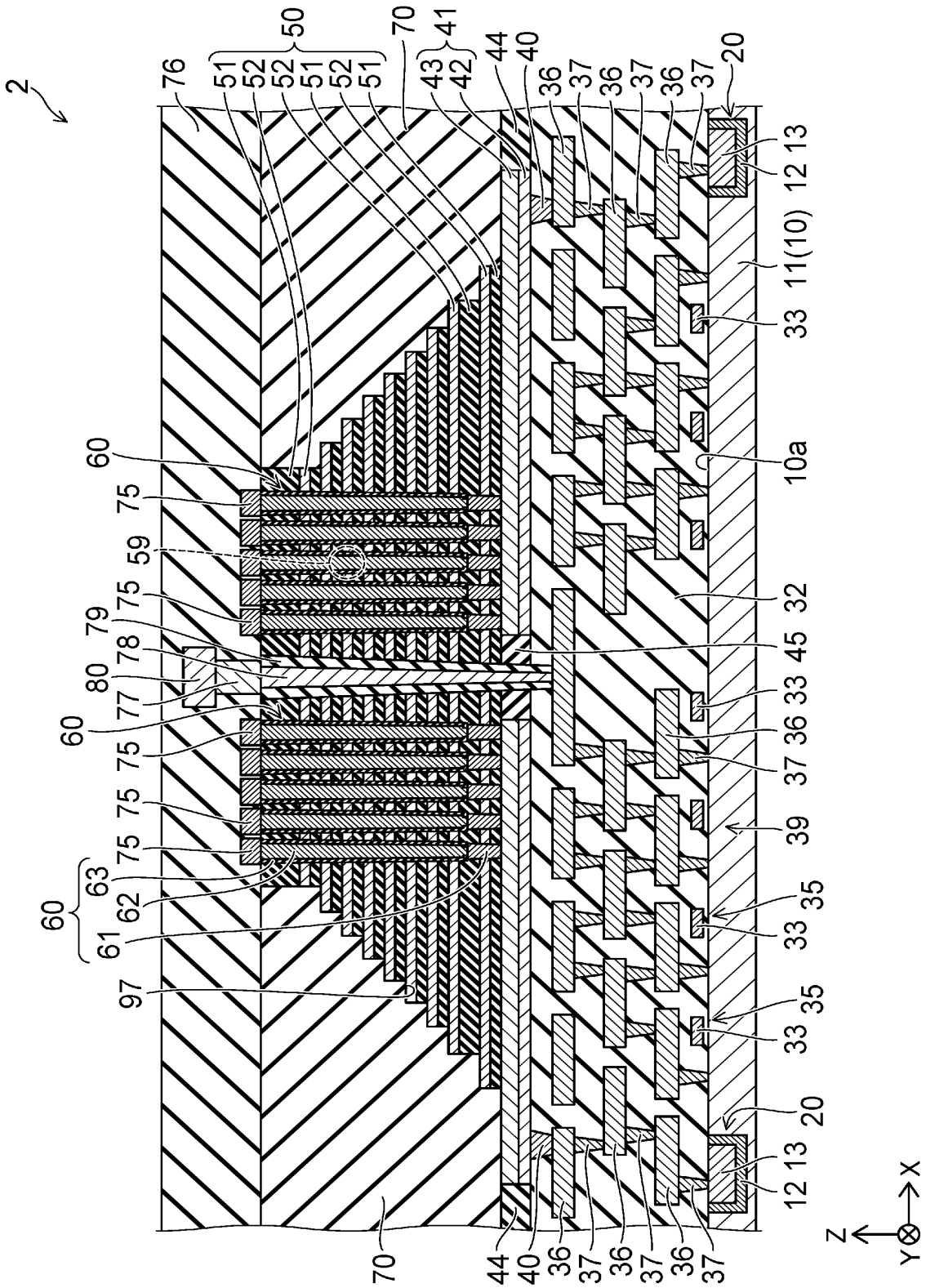
【图9】



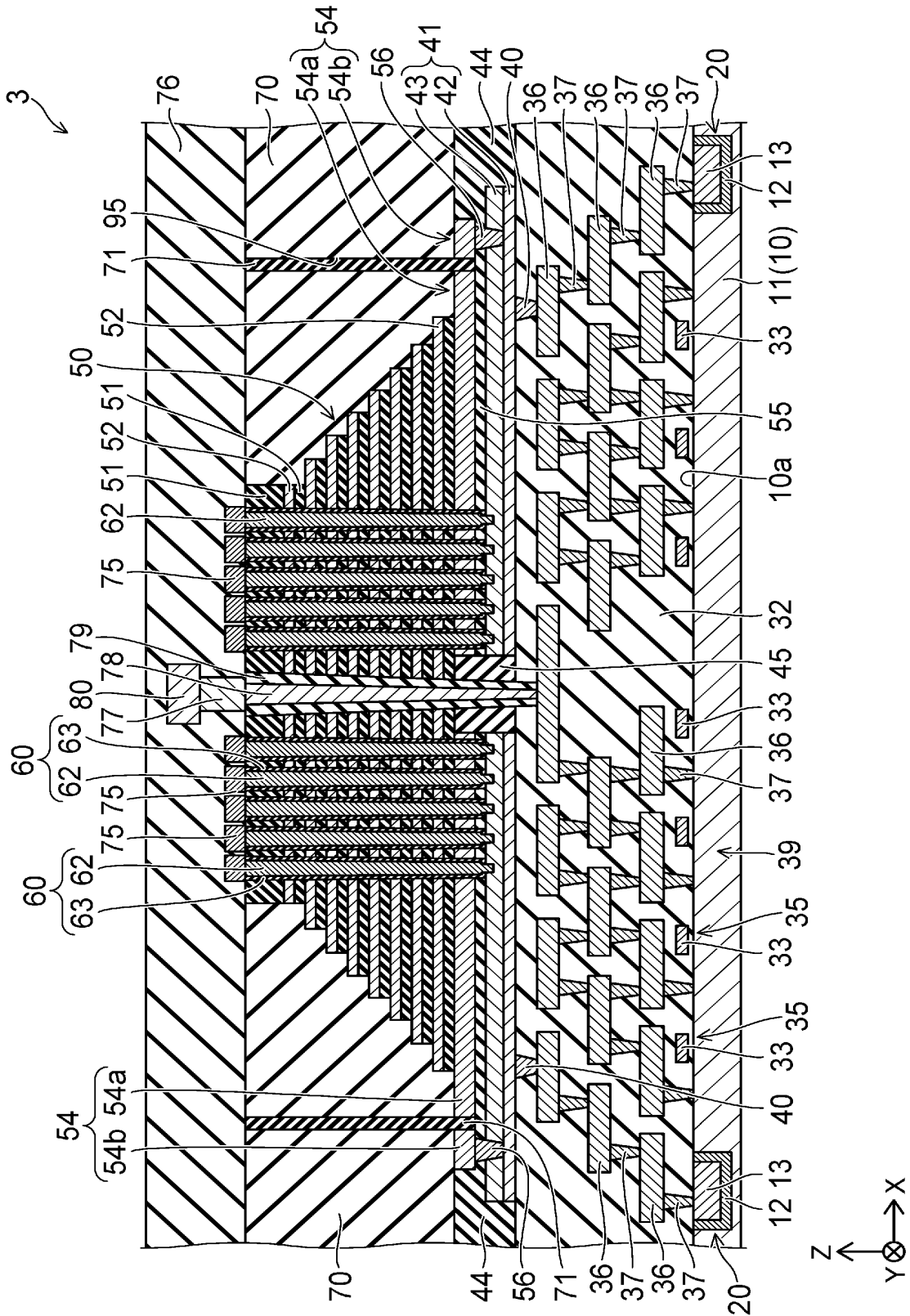
【図10】



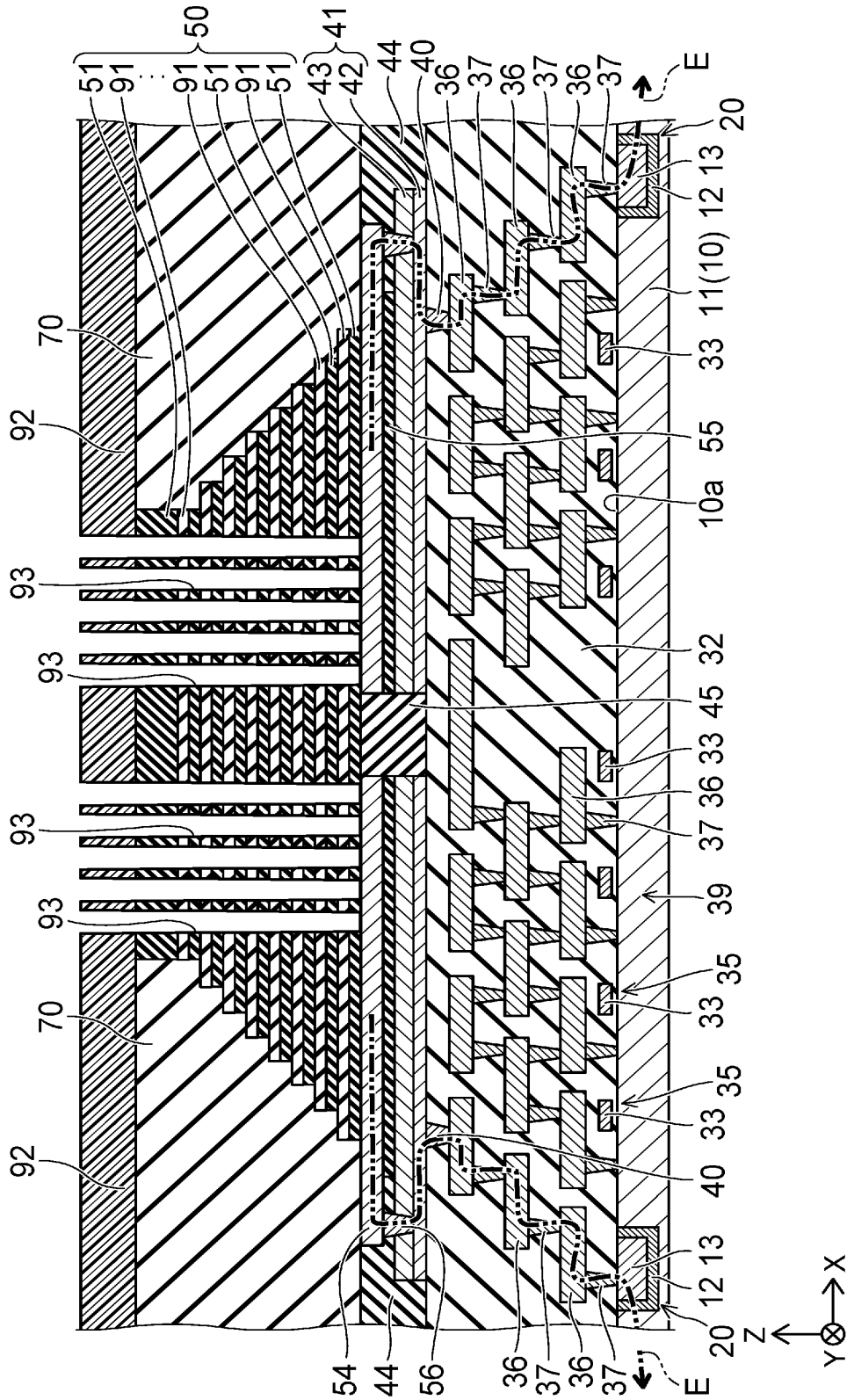
[圖 11]



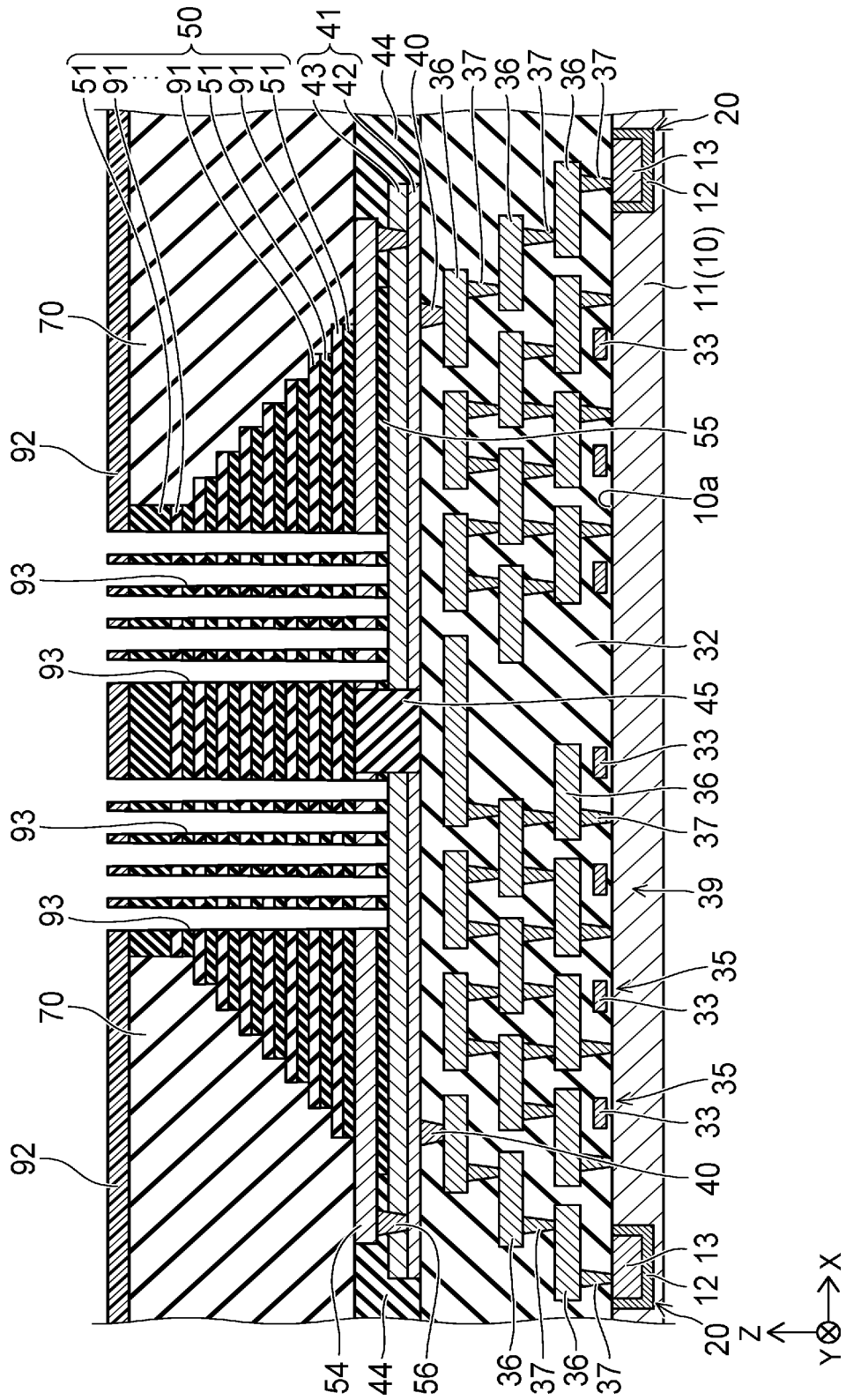
【図12】



【図13】



【図14】



【書類名】 出願人名義変更届（一般承継）
【提出日】 平成30年 9月 5日
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2017-247987
【承継人】
【識別番号】 318010018
【氏名又は名称】 東芝メモリ株式会社
【承継人代理人】
【識別番号】 100108062
【弁理士】
【氏名又は名称】 日向寺 雅彦
【提出物件の目録】
【物件名】 閉鎖事項全部証明書 1
【援用の表示】 同日付で提出いたしました特願2014-201807号に関する出願人名義変更届（一般承継）に添付のものを援用し省略致します。
【物件名】 委任状 1
【援用の表示】 同日付で提出いたしました特願2014-201807号に関する出願人名義変更届（一般承継）に添付のものを援用し省略致します。

出願人履歴

3 1 7 0 0 6 0 4 1

20170411

新規登録

東京都港区芝浦一丁目1番1号

東芝メモリ株式会社

3 1 8 0 1 0 0 1 8

20180705

新規登録

東京都千代田区丸の内一丁目1番1号 パレスビル5階

株式会社P a n g e a

3 1 8 0 1 0 0 1 8

20180801

名称変更 住所変更

東京都港区芝浦一丁目1番1号

東芝メモリ株式会社